



LPC82x

32 位 ARM Cortex-M0+ 微控制器；高达 32 kB 闪存和 8 kB SRAM ；
12 位 ADC ；比较器

修订版 1 — 2016 年 6 月

产品数据手册

1. 简介

LPC82x 是一款基于 ARM Cortex-M0+ 的低成本 32 位 MCU 系列器件，工作时 CPU 频率高达 30 MHz。LPC82x 支持最高 32 KB 闪存和 8 KB SRAM。

LPC82x 的配套外设包括一个 CRC 引擎、四个 I²C 总线接口、最多三个 USART、最多两个 SPI 接口、一个多速率定时器、自唤醒定时器、带 PWM 功能的状态可配置定时器 (SCTimer/PWM)、一个 DMA、一个 12 位 ADC、一个模拟比较器、功能可配置 I/O 端口（可通过开关矩阵配置）、一个输入模式匹配引擎和最多 29 个通用 I/O 引脚。

欲获得 LPC82x 器件相关的更多文档，请参见 [18 章](#)。

2. 特性和优势

- 系统：
 - ◆ ARM Cortex-M0+ 处理器（版本 r0p1），运行时频率高达 30 MHz，集成了单周期乘法器和快速单周期 I/O 端口。
 - ◆ ARM Cortex-M0+ 内置可嵌套中断向量控制器 (NVIC)。
 - ◆ 系统节拍定时器。
 - ◆ AHB 多层矩阵。
 - ◆ 带四个断点和两个观察点的串行线调试 (SWD)。支持 JTAG 边界扫描 (BSDL)。
 - ◆ MTB
- 存储器：
 - ◆ 高达 32 kB 片上可编程闪存，带 64 字节页面写入和擦除功能。支持代码读保护 (CRP)。
 - ◆ 8 KB SRAM。
- ROM API 支持：
 - ◆ 引导加载程序。
 - ◆ 片上 ROM API，用于 ADC、SPI、I²C、USART、电源配置（电源配置）和整数分频。
 - ◆ 闪存在系统编程 (ISP) 和在应用编程 (IAP)。
- 数字外设：
 - ◆ 连接至 ARM Cortex-M0+ IO 总线的高速 GPIO 接口，集成了多达 29 个通用 I/O (GPIO) 管脚，并具备可配置上拉 / 下拉电阻、可编程开漏模式、输入反相器和数字滤波器。GPIO 方向控制支持单独设置 / 清除 / 切换单个位。
 - ◆ 四个管脚具备大电流源输出驱动能力 (20 mA)。
 - ◆ 两个真正开漏管脚具备大电流灌入驱动能力 (20 mA)。
 - ◆ GPIO 中断生成功能，8 个 GPIO 输入具有布尔模式匹配功能。
 - ◆ 用于灵活配置每个 I/O 管脚功能的开关矩阵。
 - ◆ CRC 引擎。
 - ◆ 带 18 条通道和 9 个触发器输入的 DMA。



- 定时器：
 - ◆ 状态可配置定时器 (SCTimer/PWM)，具备用于定时和 PWM 应用的输入和输出功能（包括捕获和匹配）。每个 SCTimer/PWM 输入经过多路复用，可允许从多个输入源（如管脚、ADC 中断或比较器输出）中进行选择。
 - ◆ 四通道多速率定时器 (MRT)，以多达 4 种可编程固定速率生成可重复中断。
 - ◆ 自唤醒定时器 (WKT)，采用 IRC 或低功耗、低频率内部振荡器或始终上电电源域中的外部时钟输入作为时钟输入。
 - ◆ 窗口看门狗定时器 (WWDT)。
- 模拟外设：
 - ◆ 一个 12 位 ADC，带多达 12 条输入通道和多个内部和外部触发器输入和高达 1.2 MS/s 的采样率。该 ADC 支持两个独立的转换序列。
 - ◆ 具有四个输入管脚和外部或内部基准电压的比较器。
- 串行外设：
 - ◆ 三个 USART 接口，通过开关矩阵和一个共用小数波特率生成器分配管脚功能。
 - ◆ 两个 SPI 控制器，通过开关矩阵分配管脚功能。
 - ◆ 四个 I²C 总线接口。一个 I²C 支持超快速模式（两个真开漏引脚的数据速率为 1 Mbit/s）和侦听模式。三个 I²C 支持数据速率高达 400 kbit/s（标准数字管脚）。
- 时钟生成：
 - ◆ 精度已调整为 1.5% 的 12 MHz 内部 RC 振荡器，可以选择性地用作系统时钟。
 - ◆ 晶振，工作频率范围为 1 MHz 至 25 MHz。
 - ◆ 频率范围从 9.4 kHz 到 2.3 MHz 的可编程看门狗振荡器。
 - ◆ PLL 允许 CPU 以最高 CPU 主频运行，而无需高频率晶体。可通过系统振荡器、外部时钟输入或内部 RC 振荡器运行。
 - ◆ 带分频器的时钟输出功能，可反映所有内部时钟源。
- 电源控制：
 - ◆ 在将 IRC 用作时钟源的低电流模式下，工作模式中的功耗低至 90 uA/MHz。
 - ◆ 用于降低功耗的集成 PMU（电源管理单元）。
 - ◆ 低功耗模式：睡眠模式、深度睡眠模式、掉电模式和深度掉电模式。
 - ◆ 通过 USART、SPI 和 I²C 外设上的活动从深度睡眠和掉电模式中唤醒。
 - ◆ 由定时器控制自行从深度掉电模式唤醒。
 - ◆ 上电复位 (POR)。
 - ◆ 掉电检测 (BOD)。
- 唯一的设备识别序列号。
- 单一电源（1.8 V 至 3.6 V）。
- 工作温度范围为 -40 °C 至 +105 °C。
- 提供 TSSOP20 和 HVQFN33 (5x5) 两种封装。

3. 应用

- 传感器网关
- 工业
- 游戏控制器
- 8/16 位应用
- 消费电子
- 空调系统
- 简单的电机控制
- 便携式设备和可穿戴设备
- 照明
- 电机控制
- 灭火和安防应用

4. 订购信息

表 1. 订购信息

产品型号	封装		
	名称	说明	版本
LPC824M201JHI33	HVQFN33	HVQFN: 塑料热增强型超薄四方扁平封装; 无引脚; 33 个端子; 尺寸 5 × 5 × 0.85 mm	不适用
LPC822M101JHI33	HVQFN33	HVQFN: 塑料热增强型超薄四方扁平封装; 无引脚; 33 个端子; 尺寸 5 × 5 × 0.85 mm	不适用
LPC824M201JDH20	TSSOP20	塑料薄型紧缩小型封装; 20 引脚; 体宽 4.4 mm	SOT360-1
LPC822M101JDH20	TSSOP20	塑料薄型紧缩小型封装; 20 引脚; 体宽 4.4 mm	SOT360-1

4.1 订购选项

表 2. 订购选项

产品型号	Flash/ KB	SRAM/ KB	USART	I ² C	SPI	ADC 通道	比较器	GPIO	封装
LPC824M201JHI33	32	8	3	4	2	12	是	29	HVQFN33
LPC822M101JHI33	16	4	3	4	2	12	是	29	HVQFN33
LPC824M201JDH20	32	8	3	4	2	5	是	16	TSSOP20
LPC822M101JDH20	16	4	3	4	2	5	是	16	TSSOP20

5. 标记

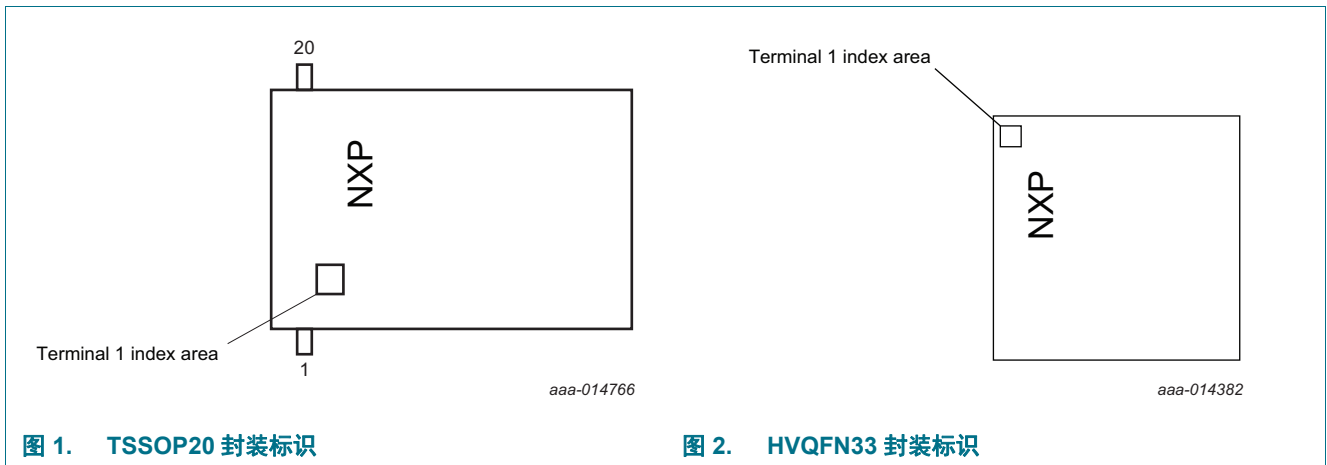


图 1. TSSOP20 封装标识

图 2. HVQFN33 封装标识

HVQFN33 封装通常具有下列顶端标记：

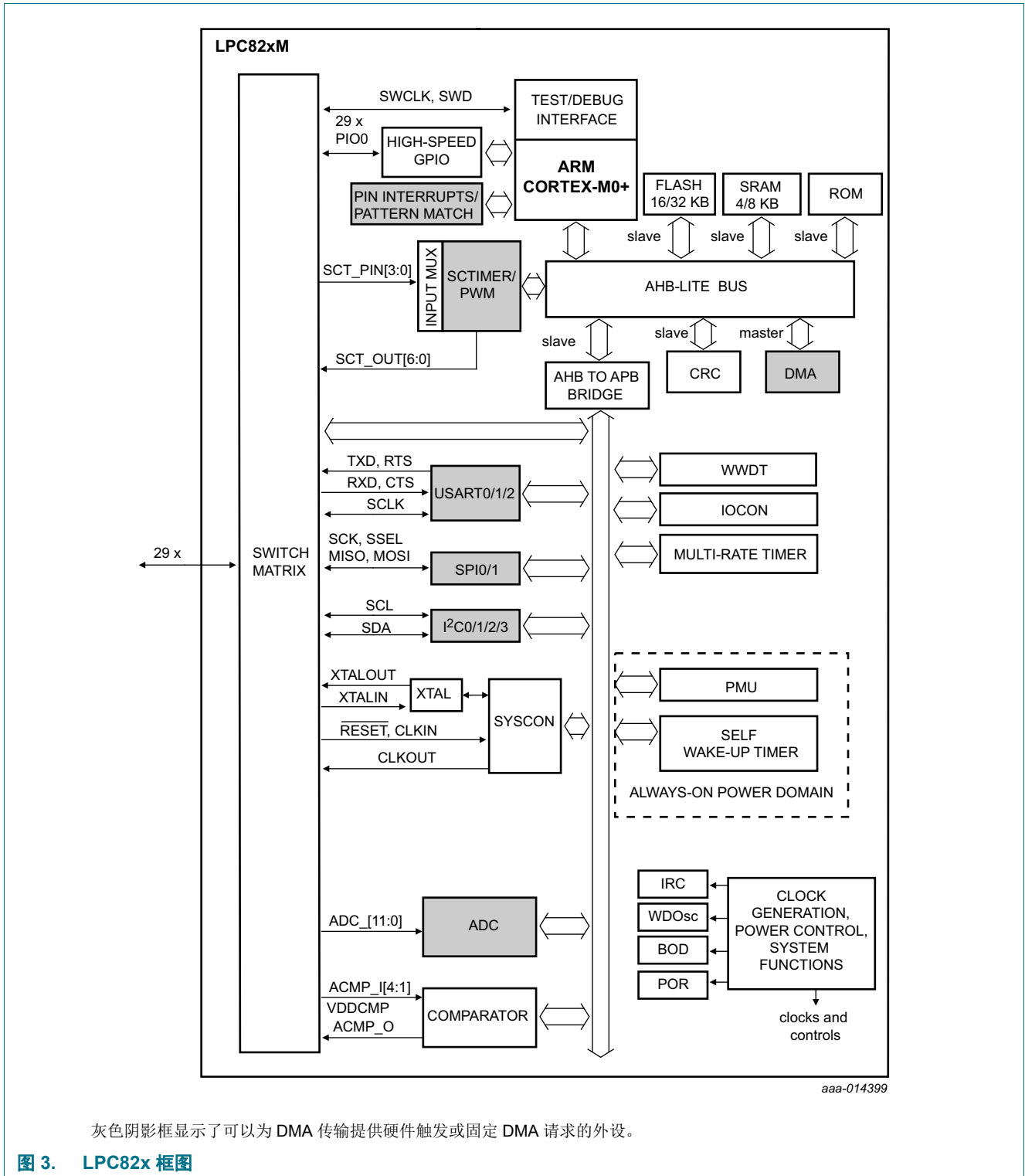
82xJ
 xx xx
 yywwxR

TSSOP20 封装通常具有下列顶端标记：

LPC82x
 Mx01J
 xxxxxxxx
 zzywwxR

最后一行中，字段 ‘y’ 或 ‘yy’ 表示器件的制造年份。字段 ‘ww’ 表示器件在该年中的哪一周制造。字段 ‘R’ 表示芯片版本。

6. 功能框图



灰色阴影框显示了可以为 DMA 传输提供硬件触发或固定 DMA 请求的外设。

图 3. LPC82x 框图

7. 引脚信息

7.1 引脚配置

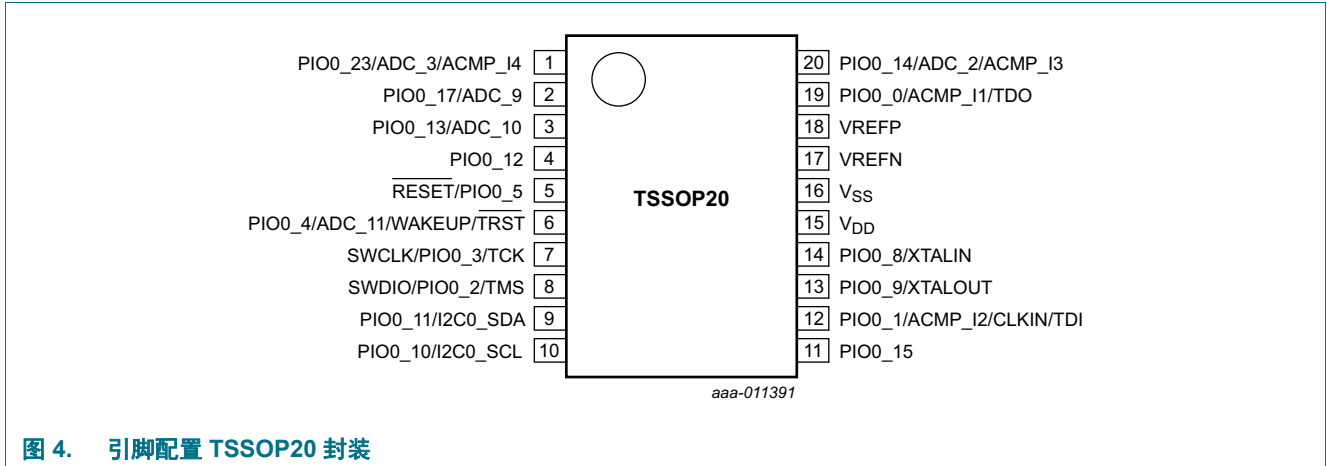


图 4. 引脚配置 TSSOP20 封装

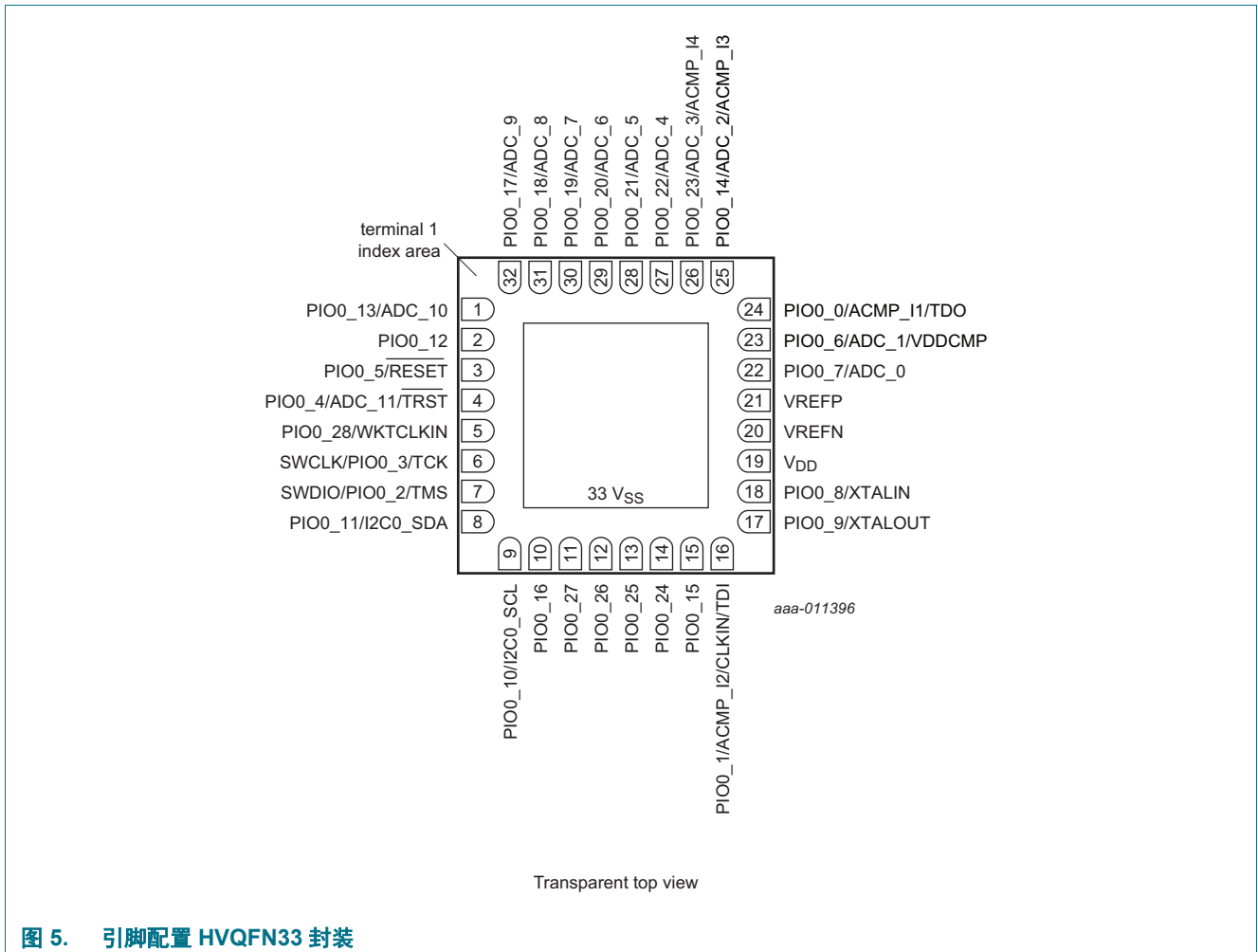


图 5. 引脚配置 HVQFN33 封装

7.2 引脚说明

引脚说明表 [表 3](#) 显示了每个封装上特定引脚的固定引脚功能。这些固定引脚功能可通过开关矩阵在 GPIO 和比较器、ADC、SWD、RESET 以及 XTAL 引脚之间选择。除 PIO0_2、PIO0_3 和 PIO0_5 引脚外，默认情况下选择 GPIO 功能。JTAG 功能仅在边界扫描模式下可用。

I2C、USART、SPI 和 SCT 引脚的可移动功能可通过开关矩阵分配至电源或接地以外的任意引脚，作为引脚的固定功能使用。

以下例外情况适用：

不要为任何引脚分配一个以上输出。但是一个引脚可以分配一个以上的输入。一旦为引脚分配了功能，则该引脚的 GPIO 功能就会被禁用。

PIO0_4 引脚触发深度掉电模式唤醒。如果器件必须通过外部引脚从深度掉电模式唤醒，则不要向此引脚分配任何可移动功能。

当器件处于边界扫描模式时，JTAG 功能 TDO、TDI、TCK、TMS 和 $\overline{\text{TRST}}$ 可通过硬件在 PIO0_0 至 PIO0_4 引脚上选择。

表 3. 引脚说明

符号	TSSOP20	HVQFN33		复位状态 [1]	类型	说明
PIO0_0/ACMP_I1/ TDO	19	24	[2]	I; PU	IO	PIO0_0 — 通用端口 0 输入 / 输出 0。 在 ISP 模式下，这是 U0_RXD 引脚。 在边界扫描模式下：TDO（测试数据输出）。
					A	ACMP_I1 — 模拟比较器输入 1。
PIO0_1/ACMP_I2/ CLKIN/TDI	12	16	[2]	I; PU	IO	PIO0_1 — 通用端口 0 输入 / 输出 1。 在边界扫描模式下：TDI（测试数据输入）。
					A	ACMP_I2 — 模拟比较器输入 2。
					I	CLKIN — 外部时钟输入。
SWDIO/PIO0_2/ TMS	8	7	[4]	I; PU	IO	SWDIO — 串行线调试 I/O。此引脚上的 SWDIO 默认使能。在边界扫描模式下：TMS（测试模式选择）。
					I/O	PIO0_2 — 通用端口 0 输入 / 输出 2。
SWCLK/PIO0_3/ TCK	7	6	[4]	I; PU	I	SWCLK — 串行线时钟。此引脚上的 SWCLK 默认使能。 在边界扫描模式下：TCK（测试时钟）。
					IO	PIO0_3 — 通用端口 0 输入 / 输出 3。
PIO0_4/ADC_11/ TRSTN/WAKEUP	6	4	[3]	I; PU	IO	PIO0_4 — 通用端口 0 输入 / 输出 4。 在边界扫描模式下： $\overline{\text{TRST}}$ （测试复位）。 在 ISP 模式下，此引脚为 U0_TXD 引脚。 此引脚触发深度掉电模式唤醒。如果器件必须通过外部引脚从深度掉电模式唤醒，则不要向此引脚分配任何可移动功能。进入深度掉电模式前，此引脚应通过外部拉至高电平。持续时间低至 50 ns 的低电平脉冲导致芯片退出深度掉电模式，并唤醒器件。
					A	ADC_11 — ADC 输入 11。

表 3. 引脚说明 (续)

符号	TSSOP20	HVQFN33		复位状态 [1]	类型	说明
RESET/PIO0_5	5	3	[7]	I; PU	IO	RESET — 外部复位输入：此引脚上持续时间低至 50 ns 的低电平脉冲可复位器件，导致 I/O 端口和外设变为默认状态，并且处理器从地址 0 开始执行。 在深度掉电模式下，此引脚必须通过外部拉至高电平。如果不需要外部 RESET 功能，且不使用深度掉电模式，则 RESET 引脚可以保持不连接状态，也可用作 GPIO 或任意可移动功能。
					I	PIO0_5 — 通用端口 0 输入 / 输出 5。
PIO0_6/ADC_1/ VDDCMP	-	23	[10]	I; PU	IO	PIO0_6 — 通用端口 0 输入 / 输出 6。
					A	ADC_1 — ADC 输入 1。
					A	VDDCMP — 模拟比较器的备用基准电压源。
PIO0_7/ADC_0	-	22	[2]	I; PU	IO	PIO0_7 — 通用端口 0 输入 / 输出 7。
					A	ADC_0 — ADC 输入 0。
PIO0_8/XTALIN	14	18	[8]	I; PU	IO	PIO0_8 — 通用端口 0 输入 / 输出 8。
					A	XTALIN — 振荡器电路和内部时钟发生器电路的输入。输入电压不能超过 1.95 V。
PIO0_9/XTALOUT	13	17	[8]	I; PU	IO	PIO0_9 — 通用端口 0 输入 / 输出 9。
					A	XTALOUT — 从振荡器电路输出。
PIO0_10/I2C0_SCL	10	9	[6]	无效	I; F	PIO0_10 — 通用端口 0 输入 / 输出 10 (开漏)。 I2C0_SCL — 开漏 I ² C 总线时钟输入 / 输出。如果在 I/O 配置寄存器中选择 I ² C 超快速模式，则大电流灌入。
					I; F	PIO0_11 — 通用端口 0 输入 / 输出 11 (开漏)。 I2C0_SDA — 开漏 I ² C 总线数据输入 / 输出。如果在 I/O 配置寄存器中选择 I ² C 超快速模式，则大电流灌入。
PIO0_14/ ACMP_I3/ADC_2	20	25	[2]	I; PU	IO	PIO0_14 — 通用端口 0 输入 / 输出 14。
					A	ACMP_I3 — 模拟比较器公共输入 3。
					A	ADC_2 — ADC 输入 2。
PIO0_12	4	2	[4]	I; PU	IO	PIO0_12 — 通用端口 0 输入 / 输出 12。ISP 输入引脚。复位时，此引脚上的低电平启动 ISP 命令处理程序。
PIO0_13/ADC_10	3	1	[2]	I; PU	IO	PIO0_13 — 通用端口 0 输入 / 输出 13。
					A	ADC_10 — ADC 输入 10。
PIO0_15	11	15	[5]	I; PU	IO	PIO0_15 — 通用端口 0 输入 / 输出 15。
					IO	PIO0_16 — 通用端口 0 输入 / 输出 16。
PIO0_17/ADC_9	2	32	[2]	I; PU	IO	PIO0_17 — 通用端口 0 输入 / 输出 17。
					A	ADC_9 — ADC 输入 9。
PIO0_18/ADC_8	-	31	[2]	I; PU	IO	PIO0_18 — 通用端口 0 输入 / 输出 18。
					A	ADC_8 — ADC 输入 8。
PIO0_19/ADC_7	-	30	[2]	I; PU	IO	PIO0_19 — 通用端口 0 输入 / 输出 19。
					A	ADC_7 — ADC 输入 7。
PIO0_20/ADC_6	-	29	[2]	I; PU	IO	PIO0_20 — 通用端口 0 输入 / 输出 20。
					A	ADC_6 — ADC 输入 6。

表 3. 引脚说明 (续)

符号	TSSOP20	HVQFN33		复位状态 [1]	类型	说明
PIO0_21/ADC_5	-	28	[2]	I; PU	IO	PIO0_21 — 通用端口 0 输入 / 输出 21。
					A	ADC_5 — ADC 输入 5。
PIO0_22/ADC_4	-	27	[2]	I; PU	IO	PIO0_22 — 通用端口 0 输入 / 输出 22。
					A	ADC_4 — ADC 输入 4。
PIO0_23/ADC_3/ ACMP_I4	1	26	[2]	I; PU	IO	PIO0_23 — 通用端口 0 输入 / 输出 23。
					A	ADC_3 — ADC 输入 3。
					A	ACMP_I4 — 模拟比较器公共输入 4。
PIO0_24	-	14	[5]	I; PU	IO	PIO0_24 — 通用端口 0 输入 / 输出 24。
PIO0_25	-	13	[5]	I; PU	IO	PIO0_25 — 通用端口 0 输入 / 输出 25。
PIO0_26	-	12	[5]	I; PU	IO	PIO0_26 — 通用端口 0 输入 / 输出 26。
PIO0_27	-	11	[5]	I; PU	IO	PIO0_27 — 通用端口 0 输入 / 输出 27。
PIO0_28/ WKTCLKIN	-	5	[3]	I; PU	IO	PIO0_28 — 通用端口 0 输入 / 输出 28。此引脚可采用外部时钟，作为自唤醒定时器使用。若要将此引脚用作自唤醒定时器时钟输入，可在唤醒定时器 CTRL 寄存器中选择外部时钟。外部时钟在所有功率模式下有效，包括深度掉电模式。
V _{DD}	15	19	-	-	-	I/O 管脚环电源电压、内核稳压器和模拟外设。
V _{SS}	16	33	-	-	-	地线。
VREFN	17	20	-	-	-	ADC 负基准电压。
VREFP	18	21	-	-	-	ADC 正基准电压。必须等于或小于 V _{DD} 。

- [1] 引脚状态复位至默认功能：I = 输入；AI = 模拟输入；O = 输出；PU = 内部上拉使能（引脚上拉至 V_{DD} 满量程电平）；IA = 无效，无上拉 / 下拉使能；F = 悬空。不同电源模式下的引脚状态请参见 [14.5 章“不同电源模式下的引脚状态”](#)。有关未使用引脚的端接请参见 [14.4 章“未使用引脚的端接”](#)。
- [2] 5 V 兼容引脚提供带有可配置模式、可配置迟滞和模拟输入的标准数字 I/O 功能。配置为模拟输入时，引脚的数字部分禁用，且引脚并非 5 V 兼容。
- [3] 5 V 兼容管脚提供带有可配置上拉 / 下拉电阻和可配置迟滞的数字 I/O 功能。此引脚在深度掉电模式下有效，且包括一个 20 ns 毛刺滤波器（所有电源模式下有效）。在深度掉电模式下，拉低 WAKEUP 引脚可唤醒芯片。如果 WKT 低功耗振荡器使能并用来将器件从深度睡眠模式唤醒，则唤醒引脚功能可禁用，引脚可用作其他用途。有关 WKTCLKIN 输入请参见 [表 16“动态特性：WKTCLKIN 引脚”](#)。
- [4] 5 V 兼容管脚提供带有可配置上拉 / 下拉电阻和可配置迟滞的数字 I/O 功能；包括大电流输出驱动。
- [5] 5 V 兼容管脚提供带有可配置上拉 / 下拉电阻和可配置迟滞的数字 I/O 功能。
- [6] 真开漏引脚。I²C 总线引脚符合 I²C 总线规范，支持 I²C 标准模式、I²C 快速模式和 I²C 超快速模式。此管脚不可用于 SPI 或 USART 等高速应用。此引脚要求进行外部上拉，以提供输出功能。电源关闭时，此引脚处于悬空状态，不会干扰 I²C 线路。开漏配置适用于此引脚上的所有功能。
- [7] 有关复位管脚配置请参见 [图 10](#)。此引脚包含一个 20 ns 毛刺滤波器（所有电源模式下有效）。RESET 功能在深度掉电模式下不可用。使用 WAKEUP 引脚复位芯片，并将芯片从深度掉电模式唤醒。此引脚需要一个外部上拉电阻，用于深度掉电模式。
- [8] 5 V 兼容引脚提供带有可配置模式、可配置迟滞和模拟 I/O 的标准数字 I/O 功能，用于系统振荡器。配置为 XTALIN 和 XTALOUT 时，此引脚的数字部分禁用，且引脚并非 5 V 兼容。
- [9] WKTCLKIN 功能可在 PMU 的 DPDCTRL 寄存器中使能。参见 LPC82x 用户手册。
- [10] 由于具有特殊的模拟功能，此引脚的数字部分为 3 V 兼容引脚。引脚提供带有可配置模式、可配置迟滞和模拟输入的标准数字 I/O 功能。配置为模拟输入时，引脚的数字部分禁用。

表 4. 可移动功能（通过开关矩阵分配到引脚 PIO0_0 至 PIO0_28）

函数名称	类型	说明
U0_TXD	O	USART0 的发送器输出。
U0_RXD	I	UART0 的接收器输入。
U0_RTS	O	USART0 请求发送输出。
U0_CTS	I	USART0 清除发送输入。
U0_SCLK	I/O	同步模式下 USART0 的串行时钟输入 / 输出。
U1_TXD	O	USART1 的发送器输出。
U1_RXD	I	UART1 的接收器输入。
U1_RTS	O	USART1 请求发送输出。
U1_CTS	I	USART1 清除发送输入。
U1_SCLK	I/O	同步模式下 USART1 的串行时钟输入 / 输出。
U2_TXD	O	USART2 的发送器输出。
U2_RXD	I	UART2 的接收器输入。
U2_RTS	O	USART1 请求发送输出。
U2_CTS	I	USART1 清除发送输入。
U2_SCLK	I/O	同步模式下 USART1 的串行时钟输入 / 输出。
SPI0_SCK	I/O	SPI0 的串行时钟。
SPI0_MOSI	I/O	SPI0 主机输出从机输入。
SPI0_MISO	I/O	SPI0 主机输入从机输出。
SPI0_SSEL0	I/O	SPI0 从机选择 0。
SPI0_SSEL1	I/O	SPI1 从机选择 0。
SPI0_SSEL2	I/O	SPI2 从机选择 0。
SPI0_SSEL3	I/O	SPI3 从机选择 0。
SPI1_SCK	I/O	SPI1 串行时钟。
SPI1_MOSI	I/O	SPI1 主机输出从机输入。
SPI1_MISO	I/O	SPI1 主机输入从机输出。
SPI1_SSEL0	I/O	SPI1 从机选择 0。
SPI1_SSEL1	I/O	SPI1 从机选择 1。
SCT_PIN0	I	引脚输入 0 至 SCT 输入多路复用器。
SCT_PIN1	I	引脚输入 1 至 SCT 输入多路复用器。
SCT_PIN2	I	引脚输入 2 至 SCT 输入多路复用器。
SCT_PIN3	I	引脚输入 3 至 SCT 输入多路复用器。
SCT_OUT0	O	SCT 输出 0。
SCT_OUT1	O	SCT 输出 1。
SCT_OUT2	O	SCT 输出 2。
SCT_OUT3	O	SCT 输出 3。
SCT_OUT4	O	SCT 输出 4。
SCT_OUT5	O	SCT 输出 5。
I2C1_SDA	I/O	I ² C1 总线数据输入 / 输出。
I2C1_SCL	I/O	I ² C1 总线时钟输入 / 输出。
I2C2_SDA	I/O	I ² C2 总线数据输入 / 输出。
I2C2_SCL	I/O	I ² C2 总线时钟输入 / 输出。

表 4. 可移动功能（通过开关矩阵分配到引脚 PIO0_0 至 PIO0_28）（续）

函数名称	类型	说明
I2C3_SDA	I/O	I ² C3 总线数据输入 / 输出。
I2C3_SCL	I/O	I ² C3 总线时钟输入 / 输出。
ADC_PINTRIG0	I	ADC 外部引脚触发输入 0。
ADC_PINTRIG1	I	ADC 外部引脚触发输入 1。
ACMP_O	O	模拟比较器输出。
CLKOUT	O	时钟输出。
GPIO_INT_BMAT	O	模式匹配引擎输出。

8. 功能说明

8.1 ARM Cortex-M0+ 内核

ARM Cortex-M0+ 内核最高工作频率为 30 MHz，使用两级流水线。内核版本为 r0p1。

内核集成 NVIC 和串行线调试，具有四个断点和两个观察点。ARM Cortex-M0+ 内核支持单周期 I/O 使能端口，用于快速 GPIO 访问。

内核集成一个单周期乘法器和一个系统节拍定时器。

8.2 片上闪存程序存储器

LPC82x 集成高达 32 KB 的片上闪存程序存储器。闪存存储器支持 64 字节页尺寸，带页写入和擦除功能。

8.3 片上 SRAM

LPC82x 集成总共 8 KB 的片上静态 RAM 数据存储器，位于两个独立的 SRAM 模块中，提供一个组合时钟用于全部两个 SRAM 模块。

8.4 片上 ROM

片上 ROM 包含引导加载程序和下列应用程序编程接口 (API)：

- 在线系统编程 (ISP) 和在应用编程 (IAP) 支持闪存，包含 IAP 擦除页命令。
- 用于配置功耗和 PLL 设置的电源配置
- 32 位整数除法例程
- 使用下列外设的 API：
 - SPI
 - USART
 - I2C
 - ADC

8.5 存储器映射

LPC82x 集成多个不同的存储器区。图 6 从用户程序角度显示复位后整个地址空间的整体映射。中断向量区支持地址重映射。

ARM 专用外设总线包括用于控制 NVIC、系统节拍定时器 (SysTick) 及低功耗模式的 ARM 内核专有寄存器。

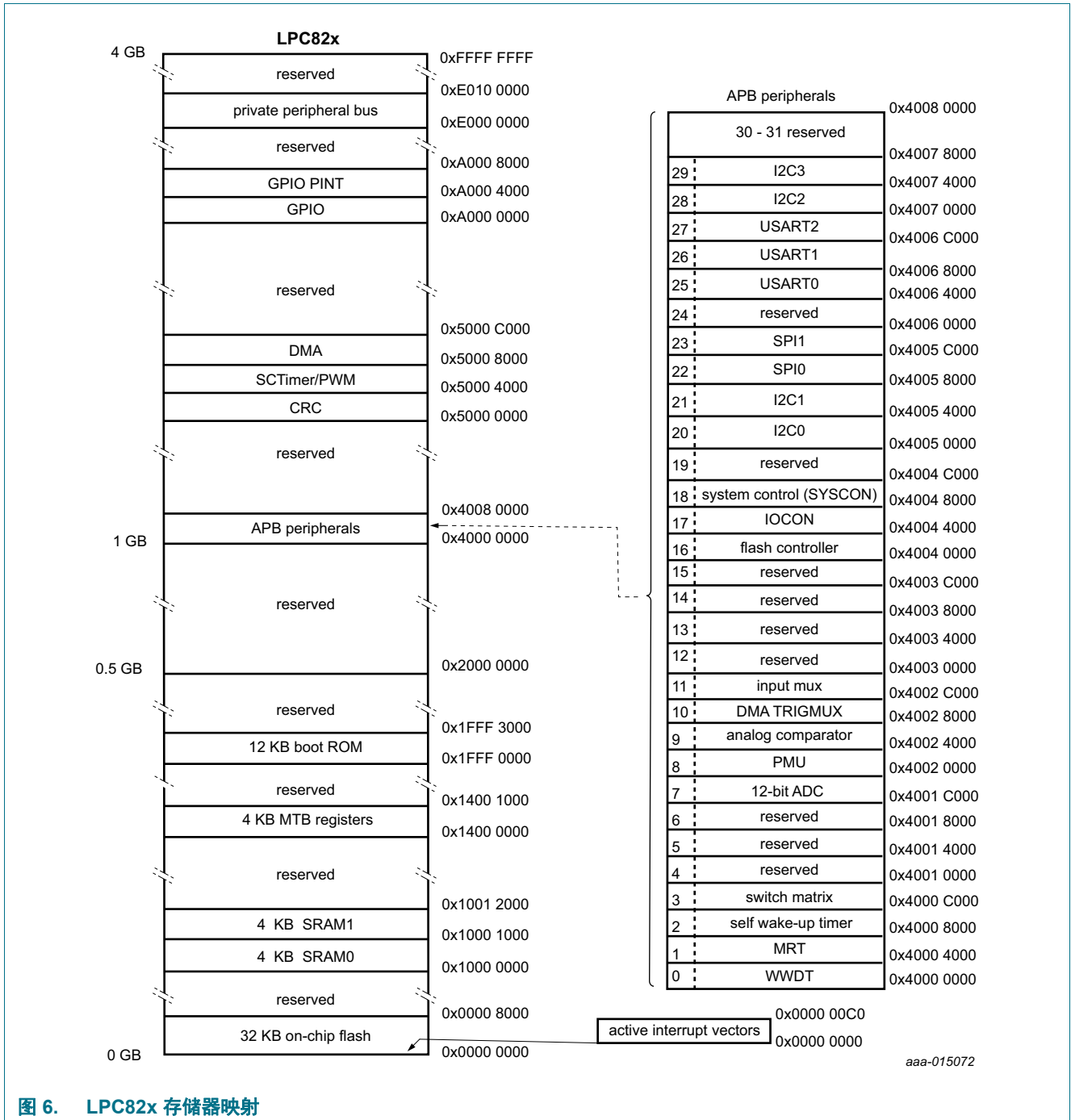


图 6. LPC82x 存储器映射

8.6 可嵌套中断向量控制器 (NVIC)

可嵌套中断向量控制器 (NVIC) 是 Cortex-M0+ 的一部分。它与 CPU 紧密结合，降低了中断延时，并让新进中断可以得到高效处理。

8.6.1 特性

- 可嵌套中断向量控制器是 ARM Cortex-M0+ 的一部分。
- 紧耦合方式使中断延迟大大缩短。
- 可控制系统的异常及外设中断。
- 支持 32 个中断向量。
- 在 LPC82x 中，NVIC 为各外设和 8 个引脚中断提供中断向量支持。
- 4 个可编程的中断优先级，带硬件优先级屏蔽。
- 软件中断生成采用 ARM 异常 SVCALL 和 PendSV。
- 支持 NMI。

8.6.2 中断源

每个外设器件均有至少一条中断线连接到 NVIC，但可能有好几个中断标志。各个中断标志还可能代表一个以上的中断源。

8.7 系统节拍定时器

ARM Cortex-M0+ 集成 24 位系统节拍定时器 (SysTick)，能以固定的时间间隔（通常是 10 ms）生成专用的 SysTick 异常。

8.8 I/O 配置

IOCON 模块控制 I/O 引脚的配置。[表 3](#) 中，带有 PIO0_n 标识的每一个数字或混合数字 / 模拟引脚（除了真开漏引脚 PIO0_10 和 PIO0_11）都可配置为：

- 使能或禁用弱内部上拉和下拉电阻。
- 选择伪开漏模式。输入不可上拉至超过 V_{DD} 。当 V_{DD} 接地时，引脚并非 5 V 兼容。
- 使用某个 IOCON 分频时钟信号参数（IOCONCLKCDIV，参见[图 9 “LPC82x 时钟生成”](#)）。设置不同的滤波参数，进行输入毛刺滤波器的编程。您也可以旁路毛刺滤波器。
- 反转输入信号。
- 可以使能或禁用迟滞。
- 为引脚 PIO0_10 和 PIO0_11 选择 I2C 模式，为标准数字工作模式、I2C 标准和快速模式、以及 I2C 超快速模式选择输出驱动器。
- 开关矩阵设置使能模拟和数字功能引脚的模拟输入模式。使能模拟模式会断开数字功能。

注：每一个 I/O 引脚的功能都是灵活的，并且完全通过开关矩阵确定。详情参见 [8.9 章](#)。

8.8.1 标准 I/O 管脚配置

图 7 显示标准 I/O 引脚（具有模拟输入功能）的几种可用引脚模式：

- 带可配置开漏输出的数字输出驱动器。
- 数字输入：弱上拉电阻（PMOS 器件）使能 / 禁用。
- 数字输入：弱下拉电阻（NMOS 器件）使能 / 禁用。
- 数字输入：中继模式使能 / 禁用。
- 数字输入：所有引脚上的可编程输入数字滤波器均为可选。
- 模拟输入：通过开关矩阵选择。

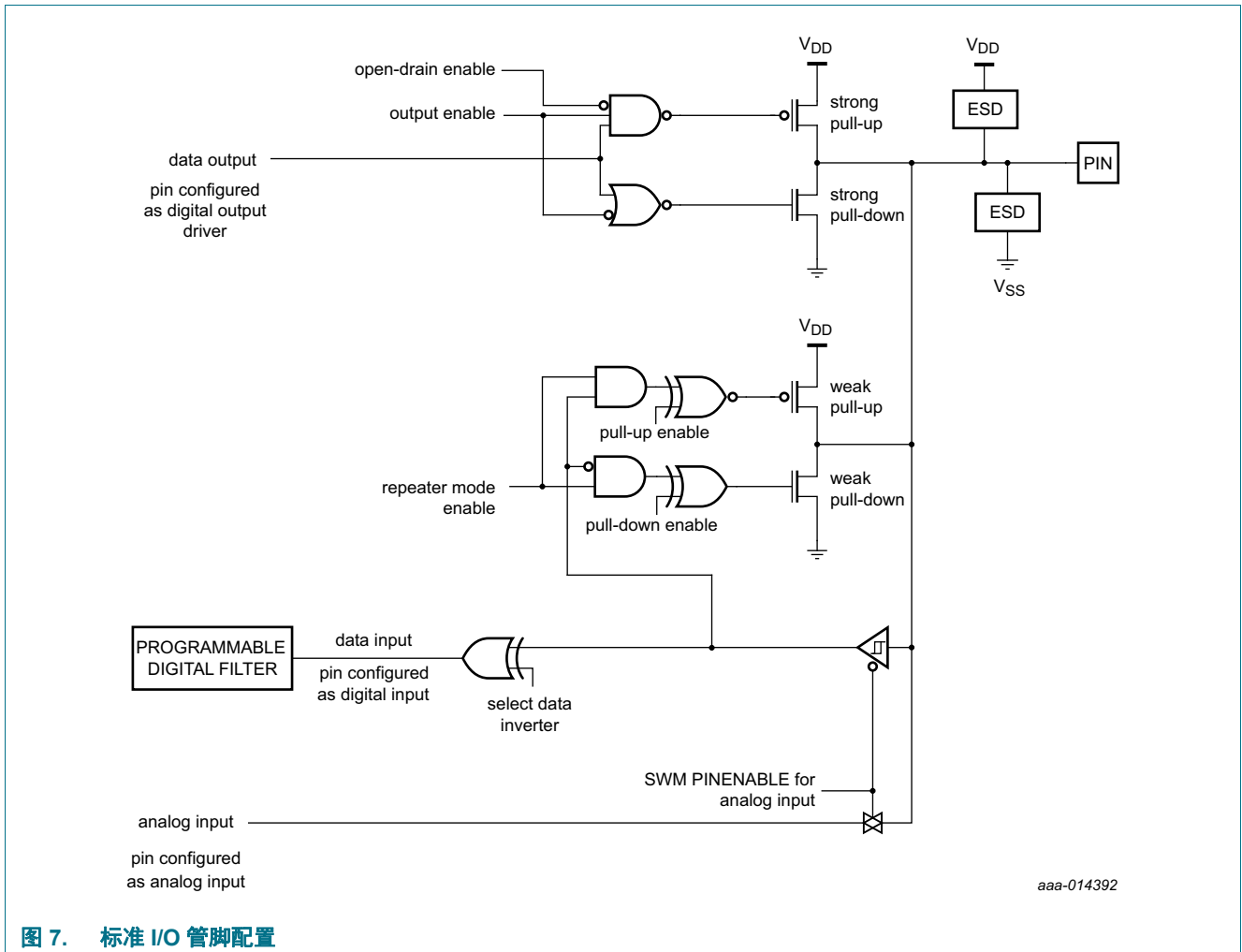


图 7. 标准 I/O 管脚配置

8.9 开关矩阵 (SWM)

开关矩阵允许将很多功能（比如 USART、SPI、SCT 和 I2C 功能）连接至非电源或接地的任意引脚，从而高度灵活地控制每一个数字或混合模拟 / 数字引脚功能。这些功能称为可移动功能，列于[表 4](#)。

需要专用管脚的功能（比如振荡器引脚 XTALIN 和 XTALOUT）可以通过开关矩阵使能或禁用。这些功能称为固定引脚功能，无法移至其他引脚。固定引脚功能列于[表 3](#)。如果某个固定引脚功能禁用，则可以向此引脚分配其他任意可移动功能。

8.10 快速通用并行 I/O (GPIO)

没有连接到特定外围设备功能的器件引脚由 GPIO 寄存器进行控制。引脚可动态配置为输入或输出。一次写操作可以置位或清零多个输出。

LPC82x 使用加速 GPIO 功能：

- GPIO 寄存器位于 ARM Cortex-M0+ IO 总线上，用来实现尽可能快速的单周期 I/O 时序，支持 GPIO 以高达 15 MHz 的速率切换。
- 整个端口值可写在一个指令中。
- 整个端口都支持屏蔽、置位和清零操作。

所有 GPIO 端口均为固定引脚功能，可通过开关矩阵在引脚上使能或禁用。因此，每个 GPIO 端口引脚均分配至一个特定引脚，且无法移至其他引脚。开关矩阵默认使能 GPIO 端口引脚，但引脚 SWDIO/PIO0_2、SWCLK/PIO0_3 和 RESET/PIO0_5 除外。

8.10.1 特性

- 位级端口寄存器允许单一的指令通过单次写操作置位或清零任何数量的位。
- 各个位的方向控制。
- 复位后，所有带内部上拉电阻且默认为 GPIO 输入的 I/O 均使能，但 I²C 总线真开漏引脚 PIO0_10 和 PIO0_11 除外。
- 上拉 / 下拉配置、中继和开漏模式可通过 IOCON 模块针对每一个 GPIO 引脚进行编程设置（参见[图 7](#)）。
- 可单独置位和清除方向（输入 / 输出）。
- 可切换引脚方向位。

8.11 引脚中断 / 模式匹配引擎

引脚中断模块可配置所有数字引脚中的多达 8 个引脚，从而提供连接 NVIC 的 8 个外部中断。

模式匹配引擎能与软件配合使用，根据引脚输入创建复合状态机。

任何数字引脚除了能通过开关矩阵选择功能外，还可通过 SYSCON 模块配置为引脚中断或模式匹配引擎的输入。控制引脚中断或模式匹配引擎的寄存器位于 IO+ 总线上，便于快速单周期访问。

8.11.1 特性

- 引脚中断
 - 可从所有数字引脚中选择多达 8 个引脚，作为边沿或电平敏感中断请求。每个请求在 NVIC 中创建一个单独的中断。
 - 边沿敏感中断引脚可以在上升沿和 / 或下降沿发生中断。
 - 电平敏感中断引脚可以是高电平或低电平有效。
 - 引脚中断可将 LPC82x 从睡眠模式、深度睡眠模式和掉电模式中唤醒。
- 引脚中断模式匹配引擎
 - 可从所有数字引脚中选择最多 8 个引脚，组成布尔表达式。布尔表达式由特定电平和 / 或这些引脚的多种组合转换所组成。
 - 组成特定布尔表达式的每一个最小项（乘数项）都可以产生其自身的专用中断请求。
 - 还可编程任意模式匹配事件，生成 ARM CPU 的 RXEV 通知。RXEV 信号可连接引脚。
 - 模式匹配引擎无法为唤醒功能提供支持。

8.12 DMA 控制器

DMA 控制器可以通过 DMA 请求或触发访问全部存储器和 USART、SPI、I2C 和 ADC 外设。内部事件也可触发 DMA 传输，比如 ADC 中断、引脚中断（PININT0 和 PININT1）、SCTimer DMA 请求和 DMA 触发输出。

8.12.1 特性

- 18 个通道，每个通道均连接外设请求输入。
- 片上事件或两次引脚中断可以触发 DMA 操作。每一个 DMA 通道均可从 9 个源中选择一个触发输入。
- 用户可以选择每个通道的优先级。
- 连续优先级仲裁。
- 具有两个入口的地址高速缓存。
- 数据总线的高效利用。
- 单次传输支持多达 1024 字。
- 地址递增选项支持打包和 / 或拆包数据。

8.12.2 DMA 触发输入 MUX (TRIGMUX)

每一个 DMA 触发均连接可编程多路复用器，将触发输入与多个触发源之一相连。每一个多路复用器均支持相同的触发源：ADC 序列中断、SCT DMA 请求线、引脚中断 PININT0 和 PININT1，以及 DMA 触发 0 和 DMA 触发 1 输出（用于连接 DMA 触发）。

8.13 USART0/1/2

所有的 USART 功能均为可移动功能，且通过开关矩阵分配至引脚。

8.13.1 特性

- 异步模式下的最大位速率为 1.875 Mbit/s，同步模式下的最大位速率为 10 Mbit/s（USART 功能连接至所有数字引脚，开漏引脚除外）。
- 7、8、9 个数据位和 1、2 个停止位。
- 主机或从机操作的同步模式。包括数据阶段选择和连续时钟选项。
- 带软件地址比较的多处理器 / 多点（9 位）模式。（RS-485 兼容，带软件地址检测和收发器方向控制。）
- 奇偶生成及校验：奇数、偶数或无。
- 一个发送和一个接收数据缓冲器。
- 用于自动流量控制的 RTS/CTS 硬件信号采集。可以通过增量 CTS 检测、发送禁用控制和任意 GPIO 用作 RTS 输出实现软件流量控制。
- 还可从单个寄存器读取接收数据和状态。
- 中止产生及检测。
- 接收数据为 3 个样本“投票”中的 2 个。当有一个样本不一样的时候，状态标志置位。
- 内置波特率发生器。
- 小数速率分频器在所有 UART 中共享。
- 以下中断可用：接收器就绪、发送器就绪、接收器空闲、接收器断开变更检测、成帧错误、奇偶校验错误、上溢、下溢、增量 CTS 检测、接收器样本噪声检测。
- 用于测试的独立数据和回流控制环回模式。
- 波特率时钟还可在异步模式下输出。
- 由片上 ROM API 支持。

8.14 SPI0/1

所有的 SPI 功能均为可移动功能，且通过开关矩阵分配至引脚。

8.14.1 特性

- 主机模式下的最大数据速率为 30 Mbit/s，从机模式下的最大数据速率为 18 Mbit/s（SPI 功能连接至所有数字引脚，开漏引脚除外）。
- 直接支持 1 至 16 位的数据帧。软件支持更大的帧。
- 主机和从机操作。
- 无需读取输入数据即可将数据发送至从机，在建立 SPI 存储器的时候很有用。
- 控制信息还可与数据一同写入，支持非常多样化的操作，包括“任意长度”帧。
- 一个从机选择输入 / 输出具有可选极性和灵活用途。

注：不支持 Texas Instruments SSI 和 National Microwire 模式。

8.15 I2C 总线接口 (I2C0/1/2/3)

I²C 总线是双向的，仅使用以下两根线进行 I²C 控制：串行时钟线 (SCL) 和串行数据线 (SDA)。每个设备均由一个唯一的地址进行识别，并且可用作一个纯接收器设备（例如，LCD 驱动器）或一个同时具有信息收发功能的发送器（例如，存储器）。发送器和 / 或接收器可在主机或从机模式下工作，具体取决于芯片是需要启动数据传输还是只被寻址。I²C 是一种多主机总线，可通过多个总线主机控制。

I2C0 总线功能是固定引脚功能。用于 I2C1/2/3 的其他所有 I2C 总线功能均为可移动功能，可通过开关矩阵分配至任意引脚。但是，只有真开漏引脚提供电气特性，支持完整的 I2C 总线规范（参见[参考资料 3](#)）。

8.15.1 特性

- I2C0 支持超快速模式，数据速率高达 1 Mbit/s；此外两个真开漏引脚还支持标准和快速模式。
- 真开漏引脚提供故障安全操作：关断 I²C 总线器件的电源后，连接 I²C0 总线的 SDA 和 SCL 引脚悬空，不会干扰总线。
- I2C1/2/3 支持标准和快速模式，数据速率高达 400 kbit/s。
- 独立的主机、从机和监控器功能。
- 支持多主机和带从机功能的多主机。
- 硬件支持多个 I²C 从机地址。
- 可以通过一个位屏蔽或一个地址范围选择性验证一个从机地址，响应多个 I²C 总线地址。
- 通过软件辅助支持 10 位寻址。
- 支持 SMBus。

8.16 SCTimer/PWM

利用匹配输出和外部及内部捕捉输入，状态可配置定时器可执行基本 16 位和 32 位定时器 / 计数器功能。此外，SCTimer/PWM 可以实现多达 8 种不同的可编程状态，这些状态可以在事件控制下改变，从而提供复合时序模式。

SCT 输入可在开关矩阵决定的可移动功能以及内部连接之间多路复用，比如 ADC 阈值比较中断、比较器输出和 ARM 内核信号 ARM_TXEV 及 DEBUG_HALTED。每一个 SCT 输入上的信号均通过输入多路复用选择。

所有的 SCT 输出均为可移动功能，且通过开关矩阵分配至引脚。一个 SCT 的输出还可选择用作一个 ADC 转换触发。

8.16.1 特性

- 每一个 SCTimer/PWM 均支持：
 - 8 个匹配 / 捕获寄存器。
 - 8 个事件。
 - 8 个状态。
 - 4 路输入。每一个输入都可通过一个输入多路复用器配置为使用 4 个外部引脚之一（通过开关矩阵连接），或配置为使用 4 个内部源之一。输入信号频率最大值为 25 MHz。
 - 6 路输出。通过开关矩阵连接至引脚。

- 计数器 / 定时器特性：
 - 每一个 SCTimer 都可配置为 2 个 16 位计数器或 1 个 32 位计数器。
 - 计数器时钟可以采用系统时钟或所选输入。
 - 可配置为上行计数器或可逆计数器。
 - 可配置匹配数和捕获寄存器。总共 8 个匹配和捕获寄存器。
 - 匹配时建立以下事件：中断；停止、限制、挂起定时器或改变计数方向；切换输出。
 - 计数器值可以载入捕获寄存器，由匹配或输入 / 输出切换触发。
- PWM 特性：
 - 计数器可以与匹配寄存器一同使用，以便切换输出，并创建与时间成比例的 PWM 信号。
 - 最多 6 个单边沿或双边沿 PWM 输出，具有独立的占空比和相同的 PWM 周期长度。
- 事件创建特性：
 - 以下条件定义了一次事件：计数器匹配条件、输入（或输出）条件（如上升沿或下降沿或电平）、匹配和 / 或输入 / 输出条件组合。
 - 所选事件可以限制、挂起、启动或停止计数器操作，或者改变其方向。
 - 事件触发状态改变、输出切换、中断和 DMA 事务。
 - 匹配寄存器 0 可用作自动限值。
 - 在双向模式中，事件可以根据计数方向使能。
 - 可以保持匹配事件，直至发生另一个符合条件的事件。
- 状态控制特性：
 - 状态由计数器运行时的事件状态决定。
 - 事件的发生导致状态改变。
 - 每一个事件都能分配至一个或多个状态。
 - 状态变量可以对多个计数器周期进行排序。
- 可以选择一个 SCTimer 匹配输出，用作 ADC 硬件触发输入。

8.16.2 SCTimer/PWM 输入多路复用 (INPUT MUX)

SCTimer/PWM 的每一个输入均连接可编程多路复用器，后者允许将多个输入或输出源中的一个连接至输入。每一个 SCTimer/PWM 输入的可用源都是相同的，可以从开关矩阵配置的 4 个引脚、ADC 阈值比较中断、比较器输出和 ARM 内核信号 ARM_TXEV 和 DEBUG_HALTED 中选择。

8.17 多速率定时器 (MRT)

多速率定时器 (MRT) 提供四通道重复中断定时器。每一个通道均可采用独立的时间间隔编程，并且每一个通道的工作都独立于其他通道。

8.17.1 特性

- 31 位中断定时器
- 4 个通道独立从单独设置的值开始向下计数
- 总线停止、重复和单次中断模式

8.18 窗口化看门狗定时器 (WWDT)

若软件未能在可编程的时间窗口内定期为看门狗定时器提供服务，则看门狗定时器复位控制器。

8.18.1 特性

- 如果没有在可编程设定的超时期间内定期重新载入，则产生片上复位。
- 可选的窗口操作需要在最短与最长时间周期（这两者均可编程设定）范围内重新载入。
- 可在看门狗超时之前的可编程时间生成可选的警报中断。
- 可通过软件使能，但需要硬件复位或禁用看门狗复位 / 中断。
- 错误的喂狗时序会令看门狗产生复位或中断（如使能）。
- 具有指示看门狗复位的标志。
- 带内部前置分频器的可编程 24 位定时器。
- 可从 $(T_{cy(WDCLK)} \times 256 \times 4)$ 到 $(T_{cy(WDCLK)} \times 2^{24} \times 4)$ 中选择 $T_{cy(WDCLK)} \times 4$ 倍数的时间周期。
- 看门狗时钟 (WDCLK) 由专用的看门狗振荡器 (WDOSC) 生成。

8.19 自唤醒定时器 (WKT)

自唤醒定时器是一个 32 位的可载入递减计数器。将任意非零值写入此定时器可自动使能计数器，并启动向下计数序列。当计数器用作唤醒定时器时，该写入操作可能发生在进入低功耗模式以前。

8.19.1 特性

- 32 位可载入递减计数器。载入计数值时，计数器自动开始计数。超时生成一次中断 / 唤醒请求。
- WKT 位于独立的常开电源域内。
- WKT 支持 3 个时钟源：WKTCLKIN 引脚上的外部时钟、低功耗振荡器和 IRC。低功耗振荡器位于常开电源域内，因此可用于深度睡眠模式下的时钟源。
- WKT 可用来将器件从任意低功耗模式唤醒，包括深度掉电模式，也可以用来产生通用时序。

8.20 模拟比较器 (ACMP)

带可选迟滞的模拟比较器可以比较外部引脚上的电压和内部电压。

上电和切换比较器的输入通道后，必须允许电压梯的输出建立至其稳定值，随后才能将其用作比较器参考输入。建立时间见表 24。

模拟比较器输出是可移动功能，通过开关矩阵分配至引脚。比较器输入和基准电压通过开关矩阵使能。

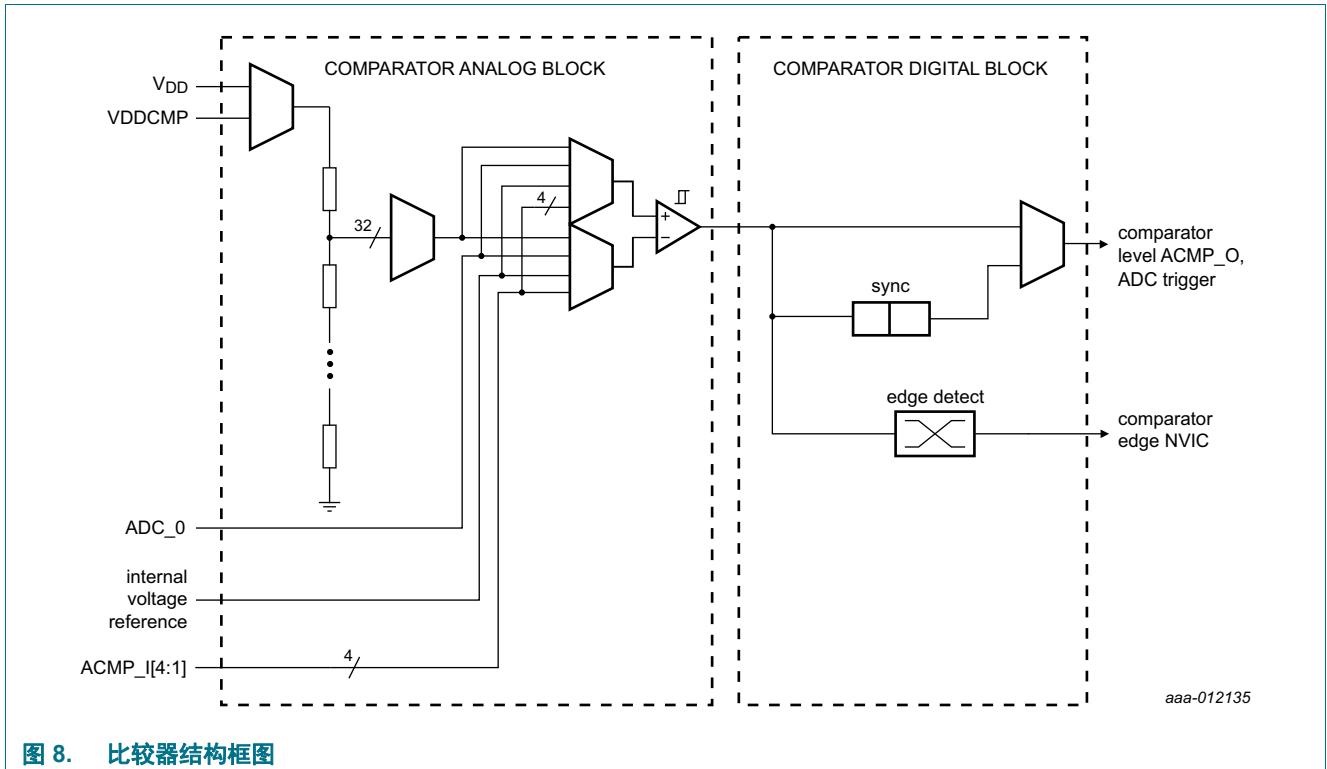


图 8. 比较器结构框图

8.20.1 特性

- 可选 0 mV、10 mV (± 5 mV) 和 20 mV (± 10 mV)、40 mV (± 20 mV) 输入迟滞。
- 两个可选外部电压（引脚 PIO0_6 上的 V_{DD} 或 V_{DDCMP} ）；在正或负输入通道上完全可编程。
- 来自带隙的内部基准电压源在正或负输入通道上可选。
- 32 级电压梯的内部基准电压在正或负输入通道上可选。
- 电压梯源电压可从外部引脚或 3.3 V 主电源电压轨中选择。
- 电压梯可以针对只需要比较器功能的应用单独掉电。
- 中断输出连接 NVIC。
- 比较器电平输出连接输出引脚 ACMP_O。
- 一个比较器输出通过内部汇集至 ADC 触发输入多路复用器。

8.21 模数转换器 (ADC)

ADC 支持 12 位分辨率和高达 1.2 MSPS 的快速转换速率。模数转换序列可通过多个源触发。可能的触发源有：引脚触发、SCT 输出 SCT_OUT3、模拟比较器输出和 ARM TXEV。

ADC 集成硬件阈值比较功能，带过零检测。

注：为了获得最佳性能，VREFP 和 VREFN 应当选择与 V_{DD} 和 V_{SS} 相同的电压电平。若 VREFP 和 VREFN 选择不同于 V_{DD} 和 V_{SS} 的值，则应当确保电压中间值是相同的：

$$(VREFP-VREFN)/2 + VREFN = V_{DD}/2$$

8.21.1 特性

- 12 位逐次逼近型模数转换器。
- 12 位转换速率高达 1.2 MSPS。
- 两个可配置转换序列具有独立的触发。
- 可选自动阈值上 / 下限比较和过零检测。
- 掉电模式和低功耗工作模式。
- 测量范围：VREFN 至 VREFP（不超过 V_{DD} 电压电平）。
- 用于单个或多个输入的突发转换模式。
- 硬件校准模式。

8.22 时钟和功率控制

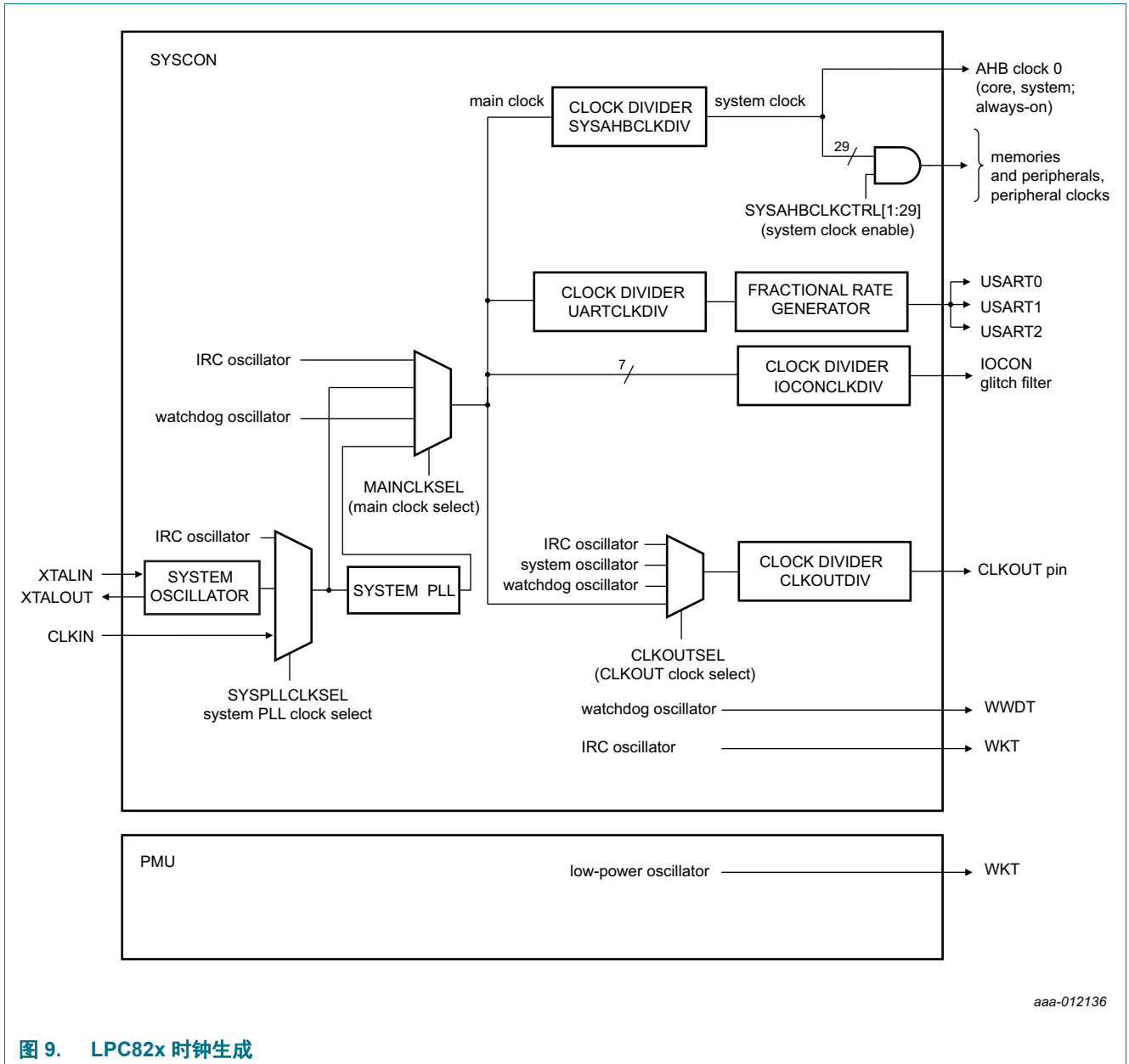


图 9. LPC82x 时钟生成

8.22.1 晶体和内部振荡器

LPC82x 集成 4 个独立的振荡器：

1. 晶体振荡器 (SysOsc) 工作频率范围为 1 MHz 至 25 MHz。
2. 内部 RC 振荡器 (IRC) 具有 12 MHz 固定频率。
3. 内部低功耗、低频率振荡器具有 10 kHz 标称频率，精度为 40%，用于自唤醒定时器。
4. 专用的看门狗振荡器 (WDOsc) 具有范围为 9.4 kHz 至 2.3 MHz 的可编程标称频率范围，精度为 40%。

除低频振荡器外的每一个振荡器都能根据特定应用实现多种用途。

复位后，LPC82x 采用 IRC 工作，直至软件切换；这样器件就能在无任何外部晶体和引导加载程序码的情况下以已知的频率运行。

请参见[图 9](#)，了解有关 LPC82x 时钟生成的概述。

8.22.1.1 内部 RC 振荡器 (IRC)

IRC 可用作 WWDT 的时钟源和 / 或驱动 PLL 和 CPU 的时钟。标称的 IRC 频率为 12 MHz。可对 IRC 进行调整，使其在整个电压和温度范围内精确到 1.5 %。

使用或不使用 PLL 时，IRC 可用作 CPU 的时钟源。IRC 频率可通过系统 PLL 提高到更高的频率，高达 CPU 的最大工作频率。

上电或任何芯片复位后，LPC82x 会使用 IRC 作为时钟源。软件稍后可能会切换到其他可用时钟源之一。

8.22.1.2 晶体振荡器 (SysOsc)

使用或不使用 PLL 时，晶体振荡器可用作 CPU 的时钟源。

SysOsc 工作频率范围为 1 MHz 至 25 MHz。此频率可通过系统 PLL 提高到更高的频率，高达 CPU 的最大工作频率。

8.22.1.3 内部低功耗振荡器和看门狗振荡器 (WDOsc)

WDOsc 的标称频率可编程范围为 9.4 kHz 至 2.3 MHz。硅芯片工艺导致的频率变化为 $\pm 40\%$ 。

WDOsc 是窗口 WWDT 的专用振荡器。

内部低功耗 10 kHz（精度为 $\pm 40\%$ ）振荡器用作 WKT 的时钟输入。此振荡器可配置为在所有低功耗模式下运行。

8.22.2 时钟输入

外部时钟源可通过所选 CLKIN 引脚直接作为 PLL 的输入信号。为 CLKIN 引脚选择时钟信号时，遵循[表 8 “静态特性，电源引脚”](#)和[表 15 “动态特性：I/O 引脚¹¹”](#)中的数字 I/O 引脚规格。

1.8 V 外部时钟源可通过 XTALIN 引脚作为系统振荡器的时钟输入，此信号的电压受到限制（参见[14.1 章](#)）。

两个时钟信号的最大频率均为 25 MHz。

8.22.3 系统 PLL

PLL 接受范围为 10 MHz 至 25 MHz 的输入时钟频率。输入频率可通过一个电流控制振荡器 (CCO) 倍增至高频。乘数可以是介于 1 至 32 之间的某个整数值。CCO 的工作频率范围介于 156 MHz 与 320 MHz 之间，因此在循环中有一个额外的分频器，用以确保 CCO 位于其频率范围内的同时，PLL 能提供所需的输出频率。输出分频器可设置为按 2、4、8 或 16 分频，以产生输出时钟。由于输出分频器的最小值为 2，因此这就确保了 PLL 输出有 50 % 的占空比。芯片复位后，PLL 会被关闭和绕过，并且可通过软件使能。程序必须配置并激活 PLL、等待 PLL 锁定，然后连接到 PLL 作为时钟源。PLL 建立时间标称值为 100 μ s。

8.22.4 时钟输出

LPC82x 具有时钟输出功能，可将 IRC、SysOsc、看门狗振荡器或主时钟路由至 CLKOUT 功能。CLKOUT 功能可通过开关矩阵连接任意数字引脚。

8.22.5 唤醒过程

LPC82x 在上电时开始工作，使用 IRC 作为时钟源可让芯片快速恢复工作状态。如果应用需要使用 SysOsc、外部时钟源或 PLL，则软件必须使能这些特性并等待它们稳定，然后才能用作时钟源。

8.22.6 功耗控制

LPC82x 支持 ARM Cortex-M0 睡眠模式。CPU 时钟速率同样可以通过改变时钟源、重新配置 PLL 值和 / 或改变 CPU 时钟分频值而实现按需控制。这样可以根据应用要求在功耗和处理速度之间作出权衡取舍。此外，提供关断单独片上外设时钟的寄存器，通过消除应用程序不需要的任意外设中的全部动态功率，实现功耗微调。所选外设具有自己的时钟分频器，可提供更佳的功耗控制。

8.22.6.1 功耗配置

工作和睡眠模式下的功耗可通过简单调用功耗配置 API 而针对应用优化。可通过片上 ROM 访问 API。

功耗配置例程可将 LPC82x 配置为以下功耗模式之一：

- 默认模式对应复位后的功耗配置。
- CPU 性能模式对应优化处理能力。
- 高效模式对应功耗和 CPU 性能的优化平衡。
- 低电流模式对应最低的功耗。

此外，功耗配置还包括在给定的系统时钟和 PLL 输入时钟条件下选择最优 PLL 设置的例程。

8.22.6.2 睡眠模式

进入睡眠模式后，内核时钟停摆。从睡眠模式恢复不需要任何特殊的序列，只需要重新使能 ARM 内核时钟。

在睡眠模式下，暂停执行指令，直到发生复位或中断。睡眠模式下外设继续工作，且可能产生中断，导致处理器恢复执行状态。睡眠模式消除了处理器本身、存储器系统和相关控制器，以及内部总线的动态功耗。

8.22.6.3 深度睡眠模式

在深度睡眠模式下，LPC82x 内核处于睡眠模式，所有外设时钟和所有时钟源均关闭，但 IRC 和看门狗振荡器或低功耗振荡器除外（如果选中）。IRC 输出禁用。此外，所有模拟模块均关断，闪存处于待机模式。在深度睡眠模式下，应用可将看门狗振荡器和 BOD 电路保持在运行状态，以便自定时唤醒和 BOD 保护。

LPC82x 可通过以下方式从深度睡眠模式唤醒：复位、选择用作引脚中断模块输入的数字引脚、看门狗定时器中断或 USART 中断（如果 USART 配置为同步从机模式）、SPI 或 I2C 模块（从机模式下）。

从深度睡眠模式唤醒所采用的任何中断都必须在其中一个 SYSCON 唤醒使能寄存器和 NVIC 中使能。

深度睡眠模式可节省功耗，并允许快速唤醒。

8.22.6.4 掉电模式

在掉电模式下，LPC82x 处于睡眠模式，所有外设时钟和所有时钟源均关闭，但看门狗振荡器或低功耗振荡器除外（如果选中）。此外，所有模拟模块和闪存均关断。在掉电模式下，应用可将看门狗振荡器和 BOD 电路保持在运行状态，以便自定时唤醒和 BOD 保护。

LPC82x 可通过以下方式从掉电模式唤醒：复位、选择用作引脚中断模块输入的数字引脚、看门狗定时器中断或 USART 中断（如果 USART 配置为同步从机模式）、SPI 或 I2C 模块（从机模式下）。

从掉电模式唤醒所采用的任何中断都必须在其中一个 SYSCON 唤醒使能寄存器和 NVIC 中使能。

掉电模式比深度睡眠模式更能节省功耗，但唤醒时间较长。

8.22.6.5 深度掉电模式

在深度掉电模式下，整个芯片的电源关闭，但 WAKEUP 引脚和自唤醒定时器除外（如果使能）。深度掉电模式下提供 4 个通用寄存器，用于保存信息。可通过 WAKEUP 引脚，或者通过自唤醒定时器超时从而无需外部信号即可将 LPC82x 从深度掉电模式唤醒（参见 [8.19 章](#)）。

在 PMU 模块中设置锁定位可防止 LPC82x 进入深度掉电模式。锁定不进入深度掉电模式可让应用始终保持看门狗定时器或 BOD 运行。

进入深度掉电模式后，WAKEUP 引脚上需要一个外部上拉电阻才能保持高电平。在深度掉电模式下，将 RESET 引脚拉至高电平可防止它悬空。

8.23 系统控制

8.23.1 复位

LPC82x 有 4 个复位源：RESET 引脚、看门狗复位、上电复位 (POR) 和掉电检测 (BOD) 电路。RESET 引脚是一个施密特触发器输入引脚。任意源可置位芯片复位，一旦工作电压达到可用电平，便开启 IRC 并初始化闪存控制器。

持续时间短至 50 ns 的低电平脉冲即可复位器件。

移除内部复位后，处理器便从地址 0 开始执行，即最初引导模块映射的复位向量。此时，所有处理器和外设寄存器均初始化为预置值。

在深度掉电模式下， $\overline{\text{RESET}}$ 引脚需要一个外部上拉电阻。

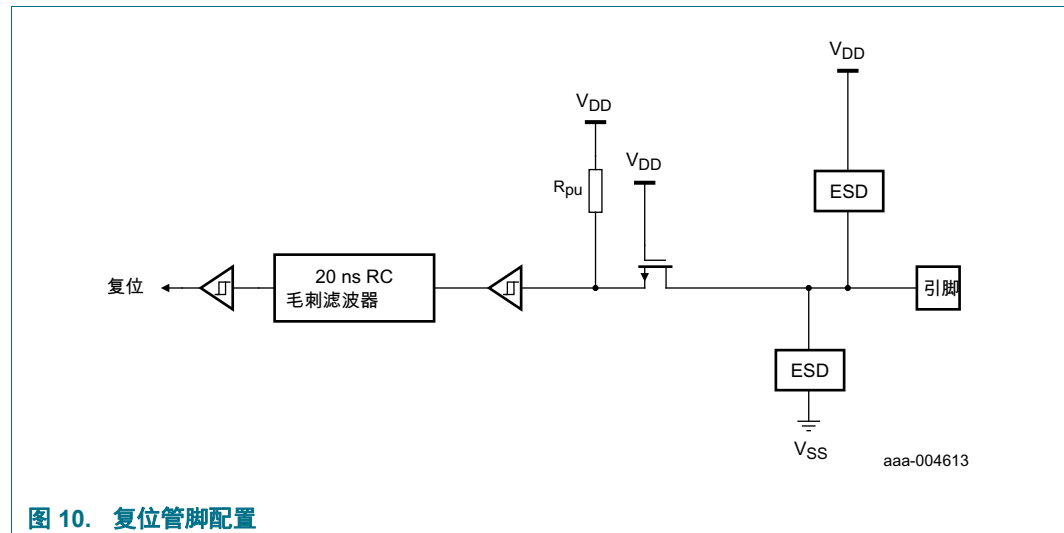


图 10. 复位管脚配置

8.23.2 欠压检测

LPC82x 集成多达 4 个电平，来监控 V_{DD} 引脚上的电压。如果此电压下降至其中一个选定的电平，则 BOD 向 NVIC 置位一个中断信号。此信号可在 NVIC 的中断使能寄存器中使能中断，用来中断 CPU。另外，软件可以通过读取专用状态寄存器来监控信号。可以选择 4 个阈值电平，强制芯片复位。

8.23.3 代码安全性（代码读取保护 - CRP）

CRP 在系统中提供不同的安全等级，以便限制针对片上闪存的访问，以及限制使用串行线调试器 (SWD) 和在系统编程 (ISP)。将特定的模式编程至特定闪存位置可调用 CRP。IAP 命令不受 CRP 影响。

此外，可以在不使能 CRP 的情况下禁止通过 ISP 入口引脚进入 ISP。详情请参见 *LPC82x 用户手册*。

提供 3 级代码读取保护：

1. CRP1 禁止通过 SWD 访问芯片，允许使用有限的 ISP 命令集进行部分闪存更新（闪存扇区 0 除外）。此模式在要求 CRP 且需要更新闪存字段但不能擦除所有扇区时有用。
2. CRP2 禁止通过 SWD 访问芯片，仅允许更少的 ISP 命令集进行完整闪存擦除和更新。
3. 如果应用工作时选择 CRP3，则完全禁止通过 SWD 引脚和 ISP 进行任何芯片访问。此模式还可有效禁止通过 ISP 入口引脚进行 ISP 覆盖。如有必要，应用必须通过 IAP 调用来提供闪存更新机制，或者通过重新调用 ISP 命令从而利用 USART 来使能闪存更新。

小心



如果选择了 3 级代码读取保护 (CRP3)，该器件以后将无法执行厂商测试。

除了 3 个 CRP 等级外，可以禁用针对有效用户代码的 ISP 入口引脚采样。详情请参见 *LPC82x 用户手册*。

8.23.4 APB 接口

APB 外设位于一条 APB 总线上。

8.23.5 AHBLite

AHBLite 将 ARM Cortex-M0+ 的 CPU 总线与闪存、主静态 RAM、CRC、DMA、ROM 和 APB 外设相连。

8.24 仿真和调试

ARM Cortex-M0+ 集成调试功能。除了标准 JTAG 边界扫描，还支持串行线调试功能。ARM Cortex-M0+ 配置为支持最多 4 个断点和 2 个观察点。

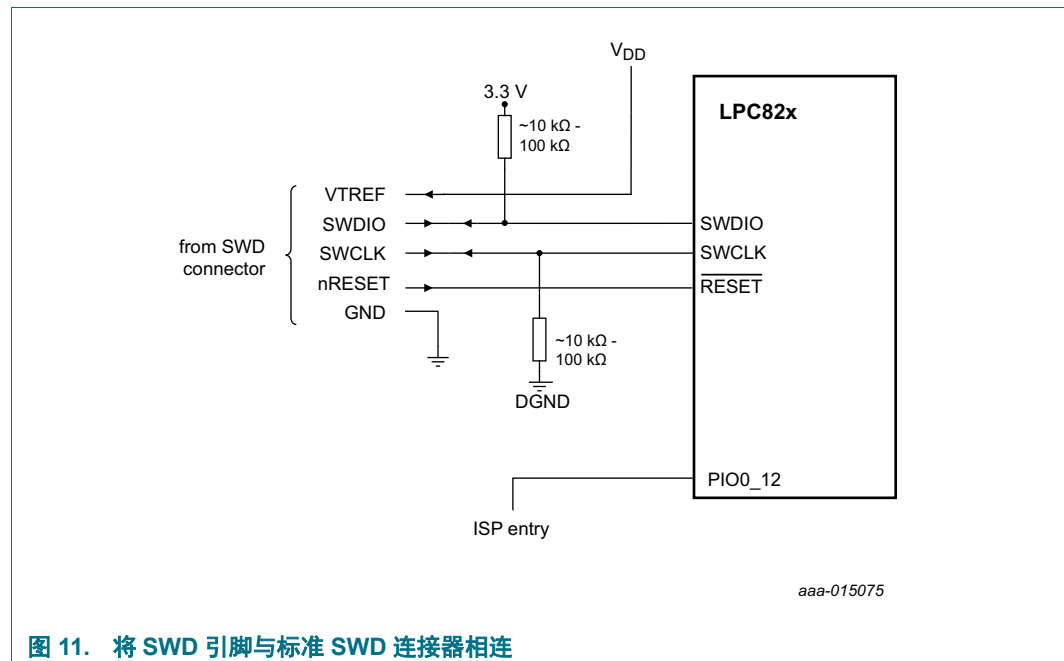
LPC82x 部署了微跟踪缓冲器。

$\overline{\text{RESET}}$ 引脚可以在 JTAG 边界扫描 ($\overline{\text{RESET}}$ = 低电平) 和 ARM SWD 调试 ($\overline{\text{RESET}}$ = 高电平) 之间选择。LPC82x 复位时，ARM SWD 调试端口禁用。当器件处于边界扫描模式时，由硬件在 PIO0_0 至 PIO0_3 引脚上选择 JTAG 边界扫描引脚 (参见表 3)。

如需执行边界扫描测试，请遵循下列步骤：

1. 擦除闪存中的一切用户代码。
2. 外部拉高 $\overline{\text{RESET}}$ 引脚，为器件上电。
3. 等待至少 250 μs 。
4. 外部拉低 $\overline{\text{RESET}}$ 引脚。
5. 执行边界扫描操作。
6. 完成边界扫描操作后，置位 $\overline{\text{TRST}}$ 引脚，以使能 SWD 调试模式，然后释放 $\overline{\text{RESET}}$ 引脚 (拉至高电平)。

注：JTAG 接口无法用于调试。



9. 限值

表 5. 限值

依照“绝对最大额定值体系(IEC 60134)”。^[1]

符号	参数	条件		最小值	最大值	单位
V _{DD}	电源电压（内核和外部供电轨）		[2]	-0.5	+4.6	V
V _{ref}	参考电压	在 VREFP 引脚上		-0.5	V _{DD}	V
V _I	输入电压	5 V 兼容 I/O 引脚；V _{DD} ≥ 1.8 V	[3][4]	-0.5	+5.5	V
		在 I2C 开漏引脚 PIO0_10、PIO0_11 上	[5]	-0.5	+5.5	V
		3 V 兼容 I/O 引脚 PIO0_6	[6]	-0.5	+3.6	V
V _{IA}	模拟输入电压		[7][8] [9]	-0.5	+4.6	V
V _{i(xtal)}	晶体输入电压		[2]	-0.5	+2.5	V
I _{DD}	电源电流	每个电源引脚		-	100	mA
I _{SS}	接地电流	每个接地引脚		-	100	mA
I _{latch}	I/O 闩锁电流	-(0.5V _{DD}) < V _I < (1.5V _{DD}) ; T _j < 125 °C		-	100	mA
T _{stg}	存储温度		[10]	-65	+150	°C
T _{j(max)}	最大结点温度			-	150	°C
P _{tot(pack)}	总功耗（每个封装）	基于封装的热传递，不是器件的功耗		-	1.5	W
V _{esd}	静电放电电压	人体模型；所有引脚	[11]	-	3500	V
		带电器件模型；HVQFN33 封装		-	1200	V

[1] 以下情况适用于极限值：

- a) 该产品包含专门设计用以保护其内部器件的电路，用来防止过量静电荷的破坏作用。但建议仍要采取一些常规预防措施避免超过最大额定值。
 - b) 参数在工作温度范围内有效，除非另有说明。所有电压都是相对于 V_{SS} 而言的，除非另有说明。
- [2] 最大工作电压以上（参见表 8）和地以下的电压最大值 / 最小值可在短时间内 (< 10 ms) 施加于器件上，而不会导致无法恢复的故障。故障包括器件损失可靠性和缩短使用寿命。
- [3] 适用于所有 5 V 兼容 I/O 引脚，但真开漏引脚 PIO0_10 和 PIO0_11、3 V 兼容引脚 PIO0_6 除外。
- [4] 包括 3 态模式下输出上的电压。
- [5] V_{DD} 存在或不存在。符合 I²C 总线标准。当 V_{DD} 掉电时，此引脚上可施加 5.5 V。
- [6] V_{DD} 存在或不存在。
- [7] 可短时间施加超过 3.6 V 的 ADC 输入电压，而不会导致瞬时不可恢复故障。器件寿命期内，持续暴露于 4.6 V 升压下的总时间必须少于 10⁶ s。长时间向 ADC 输入端施加升压会影响器件的可靠性，缩短其寿命。
- [8] 如果比较器配置为共模输入 V_{IC} = V_{DD}，则另一个比较器输入可以最多高于或低于 V_{DD} 0.2 V，而不会影响比较器功能的迟滞范围。
- [9] 建议在模拟输入引脚和电压电源引脚之间连接一个过压保护二极管。
- [10] 取决于封装类型。
- [11] 相当于通过 1.5 kW 的串行电阻对 100 pF 电容放电。

10. 热学特性

芯片结温的平均值 T_j (°C) 可以通过下式计算:

$$T_j = T_{amb} + (P_D \times R_{th(j-a)}) \quad (1)$$

- T_{amb} = 环境温度 (°C),
- $R_{th(j-a)}$ = 封装结至环境热阻 (°C/W)
- P_D = 内部和 I/O 功耗的总和

内部功耗等于 I_{DD} 和 V_{DD} 的乘积。I/O 引脚的 I/O 功耗往往较小, 很多时候都可以忽略不计。不过, 它在某些应用中可能比较重要。

表 6. 热阻

符号	参数	条件	最大值 / 最小值	单位
HVQFN33 封装				
$R_{th(j-a)}$	结至环境热阻	JEDEC (4.5 英寸 × 4 英寸); 静止空气	40 +/- 15 %	°C/W
		单层 (4.5 英寸 × 3 英寸); 静止空气	114 +/- 15 %	°C/W
$R_{th(j-c)}$	结至外壳热阻		18 +/- 15 %	°C/W

11. 静态特性

11.1 一般工作条件

表 7. 一般工作条件

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
f_{clk}	时钟频率	内部 CPU/ 系统时钟	-	-	30	MHz	
V_{DD}	电源电压 (内核和外部供电轨)		1.8	3.3	3.6	V	
V_{ref}	参考电压	在 VREFP 引脚上	2.4	-	V_{DD}	V	
振荡器引脚							
$V_{i(xtal)}$	晶体输入电压	在 XTALIN 引脚上	-0.5	1.8	1.95	V	
$V_{o(xtal)}$	晶体输出电压	在 XTALOUT 引脚上	-0.5	1.8	1.95	V	
引脚电容							
C_{io}	输入 / 输出电容	带模拟和数字功能的引脚	[2]	-	-	7.1	pF
		I ² C 总线引脚 (PIO0_10 和 PIO0_11)	[2]	-	-	2.5	pF
		仅带有数字功能的引脚	[2]	-	-	2.8	pF

[1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得。

[2] 包括管脚电容。基于仿真, 未经过生产测试。

11.2 电源引脚

表 8. 静态特性, 电源引脚

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
I _{DD}	电源电流	工作模式; 代码 while(1){}					
		从闪存执行;					
		系统时钟 = 12 MHz ; 默认模式; V _{DD} = 3.3 V	[2][3][4] [6][7]	-	1.85	-	mA
		系统时钟 = 12 MHz; 低电流模式; V _{DD} = 3.3 V	[2][3][4] [6][7]	-	1.04	-	mA
		系统时钟 = 30 MHz ; 默认模式; V _{DD} = 3.3 V	[2][3][6] [7][9]	-	3.95	-	mA
		系统时钟 = 30 MHz; 低电流模式; V _{DD} = 3.3 V	[2][3][6] [7][9]	-	3.2	-	mA
		睡眠模式					
		系统时钟 = 12 MHz ; 默认模式; V _{DD} = 3.3 V	[2][3][4] [6][7]	-	1.35	-	mA
		系统时钟 = 12 MHz; 低电流模式; V _{DD} = 3.3 V	[2][3][4] [6][7]	-	0.8	-	mA
		系统时钟 = 30 MHz ; 默认模式; V _{DD} = 3.3 V	[2][3][9] [6][7]	-	2.55	-	mA
系统时钟 = 30 MHz; 低电流模式; V _{DD} = 3.3 V	[2][3][9] [6][7]	-	2.1	-	mA		
I _{DD}	电源电流	深度睡眠模式; V _{DD} = 3.3 V ; T _{amb} = 25 °C	[2][3][10]	-	158	300	μA
		T _{amb} = 105 °C		-	-	400	μA
I _{DD}	电源电流	掉电模式; V _{DD} = 3.3 V T _{amb} = 25 °C	[2][3][10]	-	1.6	10	μA
		T _{amb} = 105 °C		-	-	50	μA
I _{DD}	电源电流	深度掉电模式; V _{DD} = 3.3 V ; 10 kHz 低功耗振荡器和自唤醒定时器 (WKT) 禁用	[2][11]	-	0.2	1	μA
		T _{amb} = 105 °C		-	-	4	μA
I _{DD}	电源电流	深度掉电模式; V _{DD} = 3.3 V ; 10 kHz 低功耗振荡器和自唤醒定时器 (WKT) 使能		-	1.1	-	μA
		深度掉电模式; V _{DD} = 3.3 V ; 10 kHz 时外部时钟输入 WKTCLKIN, 自唤醒 定时器使能		-	0.4	-	μA
		深度掉电模式; V _{DD} = 3.3 V ; 32 kHz 时外部时钟输入 WKTCLKIN, 自唤醒 定时器使能		-	0.7	-	μA

- [1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得。
- [2] $T_{amb} = 25\text{ °C}$ 。
- [3] 所有引脚配置为 GPIO 输出驱动低电平，且上拉电阻禁用时测量 I_{DD} 。
- [4] IRC 使能；系统振荡器禁用；系统 PLL 禁用。
- [5] 系统振荡器使能；IRC 禁用；系统 PLL 禁用。
- [6] BOD 禁用。
- [7] 在 SYSAHBCLKCTRL 寄存器中禁用所有外设。在系统配置模块中禁用 USART、CLKOUT 和 IOCON 的外设时钟。
- [8] IRC 使能；系统振荡器禁用；系统 PLL 使能。
- [9] IRC 禁用；系统振荡器使能；系统 PLL 使能。
- [10] 关闭全部振荡器和模拟模块。
- [11] 外部拉高 WAKEUP 引脚。

11.3 电气引脚特性

表 9. 静态特性、电气引脚特性

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
标准端口引脚配置为数字引脚 RESET						
I_{IL}	低电平输入电流	$V_I = 0\text{ V}$; 禁用片上上拉电阻	-	0.5	10 [2]	nA
I_{IH}	高电平输入电流	$V_I = V_{DD}$; 禁用片上下拉电阻	-	0.5	10 [2]	nA
I_{OZ}	断态输出电流	$V_O = 0\text{ V}$; $V_O = V_{DD}$; 禁用片上上拉 / 下拉电阻	-	0.5	10 [2]	nA
V_I	输入电压	$V_{DD} \geq 1.8\text{ V}$; 5 V 容差引脚 (PIO0_12 除外)	[4] [6] 0	-	5	V
		$V_{DD} = 0\text{ V}$	0	-	3.6	V
V_O	输出电压	激活输出	0	-	V_{DD}	V
V_{IH}	高电平输入电压		$0.7V_{DD}$	-	-	V
V_{IL}	低电平输入电压		-	-	$0.3V_{DD}$	V
V_{hys}	迟滞电压		-	0.4	-	V
V_{OH}	高电平输出电压	$I_{OH} = 4\text{ mA}$; $2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	$V_{DD} - 0.4$	-	-	V
		$I_{OH} = 3\text{ mA}$; $1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	$V_{DD} - 0.4$	-	-	V
V_{OL}	低电平输出电压	$I_{OL} = 4\text{ mA}$; $2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	-	0.4	V
		$I_{OL} = 3\text{ mA}$; $1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	-	-	0.4	V
I_{OH}	高电平输出电流	$V_{OH} = V_{DD} - 0.4\text{ V}$; $2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	4	-	-	mA
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	3	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$; $2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	4	-	-	mA
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	3	-	-	mA
I_{OHS}	高电平短路输出电流	$V_{OH} = 0\text{ V}$	[7] -	-	45	mA
I_{OLS}	低电平短路输出电流	$V_{OL} = V_{DD}$	[7] -	-	50	mA
I_{pd}	下拉电流	$V_I = 5\text{ V}$	10	50	150	μA
I_{pu}	上拉电流	$V_I = 0\text{ V}$; $2.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	15	50	85	μA
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$	10	50	85	
		$V_{DD} < V_I < 5\text{ V}$	0	0	0	μA
高驱动输出引脚配置为数字引脚 (PIO0_2、PIO0_3、PIO0_12、PIO0_13)						
I_{IL}	低电平输入电流	$V_I = 0\text{ V}$; 禁用片上上拉电阻	-	0.5	10 [2]	nA
I_{IH}	高电平输入电流	$V_I = V_{DD}$; 禁用片上下拉电阻	-	0.5	10 [2]	nA
I_{OZ}	断态输出电流	$V_O = 0\text{ V}$; $V_O = V_{DD}$; 禁用片上上拉 / 下拉电阻	-	0.5	10 [2]	nA
V_I	输入电压	$V_{DD} \geq 1.8\text{ V}$	[4] [6] 0	-	5.0	V
		$V_{DD} = 0\text{ V}$	0	-	3.6	V
V_O	输出电压	激活输出	0	-	V_{DD}	V
V_{IH}	高电平输入电压		$0.7V_{DD}$	-	-	V
V_{IL}	低电平输入电压		-	-	$0.3V_{DD}$	V

表 9. 静态特性、电气引脚特性 (续)

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
V_{hys}	迟滞电压		-	0.4	-	V	
V_{OH}	高电平输出电压	$I_{OH} = 20\text{ mA}$; $2.5\text{ V} \leq V_{DD} < 3.6\text{ V}$	$V_{DD} - 0.4$	-	-	V	
		$I_{OH} = 12\text{ mA}$; $1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	$V_{DD} - 0.4$	-	-	V	
V_{OL}	低电平输出电压	$I_{OL} = 4\text{ mA}$	-	-	0.4	V	
I_{OH}	高电平输出电流	$V_{OH} = V_{DD} - 0.4\text{ V}$; $2.5\text{ V} \leq V_{DD} < 3.6\text{ V}$	20	-	-	mA	
		$V_{OH} = V_{DD} - 0.4\text{ V}$; $1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	12	-	-	mA	
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$ $2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	4	-	-	mA	
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	3	-	-	mA	
I_{OLS}	低电平短路输出电流	$V_{OL} = V_{DD}$	[7]	-	50	mA	
I_{pd}	下拉电流	$V_I = 5\text{ V}$	[8]	10	150	μA	
I_{pu}	上拉电流	$V_I = 0\text{ V}$	[8]	-10	-50	-85	μA
		$V_{DD} < V_I < 5\text{ V}$		0	0	0	μA
I²C 总线引脚 (PIO0_10 和 PIO0_11)							
V_{IH}	高电平输入电压		$0.7V_{DD}$	-	-	V	
V_{IL}	低电平输入电压		-	-	$0.3V_{DD}$	V	
V_{hys}	迟滞电压		-	$0.05V_{DD}$	-	V	
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$; I ² C 总线引脚配置为 标准模式引脚 $2.5\text{ V} \leq V_{DD} < 3.6\text{ V}$	3.5	-	-	mA	
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	3	-	-	mA	
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$; I ² C 总线引脚配置为 超快速模式引脚; $2.5\text{ V} \leq V_{DD} < 3.6\text{ V}$	20	-	-	mA	
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	16	-	-	mA	
I_{LI}	输入泄漏电流	$V_I = V_{DD}$	[9]	-	2	4	μA
		$V_I = 5\text{ V}$		-	10	22	μA

- [1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得。
- [2] 基于特性。未经过生产测试。
- [3] 运行功耗配置中的 `set_power` 例程时选择低电流模式 `PWR_LOW_CURRENT`。
- [4] 包括 3 态模式下输出上的电压。
- [5] V_{DD} 电源电压必须存在。
- [6] 在深度掉电模式下, 3 态输出进入 3 态模式。
- [7] 只要电流限制不超过器件允许的最大电流即可。
- [8] 在弱内部上拉 / 下拉电阻两端测量上拉和下拉电流。请参见图 12。
- [9] 到 V_{SS} 。

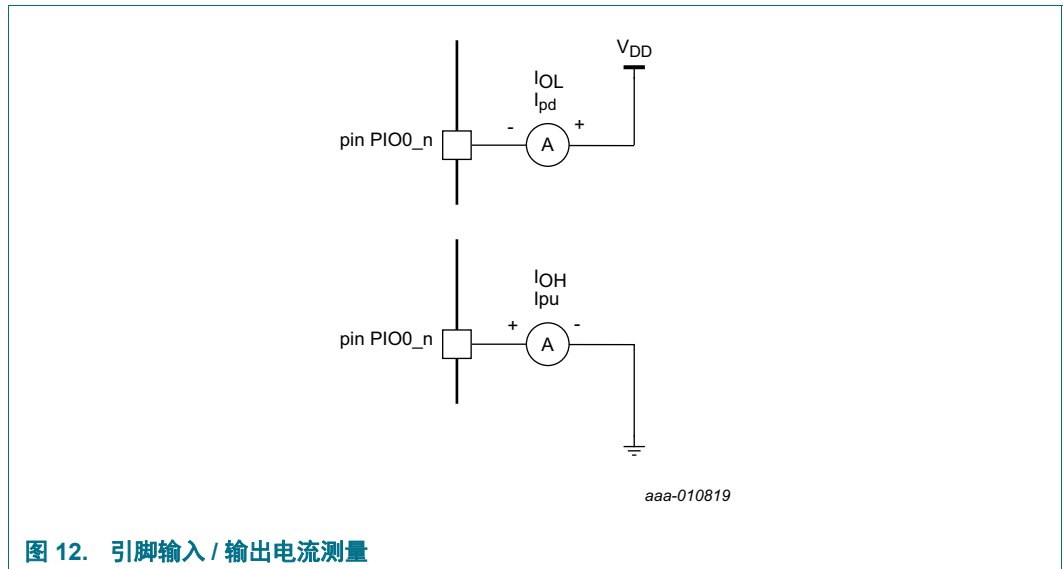
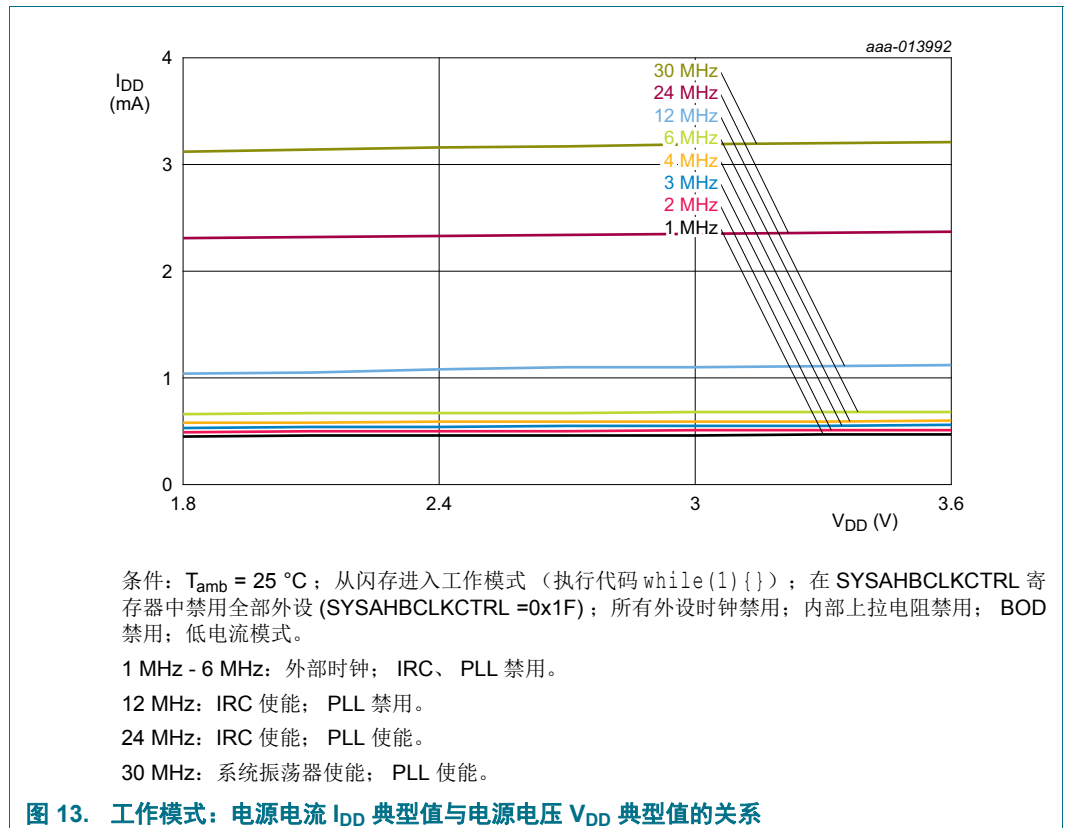


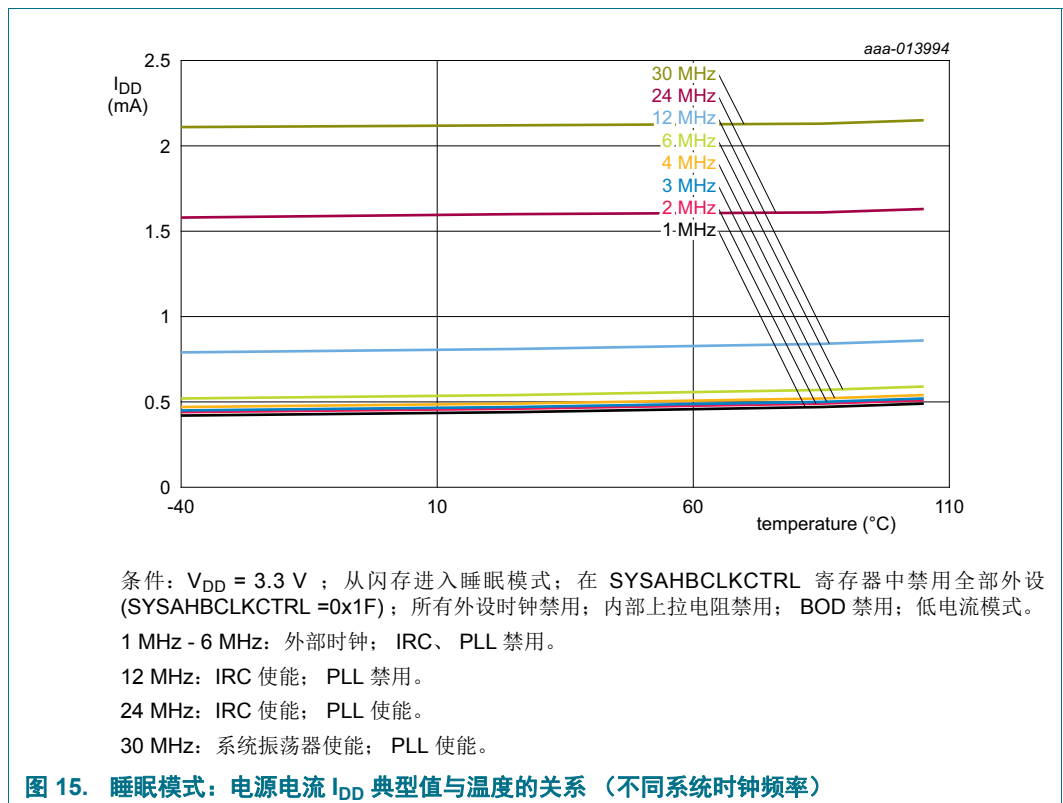
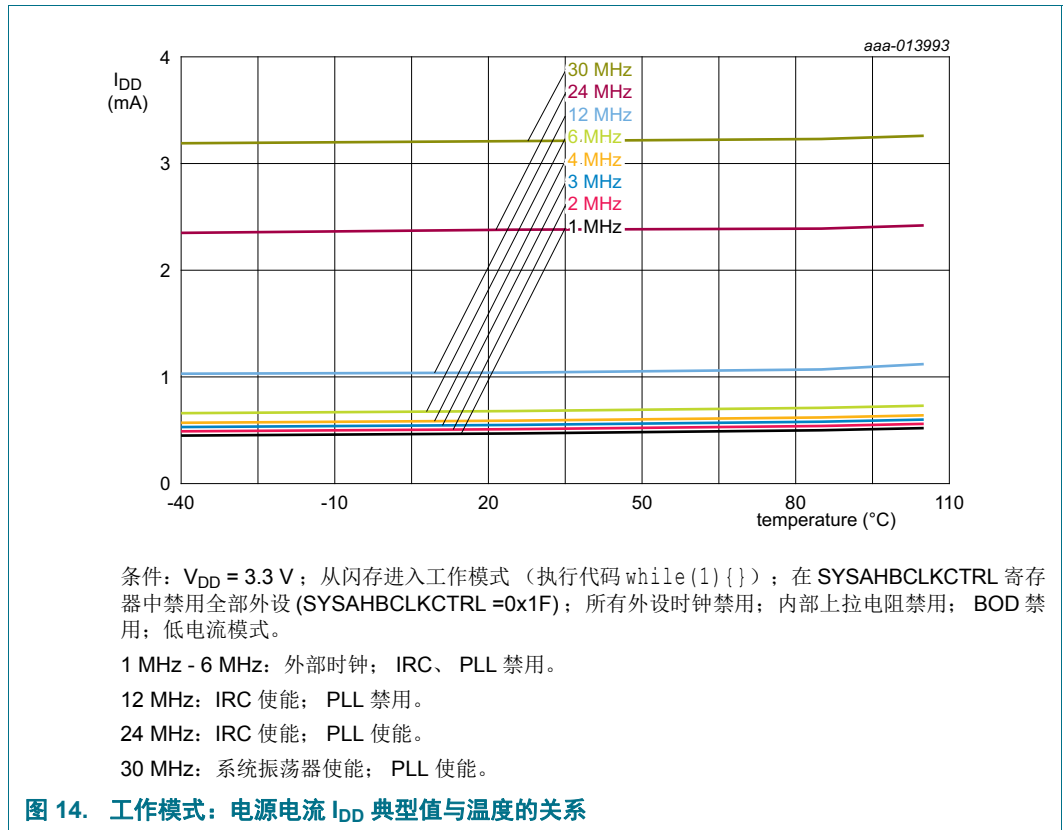
图 12. 引脚输入 / 输出电流测量

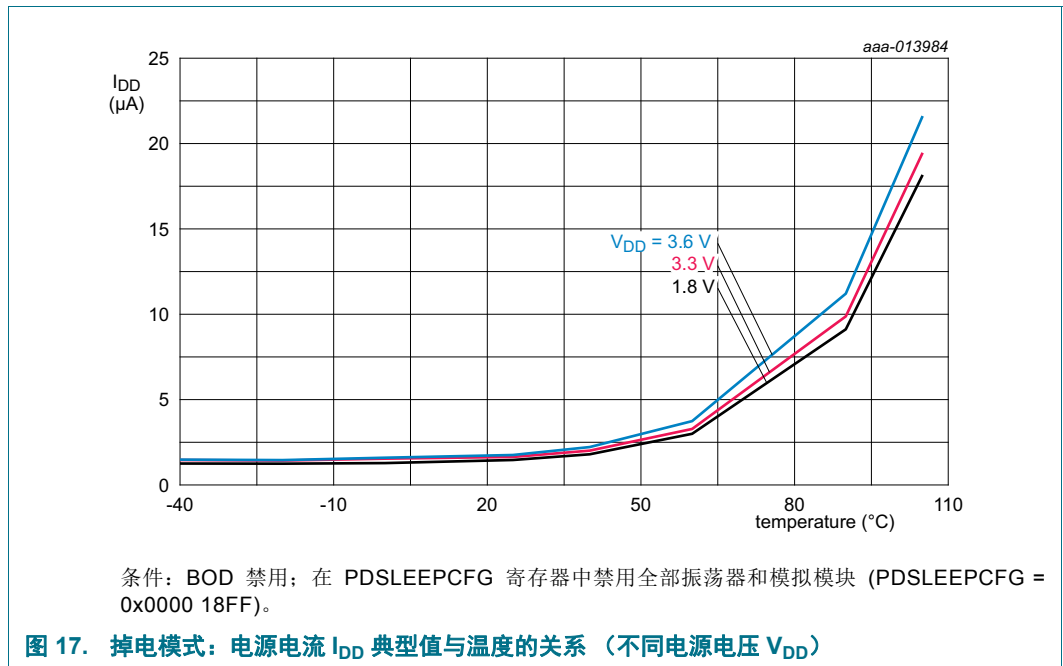
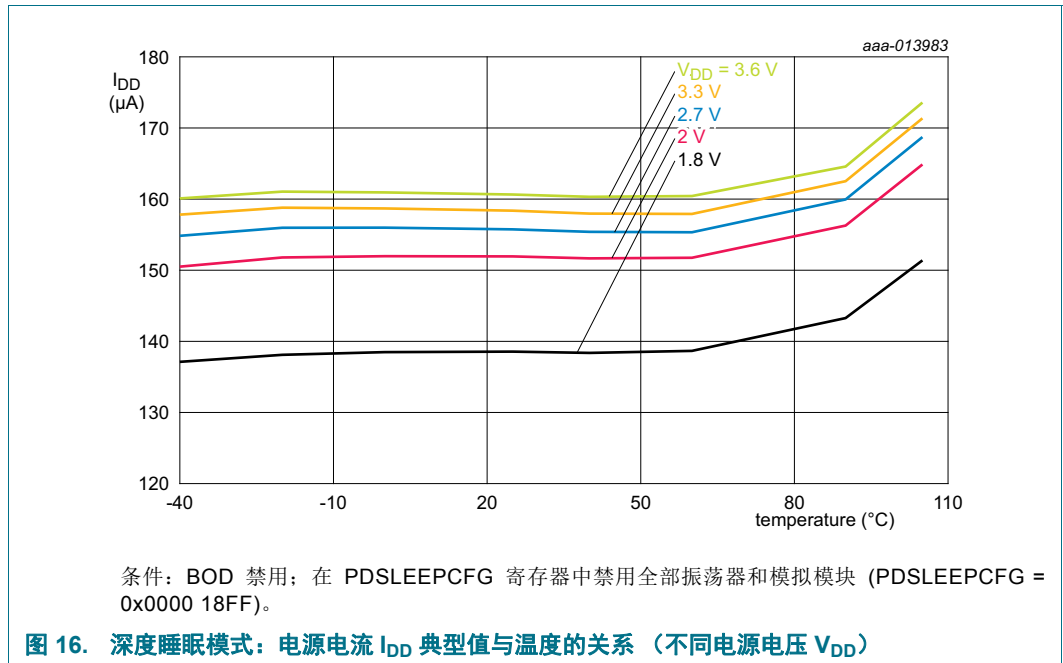
11.4 功耗

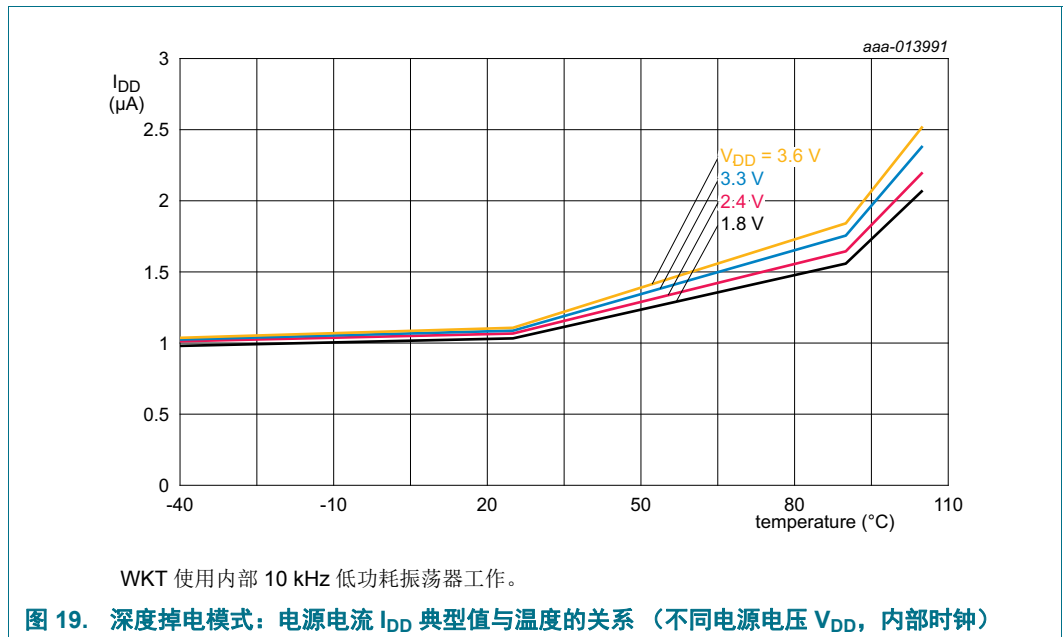
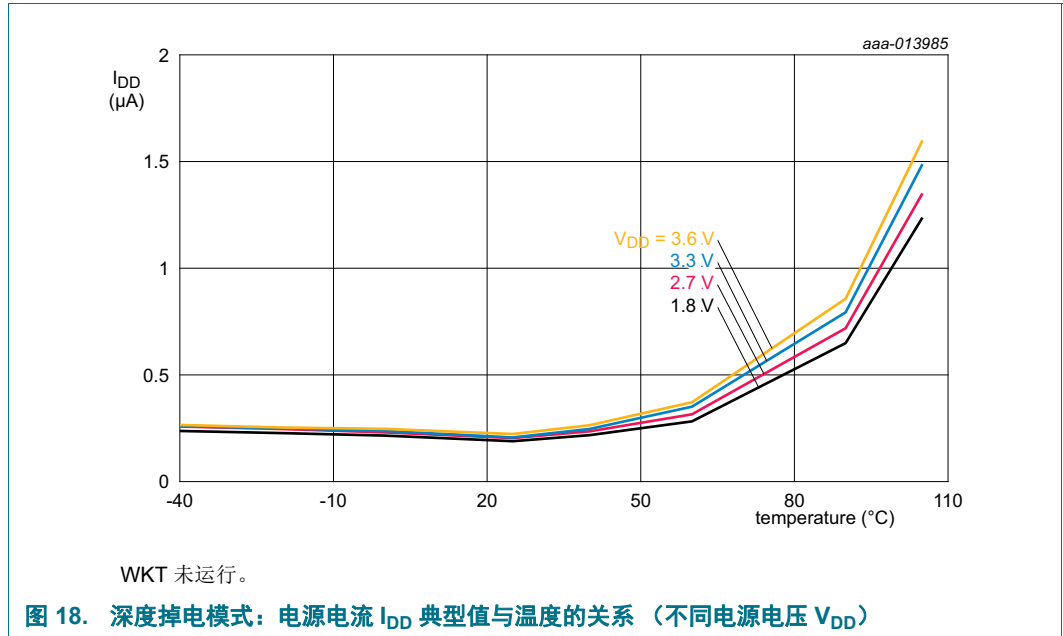
在下列条件下测量工作、睡眠、深度睡眠和掉电模式的功耗：

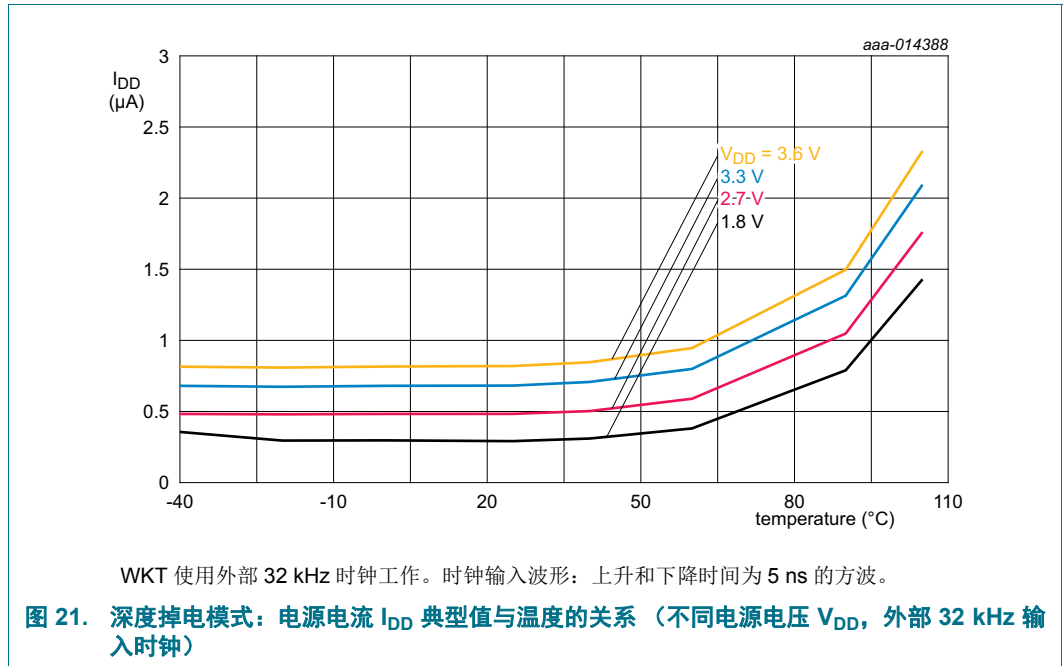
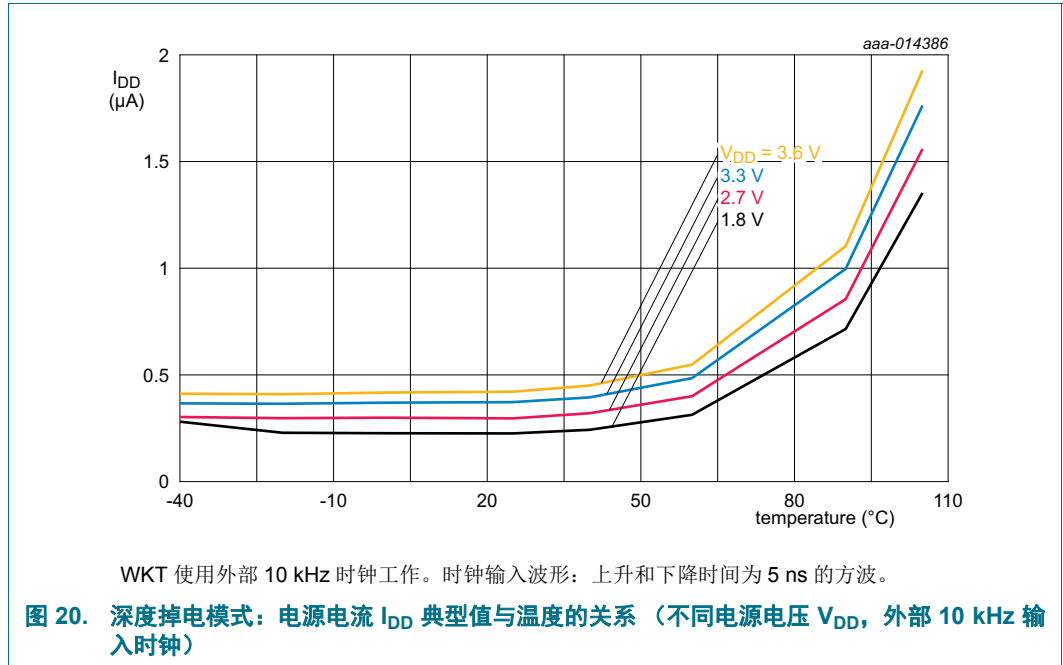
- 在 IOCON 模块中禁用上拉电阻，将所有引脚配置为 GPIO。
- 使用 GPIO DIR 寄存器将 GPIO 引脚配置为输出。
- 向 GPIO CLR 寄存器写入 1，驱动输出至低电平。

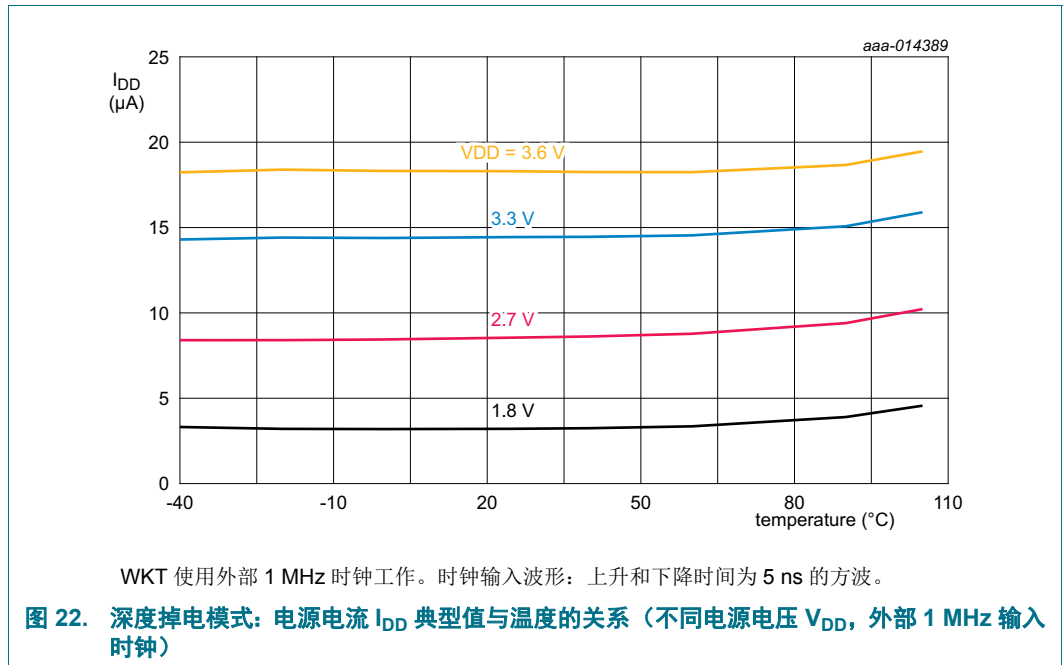




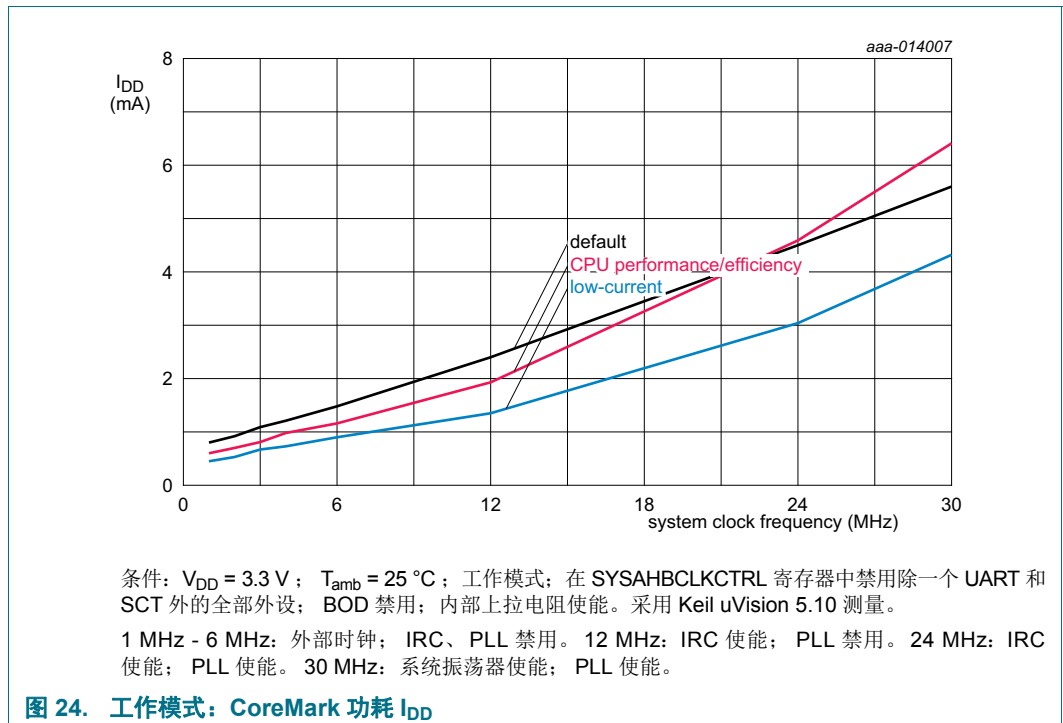
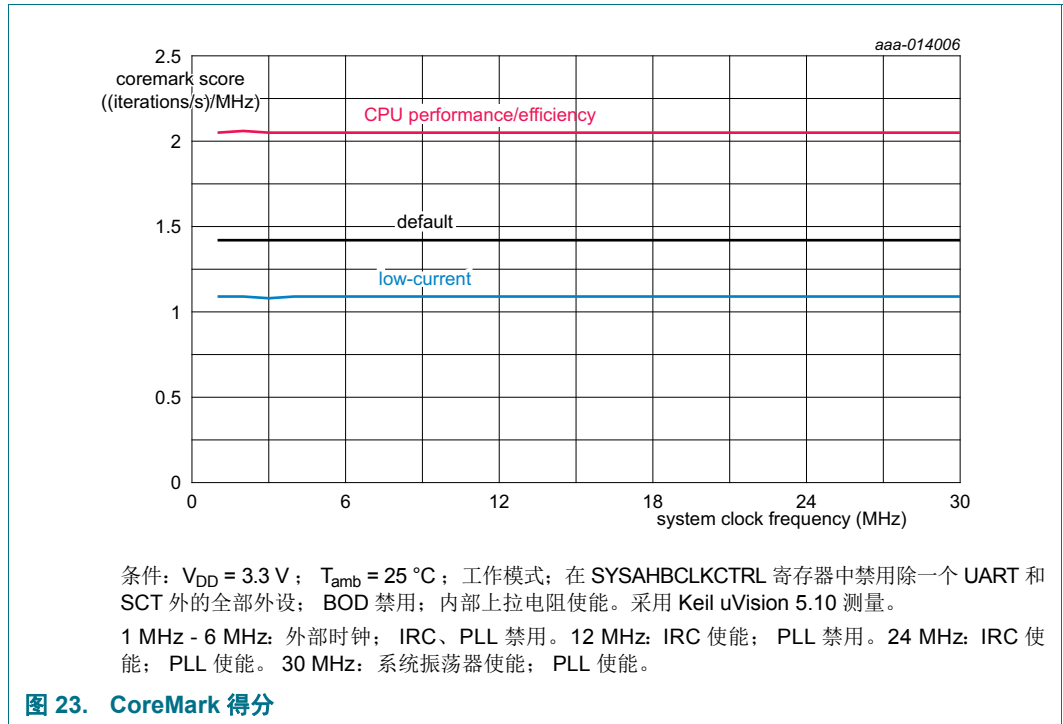








11.5 CoreMark 数据



11.6 外设功耗

根据外设模块在 SYSAHBCLKCFG 和 PDRUNCFG（模拟模块）寄存器中使能以及禁用时电源电流之差，测量每个外设的电源电流。所有其他模块在两个寄存器中均为禁用，且未执行任何访问外设的代码。在 $T_{amb} = 25\text{ }^{\circ}\text{C}$ 时测量典型样本。除非另有说明，系统振荡器和 PLL 在两次测量中均为工作状态。

显示 12 MHz 至 30 MHz 系统时钟频率范围内的电源电流。

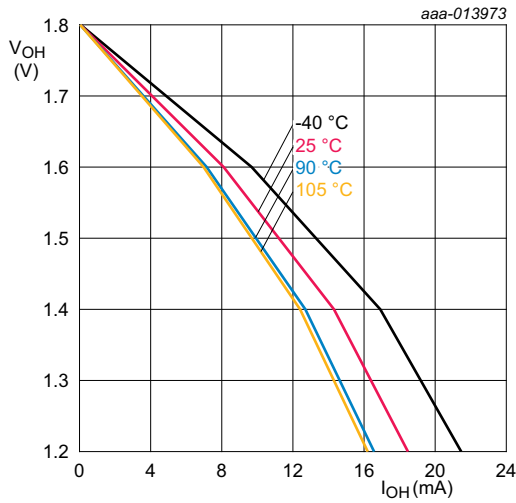
表 10. 单个模拟和数字模块的功耗

外设	电源电流典型值（单位： μA ）			备注
	主时钟频率 =			
	不适用	12 MHz	30 MHz	
IRC	261	-	-	系统振荡器运行；PLL关断；主时钟频率独立；IRC 输出禁用。
系统振荡器频率为 12 MHz	274	-	-	IRC 运行；PLL 关断；主时钟频率独立。
看门狗振荡器	2	-	-	系统振荡器运行；PLL关断；主时钟频率独立。
BOD	39	-	-	主时钟频率独立。
主 PLL	-	301	-	-
CLKOUT	-	67	150	在 CLKOUTDIV 寄存器中将主时钟 4 分频。
ROM	-	27	68	-
GPIO + 引脚中断 / 模式匹配	-	95	233	GPIO 引脚配置为输出并设为低电平。如果在 SYSAHBCLKCFG 寄存器中禁用 GPIO，则保持方向和引脚状态。
SWM	-	59	145	-
IOCON	-	45	110	-
SCTimer/PWM	-	168	411	-
MRT	-	89	220	-
WWDT	-	29	71	-
I2C0	-	54	132	-
I2C1	-	49	122	-
I2C2	-	52	127	-
I2C3	-	57	142	-
SPI0	-	55	136	-
SPI1	-	55	136	-
USART0	-	50	124	-
USART1	-	54	134	-
USART2	-	56	138	-
比较器 ACMP	-	34	82	-

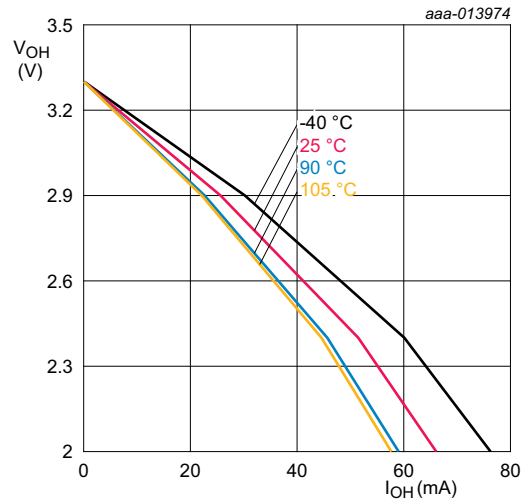
表 10. 单个模拟和数字模块的功耗 (续)

外设	电源电流典型值 (单位: μA)			备注
	主时钟频率 =			
	不适用	12 MHz	30 MHz	
ADC	-	57	141	仅数字控制器。在 PDRUNCFG 寄存器中禁用 ADC 的模拟部分。
	-	57	141	模拟和数字逻辑组合。在 PDRUNCFG 寄存器中使能 ADC, 并在 ADC CTRL 寄存器中将 LPWRMODE 位置 1 (ADC 低功耗模式)。
	-	1990	2070	模拟和数字逻辑组合。在 PDRUNCFG 寄存器中使能 ADC, 并在 ADC CTRL 寄存器中将 LPWRMODE 位置 0 (ADC 上电)。
DMA	-	324	793	
CRC	-	34	85	-

11.7 电气引脚特性

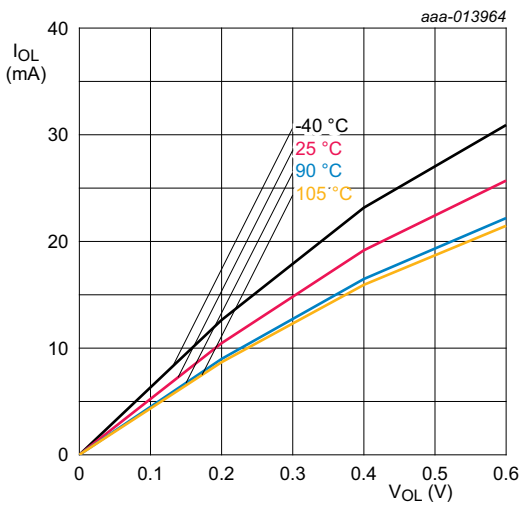


条件: $V_{DD} = 1.8\text{ V}$; 在引脚 PIO0_12 上。

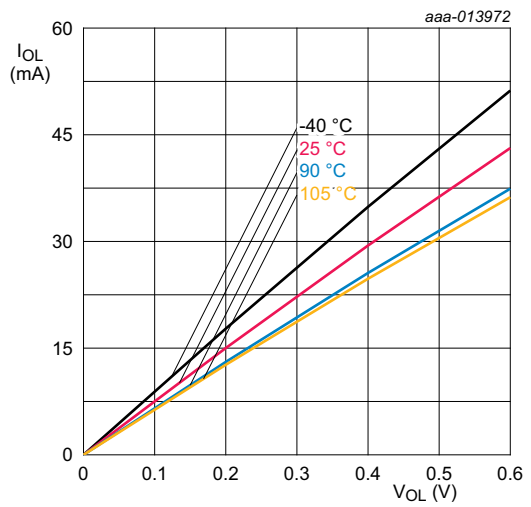


条件: $V_{DD} = 3.3\text{ V}$; 在引脚 PIO0_12 上。

图 25. 高驱动输出: 典型高电平输出电压 V_{OH} 与高电平输出电流 I_{OH} 的关系

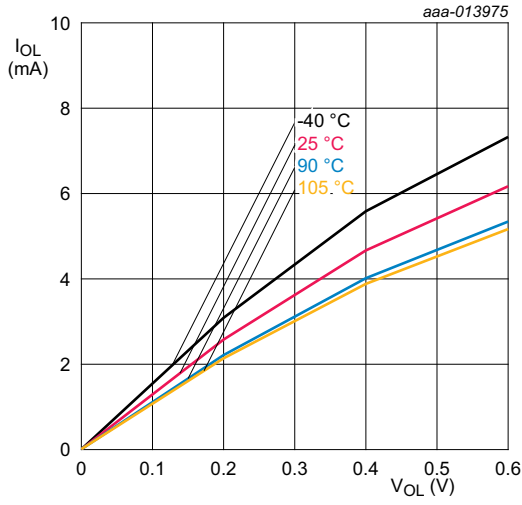


条件: $V_{DD} = 1.8\text{ V}$; 在 PIO0_10 和 PIO0_11 引脚上。

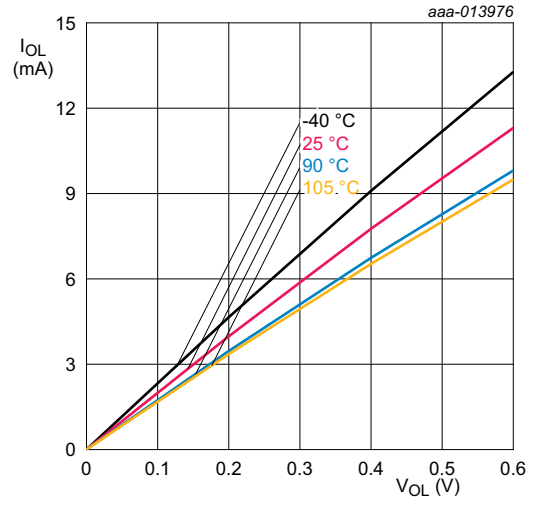


条件: $V_{DD} = 3.3\text{ V}$; 在 PIO0_10 和 PIO0_11 引脚上。

图 26. I²C 总线引脚 (高电流灌入): 典型低电平输出电流 I_{OL} 与低电平输出电压 V_{OL} 的关系

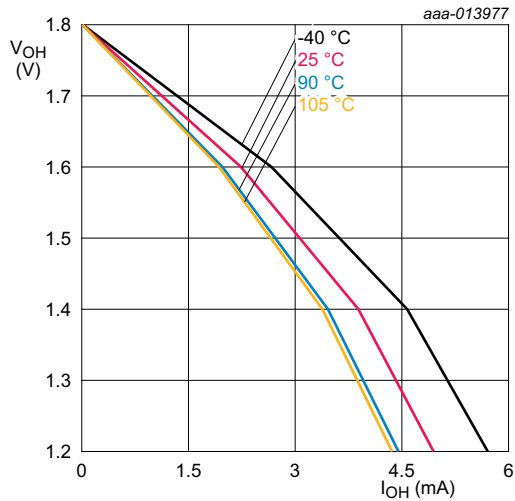


条件: $V_{DD} = 1.8\text{ V}$; 标准端口引脚和高电平驱动引脚 PIO0_12。

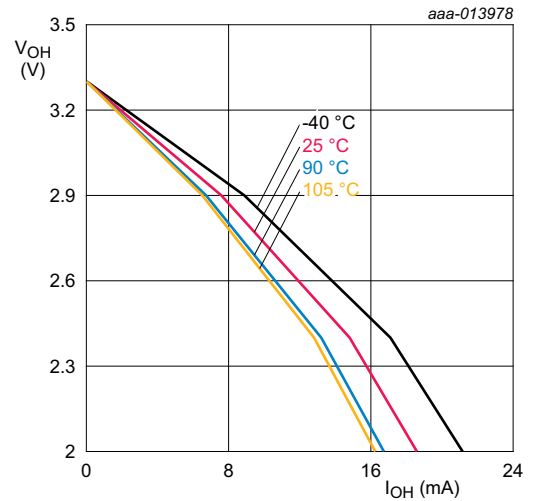


条件: $V_{DD} = 3.3\text{ V}$; 标准端口引脚和高电平驱动引脚 PIO0_12。

图 27. 典型低电平输出电流 I_{OL} 与低电平输出电压 V_{OL} 的关系

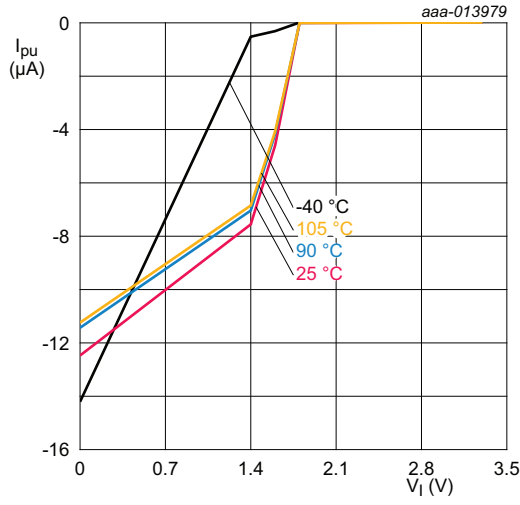


条件: $V_{DD} = 1.8\text{ V}$; 标准端口引脚。

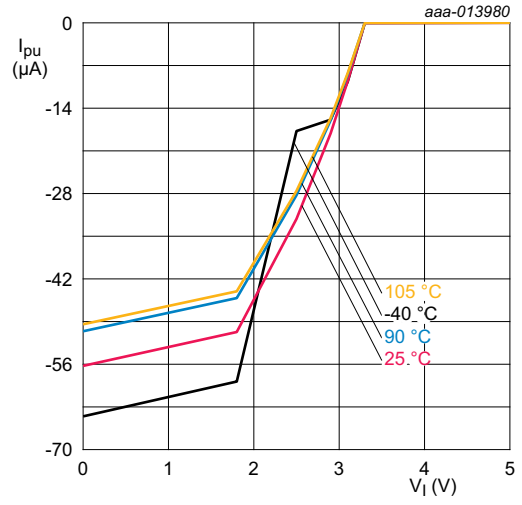


条件: $V_{DD} = 3.3\text{ V}$; 标准端口引脚。

图 28. 典型高电平输出电压 V_{OH} 与高电平输出源电流 I_{OH} 的关系

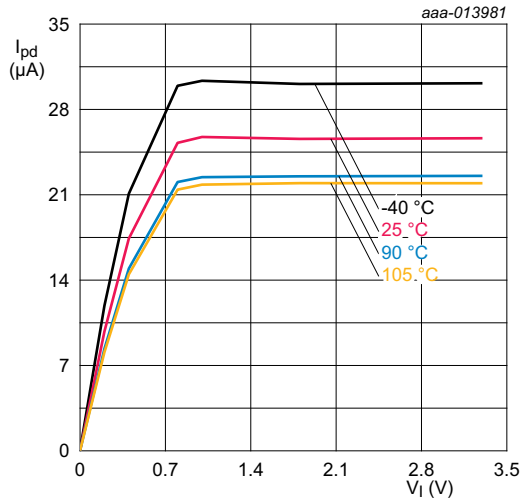


条件: $V_{DD} = 1.8\text{ V}$; 标准端口引脚。

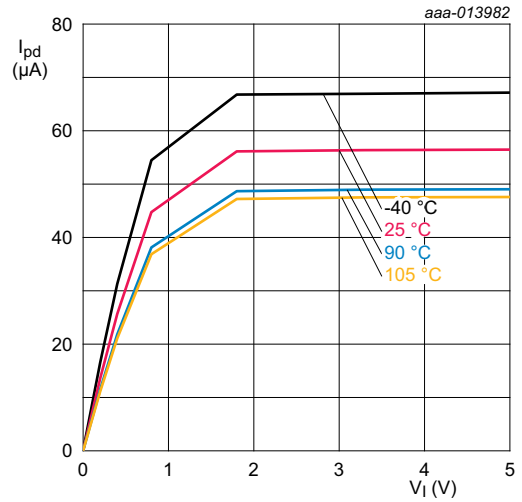


条件: $V_{DD} = 3.3\text{ V}$; 标准端口引脚。

图 29. 典型上拉电流 I_{PU} 与输入电压 V_I 的关系



条件: $V_{DD} = 1.8\text{ V}$; 标准端口引脚。



条件: $V_{DD} = 3.3\text{ V}$; 标准端口引脚。

图 30. 下拉电流 I_{PD} 典型值与输入电压 V_I 的关系

12. 动态特性

12.1 闪存 /EEPROM 存储器

表 11. 闪存特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。基于 JEDEC NVM 认证。如下所示，器件故障率 $< 10\text{ ppm}$ 。

符号	参数	条件		最小值	典型值	最大值	单位
N_{endu}	耐久性		[1]	10000	100000	-	周期
t_{ret}	保持时间	通电		10	20	-	年
		未上电		20	40	-	年
t_{er}	擦除时间	页或连续多页，扇区或连续多扇区		95	100	105	ms
t_{prog}	编程时间		[2]	0.95	1	1.05	ms

[1] 程序数量 / 擦除周期。

[2] 给出将 64 个字节写入闪存的编程时间。 $T_{amb} \leq +85\text{ }^{\circ}\text{C}$ 。闪存通过 IAP 调用进行编程（参见 LPC82x 用户手册）。

12.2 从机模式下的振荡器外部时钟

注：XTALIN 和 XTALOUT 引脚上的输入电压必须等于 $\leq 1.95\text{ V}$ （参见表 8）。如需将振荡器与 XTAL 引脚相连，则另请参见 12.2 章。

表 12. 动态特性：外部时钟（XTALIN 输入）

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ ； V_{DD} 在额定值范围内。 [1]

符号	参数	最小值	典型值 [2]	最大值	单位
f_{osc}	振荡器频率	1	-	25	MHz
$T_{cy}(clk)$	时钟周期时间	40	-	1000	ns
t_{CHCX}	时钟高电平时间	$T_{cy}(clk) \times 0.4$	-	-	ns
t_{CLCX}	时钟低电平时间	$T_{cy}(clk) \times 0.4$	-	-	ns
t_{CLCH}	时钟上升时间	-	-	5	ns
t_{CHCL}	时钟下降时间	-	-	5	ns

[1] 参数在工作温度范围内有效，除非另有说明。

[2] 无法保证得到典型额定值。列出的值是在室温 ($25\text{ }^{\circ}\text{C}$)、标称电源电压下测得。

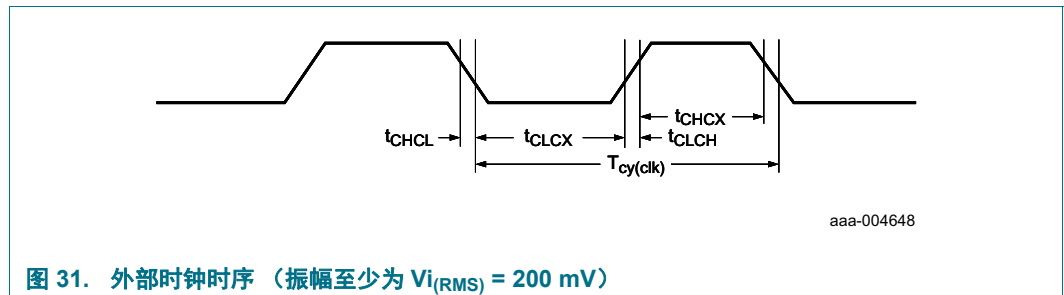


图 31. 外部时钟时序（振幅至少为 $V_{i(RMS)} = 200\text{ mV}$ ）

12.3 内部振荡器

表 13. 动态特性：IRC

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ [1]。

符号	参数	条件	最小值	典型值 [2]	最大值	单位
$f_{osc(RC)}$	内部 RC 振荡器频率	-	11.82	12	12.18	MHz

[1] 参数在工作温度范围内有效，除非另有说明。

[2] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得。

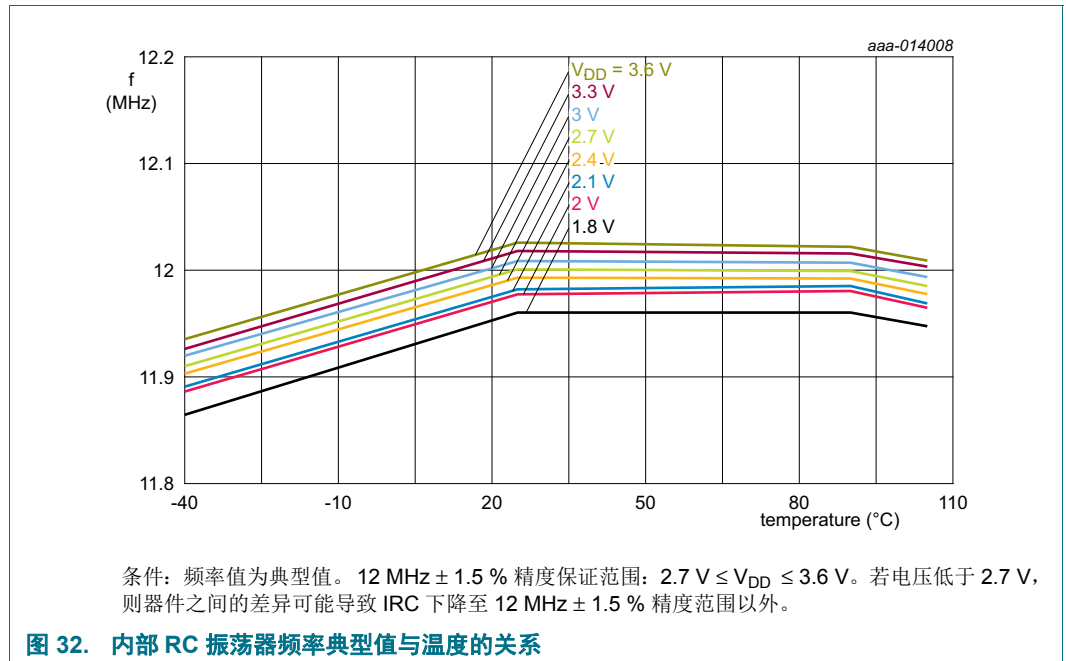


表 14. 动态特性：看门狗振荡器

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
$f_{osc(int)}$	内部振荡器频率	DIVSEL = 0x1F, FREQSEL = 0x1 (WDTOSCCTRL 寄存器内) ;	[2][3]	-	9.4	-	kHz
		DIVSEL = 0x00, FREQSEL = 0xF (WDTOSCCTRL 寄存器内)	[2][3]	-	2300	-	kHz

[1] 无法保证得到典型额定值。列出的数值在标称电源电压下测得。

[2] 随工艺和温度 ($T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$) 而变化的典型频率变化为 ±40 %。

[3] 参见 LPC82x 用户手册。

12.3.1 I/O 引脚

表 15. 动态特性: I/O 引脚 [1]

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; $3.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$.

符号	参数	条件	最小值	典型值	最大值	单位
t_r	上升时间	引脚配置为输出	3.0	-	5.0	ns
t_f	下降时间	引脚配置为输出	2.5	-	5.0	ns

[1] 适用于标准端口引脚和 RESET 引脚。

12.3.2 WKTCLKIN 引脚 (唤醒时钟输入)

表 16. 动态特性: WKTCLKIN 引脚

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$.

符号	参数	条件	最小值	最大值	单位
f_{clk}	时钟频率	深度掉电模式和掉电模式	[1]	1	MHz
		深度睡眠、睡眠和工作模式	[1]	10	MHz
t_{CHCX}	时钟高电平时间	-	50	-	ns
t_{CLCX}	时钟低电平时间	-	50	-	ns

[1] 假设为方波输入时钟。

12.3.3 SCTimer/PWM 输出时序

表 17. SCTimer/PWM 输出动态特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $105\text{ }^{\circ}\text{C}$; $2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$; $C_L = 10\text{ pF}$ 。任意两个 SCT 输出信号 (流程、电压和温度范围内) 的仿真压摆路由至标准 I/O 引脚; 在下降沿或上升沿的 50% 电平处进行采样; 由设计保证的值。

符号	参数	条件	最小值	典型值	最大值	单位
$t_{sk(o)}$	输出压摆时间	-	-	-	4	ns

12.3.4 I²C 总线

表 18. 动态特性: I²C 总线引脚 [1]

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; 由设计保证的值。 [2]

符号	参数	条件	最小值	最大值	单位
f_{SCL}	SCL 时钟频率	标准模式	0	100	kHz
		快速模式	0	400	kHz
		超快速模式; 在 PIO0_10 和 PIO0_11 引脚上	0	1	MHz
t_f	下降时间	[4][5][6][7] SDA 和 SCL 信号的标准模式	-	300	ns
		快速模式	$20 + 0.1 \times C_b$	300	ns
		超快速模式; 在 PIO0_10 和 PIO0_11 引脚上	-	120	ns

表 18. 动态特性：I²C 总线引脚 [1] (续) $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ ；由设计保证的值。 [2]

符号	参数		条件	最小值	最大值	单位
t _{LOW}	SCL 时钟的低电平周期		标准模式	4.7	-	μs
			快速模式	1.3	-	μs
			超快速模式； 在 PIO0_10 和 PIO0_11 引脚上	0.5	-	μs
t _{HIGH}	SCL 时钟的高电平周期		标准模式	4.0	-	μs
			快速模式	0.6	-	μs
			超快速模式； 在 PIO0_10 和 PIO0_11 引脚上	0.26	-	μs
t _{HD;DAT}	数据保持时间	[3][4][8]	标准模式	0	-	μs
			快速模式	0	-	μs
			超快速模式； 在 PIO0_10 和 PIO0_11 引脚上	0	-	μs
t _{SU;DAT}	数据建立时间	[9][10]	标准模式	250	-	ns
			快速模式	100	-	ns
			超快速模式； 在 PIO0_10 和 PIO0_11 引脚上	50	-	ns

[1] 详情参见 I²C 总线规范 UM10204。

[2] 参数在工作温度范围内有效，除非另有说明。

[3] t_{HD;DAT} 是根据 SCL 的下降沿测量得出的数据保持时间；适用于数据传输和确认。

[4] 对于 SDA 信号，器件的内部必须能够提供至少 300 ns 的保持时间（关于 SCL 信号的 V_{IH}（最小值）），以便桥接 SCL 下降沿的未定义区域。

[5] C_b = 一条总线的总电容（以 pF 为单位）。

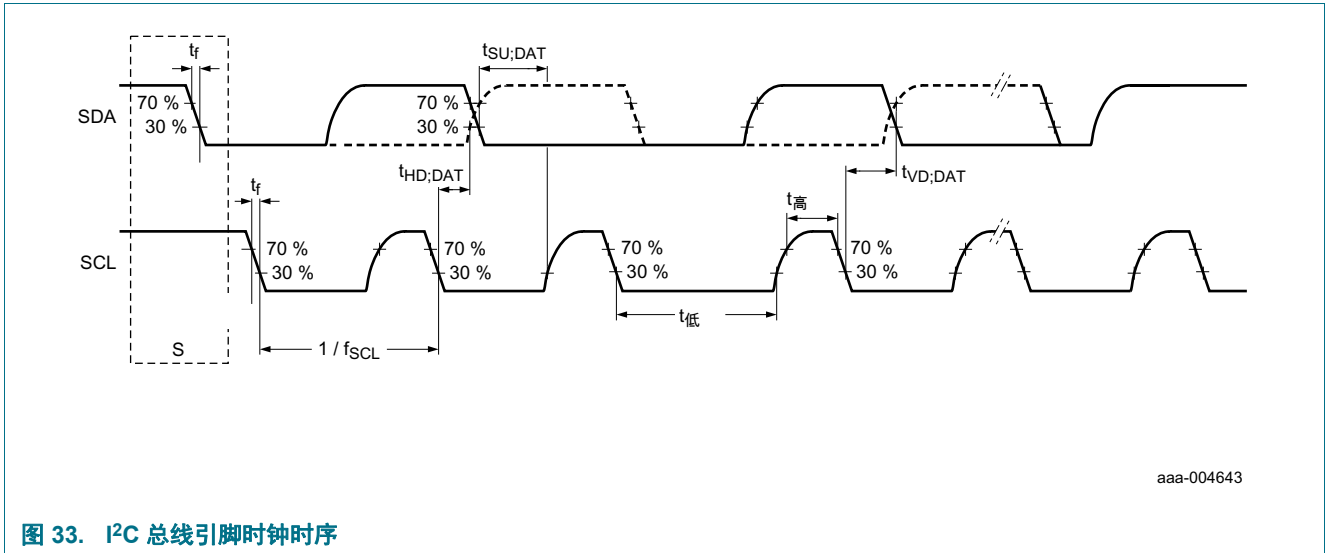
[6] SDA 和 SCL 总线的最大 t_r 被指定为 300 ns。SDA 输出阶段的最大下降时间 t_r 额定值为 250 ns。这将使得串联保护电阻能够在 SDA 和 SCL 引脚与 SDA/SCL 总线之间进行连接，而不会超出 t_r 额定最大之。

[7] 在超快速模式中，为输出阶段和总线时序指定的下降时间相同。如果使用串联电阻，设计者在考虑总线时序时应允许这种情况。

[8] 标准模式和快速模式的最大 t_{HD;DAT} 可以分别为 3.45 μs 和 0.9 μs，但必须小于按跃迁时间计算的 t_{VD;DAT} 或 t_{VD;ACK} 最大值（参见 UM10204）。只有在器件没有延长 SCL 信号的低电平周期 (t_{LOW}) 时，才必须满足此最大值。如果时钟延长了 SCL，则在建立时间之前，数据必须一直有效，然后才能释放时钟。

[9] t_{SU;DAT} 是根据 SCL 的上升沿测量得出的数据建立时间；适用于数据传输和确认。

[10] 快速模式 I²C 总线器件可在标准模式 I²C 总线系统中使用，但必须满足 t_{SU;DAT} = 250 ns 这一要求。如果器件没有延长 SCL 信号的低电平周期，则会自动默认为这种情况。如果此类器件没有延长 SCL 信号的低电平周期，则它必须将下一个数据位输出到 SDA 线 t_{r(max)} + t_{SU;DAT} = 1000 + 250 = 1250 ns（根据标准模式 I²C 总线规格），然后才能释放 SCL 线。此外，应答时序也必须满足此建立时间。



12.3.5 SPI 接口

在主机模式下，支持的最大位速率受限于最大系统时钟，为 30 Mbit/s。在从机模式下，假设外部器件的建立时间为 3 ns，并且忽略一切 PCB 走线延迟，则支持的最大位速率为 $1/(2 \times (26 \text{ ns} + 3 \text{ ns})) = 17 \text{ Mbit/s}$ (3.0 V \leq VDD \leq 3.6 V 时)，以及 13 Mbit/s (1.8 V \leq VDD < 3.0 V 时)。实际位速率取决于外部走线和外部器件引起的延迟。

注：SPI 功能可以分配至所有数字引脚。特性对所有数字引脚成立，但开漏引脚 PIO0_10 和 PIO0_11 除外。

表 19. SPI 动态特性

$T_{amb} = -40 \text{ }^{\circ}\text{C}$ 至 $105 \text{ }^{\circ}\text{C}$ ； $C_L = 20 \text{ pF}$ ；输入压摆 = 1 ns。仿真参数在上升沿或下降沿的 30% 和 70% 电平处采样；由设计保证的值。未考虑外部走线或外部器件引起的延迟。

符号	参数	条件	最小值	最大值	单位
SPI 主机					
t_{DS}	数据建立时间	1.8 V \leq VDD \leq 3.6 V	2	-	ns
t_{DH}	数据保持时间	1.8 V \leq VDD \leq 3.6 V	6	-	ns
$t_{V(Q)}$	数据输出有效时间	1.8 V \leq VDD \leq 3.6 V	-3	4	ns
SPI 从机					
t_{DS}	数据建立时间	1.8 V \leq VDD \leq 3.6 V	2	-	ns
t_{DH}	数据保持时间	1.8 V \leq VDD \leq 3.6 V	4	-	ns
$t_{V(Q)}$	数据输出有效时间	3.0 V \leq VDD \leq 3.6 V	0	26	ns
		1.8 V \leq VDD < 3.0 V	0	35	ns

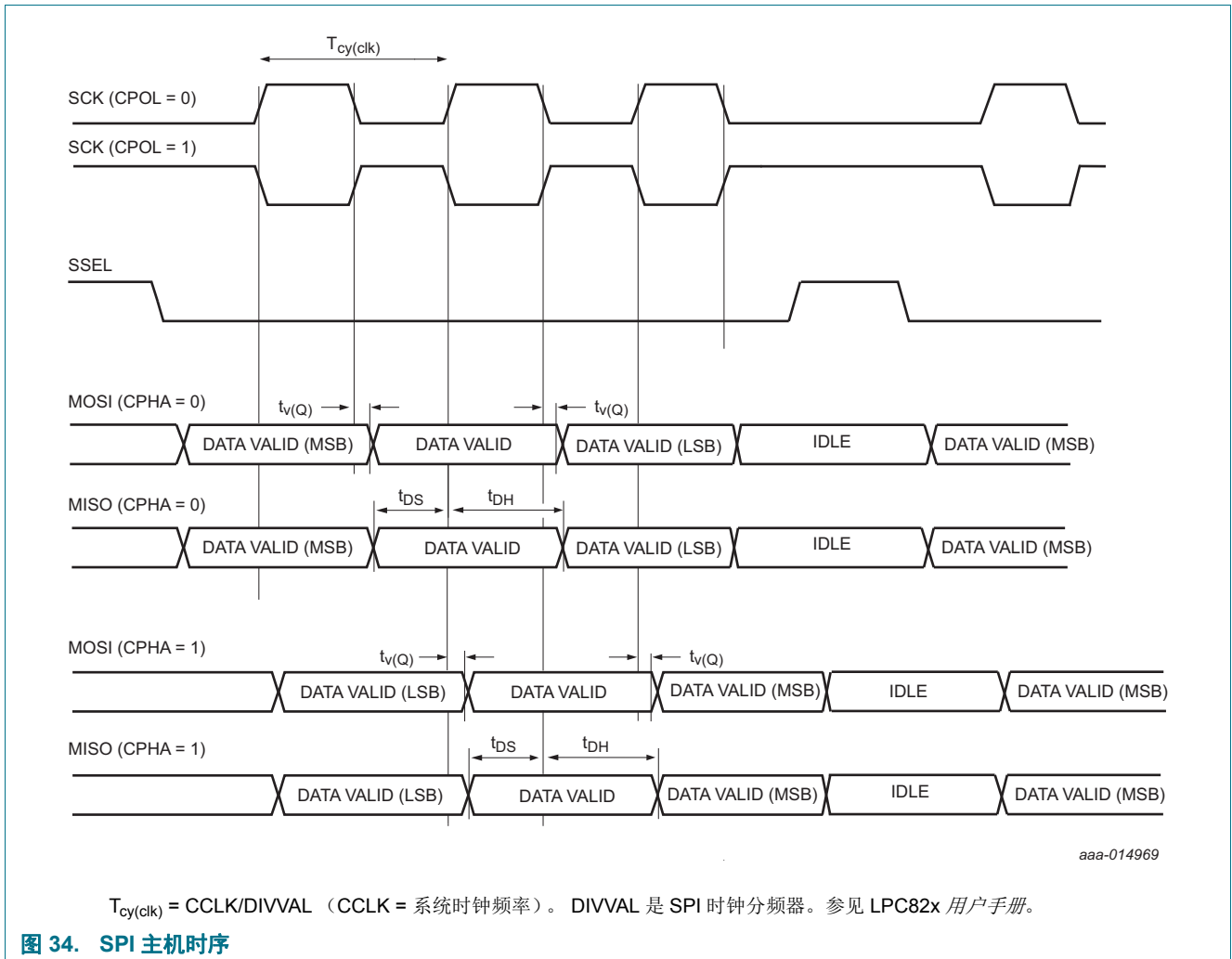


图 34. SPI 主机时序

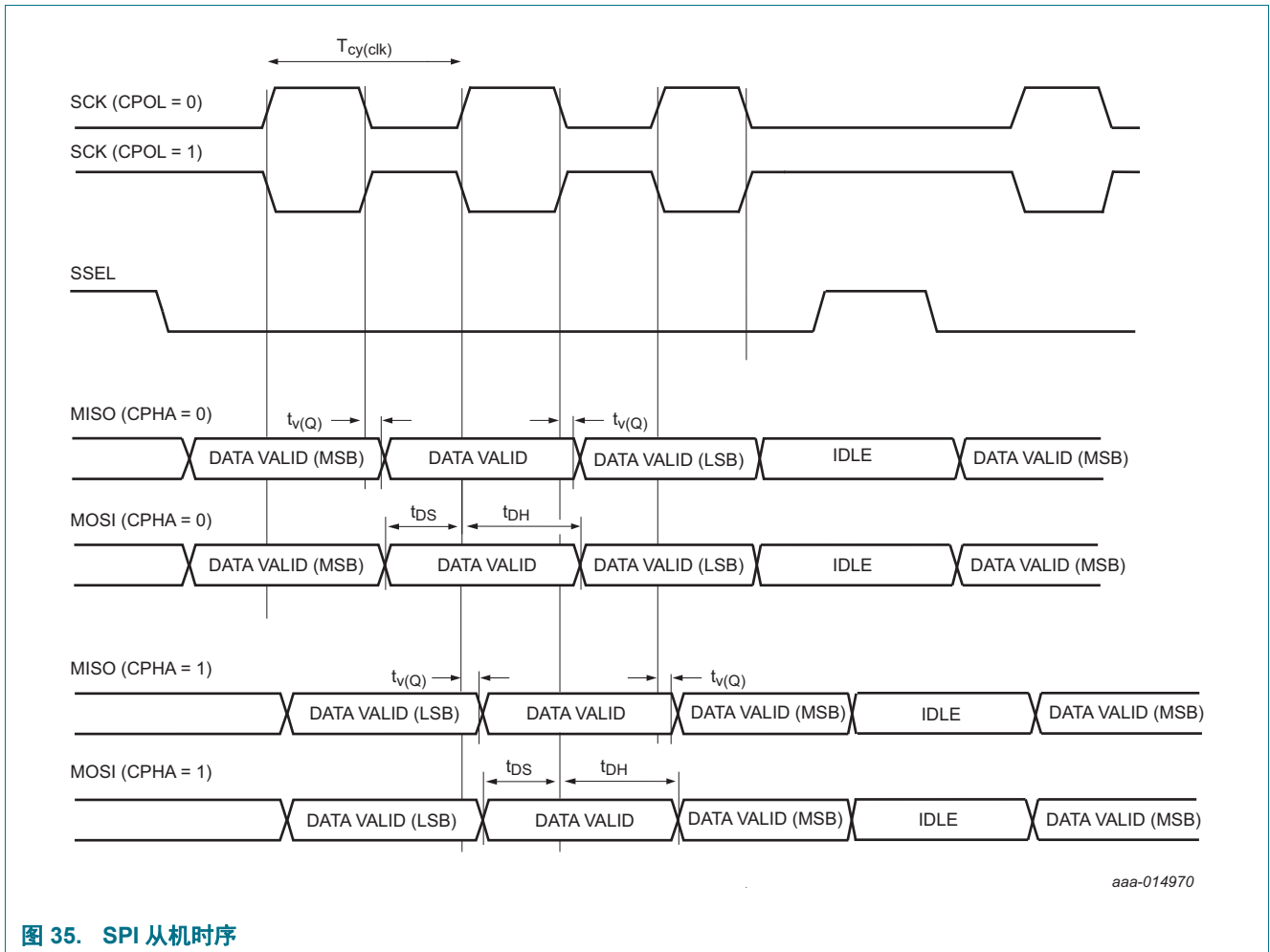


图 35. SPI 从机时序

12.3.6 USART 接口

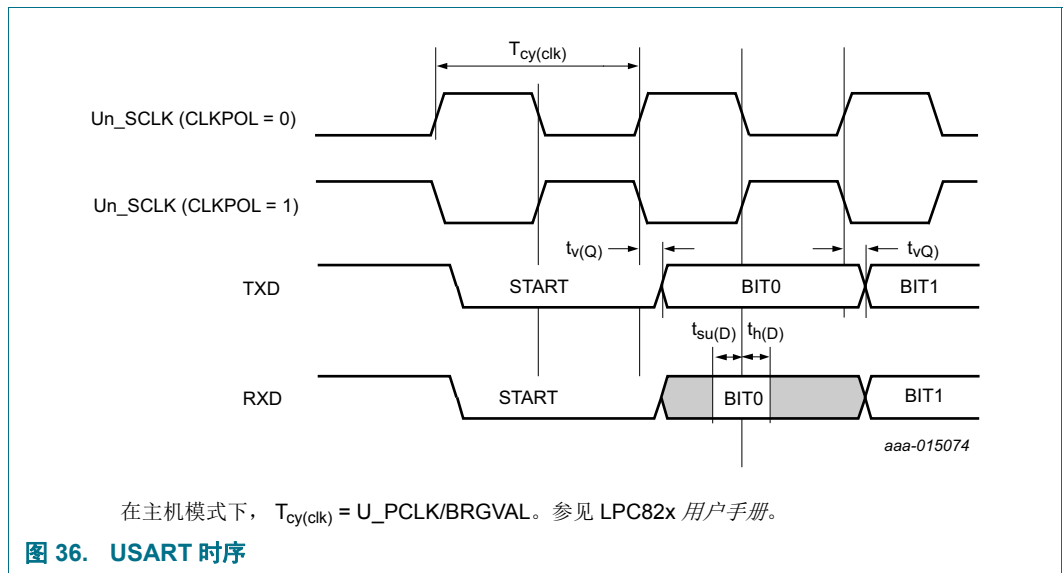
同步主机模式和同步从机模式下，USART 位速率均为 10 Mbit/s。

注：USART 功能可以分配至所有数字引脚。特性对所有数字引脚成立，但开漏引脚 PIO0_10 和 PIO0_11 除外。

表 20. USART 动态特性

除非另有说明， $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $105\text{ }^{\circ}\text{C}$ ； $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ ； $C_L = 10\text{ pF}$ ；输入压摆 = 10 ns 。仿真参数在下降沿或上升沿的 30%/70% 电平处采样；由设计保证的值。

符号	参数	条件	最小值	最大值	单位
USART 主机（同步模式）					
$t_{su(D)}$	数据输入建立时间	$3.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	31	-	ns
		$1.8\text{ V} \leq V_{DD} < 3.0\text{ V}$	37		
$t_h(D)$	数据输入保持时间		0	-	ns
$t_{v(Q)}$	数据输出有效时间		0	5	ns
USART 从机（同步模式）					
$t_{su(D)}$	数据输入建立时间		6	-	ns
$t_h(D)$	数据输入保持时间		2	-	ns
$t_{v(Q)}$	数据输出有效时间	$3.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	0	28	ns
		$1.8\text{ V} \leq V_{DD} < 3.0\text{ V}$	0	37	ns



13. 模拟外设特性

13.1 BOD

表 21. BOD 静态特性 [1]

$T_{amb} = 25\text{ }^{\circ}\text{C}$

符号	参数	条件	最小值	典型值	最大值	单位
V_{th}	阈值电压	中断级别 1				
		断言	-	2.25	-	V
		解除置位	-	2.40	-	V
		中断等级 2				
		断言	-	2.54	-	V
		解除置位	-	2.68	-	V
		中断级别 3				
		断言	-	2.85	-	V
		解除置位	-	2.95	-	V
		复位级别 0				
		断言	-	1.46	-	V
		解除置位	-	1.61	-	V
		复位级别 1				
		断言	-	2.05	-	V
		解除置位	-	2.20	-	V
		复位级别 2				
		断言	-	2.34	-	V
		解除置位	-	2.49	-	V
		复位级别 3				
		断言	-	2.63	-	V
		解除置位	-	2.78	-	V

[1] 将等级数值写入 BOD 控制寄存器 BODCTRL 可选择中断等级，请参见 LPC82x 用户手册。中断等级 0 为保留。

13.2 ADC

表 22. 12 位 ADC 静态特性

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; $V_{DD} = 2.4\text{ V}$ 至 3.6 V ; $V_{REFP} = V_{DD}$; $V_{REFN} = V_{SS}$ 。

符号	参数	条件		最小值	典型值	最大值	单位
V_{IA}	模拟输入电压			0	-	V_{DD}	V
V_{ref}	参考电压	在 V_{REFP} 引脚上		2.4	-	V_{DD}	V
C_{ia}	模拟输入电容			-	-	0.32	pF
$f_{clk(ADC)}$	ADC 时钟频率	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2]	-	-	30	MHz
		$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	[3]	-	-	25	MHz
f_s	采样频率	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2]	-	-	1.2	MSPS
		$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	[3]	-	-	1	MSPS
E_D	微分线性误差	$T_{amb} = 105\text{ }^{\circ}\text{C}$	[5][4]	-	+/- 2.5	-	LSB
$E_{L(adj)}$	积分非线性	$T_{amb} = 105\text{ }^{\circ}\text{C}$	[6][4]	-	+/- 2.5	-	LSB
E_O	偏移误差	$T_{amb} = 105\text{ }^{\circ}\text{C}$	[7][4]	-	+/- 4.5	-	LSB
$V_{err(fs)}$	满量程误差电压	1.2 MSPS; $T_{amb} = 105\text{ }^{\circ}\text{C}$	[8][4]	-	+/- 0.5	-	%
Z_i	输入阻抗	$f_s = 1.2\text{ MSPS}$	[1][9] [10]	0.1	-	-	M Ω

- [1] ADC 通道 0 输入电阻高于其他所有通道。请参见图 37。
- [2] 在 ADC TRM 寄存器中, 设置 $VRANGE = 0$ (默认)。
- [3] 在 ADC TRM 寄存器中, 设置 $VRANGE = 1$ (默认)。
- [4] 基于特性。未经过生产测试。
- [5] 微分线性误差 (E_D) 是指实际步长宽度与理想步长宽度之间的差异。请参见图 38。
- [6] 积分非线性 ($E_{L(adj)}$) 是指在对增益和偏移误差进行适当的调整后, 实际与理想传递曲线的步长中心之间的峰值差异。请参见图 38。
- [7] 偏移误差 (E_O) 是指拟合实际曲线的直线与拟合理想曲线的直线之间的绝对差异。请参见图 38。
- [8] 满量程误差电压或增益误差 (E_G) 是指消除了失调误差后拟合实际传递曲线的直线与拟合理想传递曲线的直接之间的差异。请参见图 38。
- [9] $T_{amb} = 25\text{ }^{\circ}\text{C}$; 最大采样频率 $f_s = 2\text{ MSPS}$, 模拟输入电容 $C_{ia} = 0.1\text{ pF}$ 。
- [10] 输入阻抗 Z_i 与采样频率和总输入电容 (包括 C_{ia} 和 C_{io}) 成反比: $Z_i \propto 1 / (f_s \times C_i)$ 。有关 C_{io} , 请参见表 8。

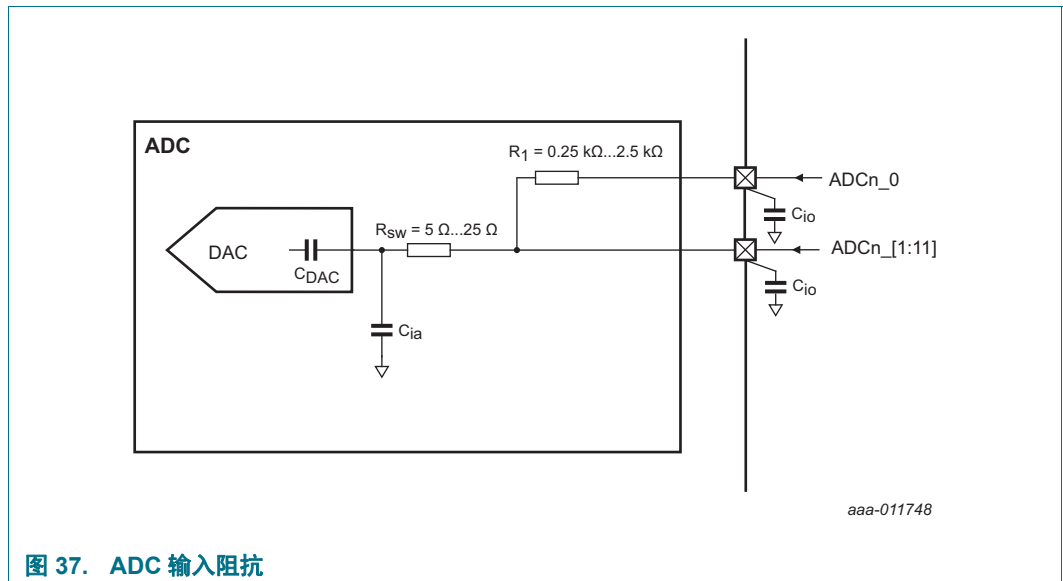
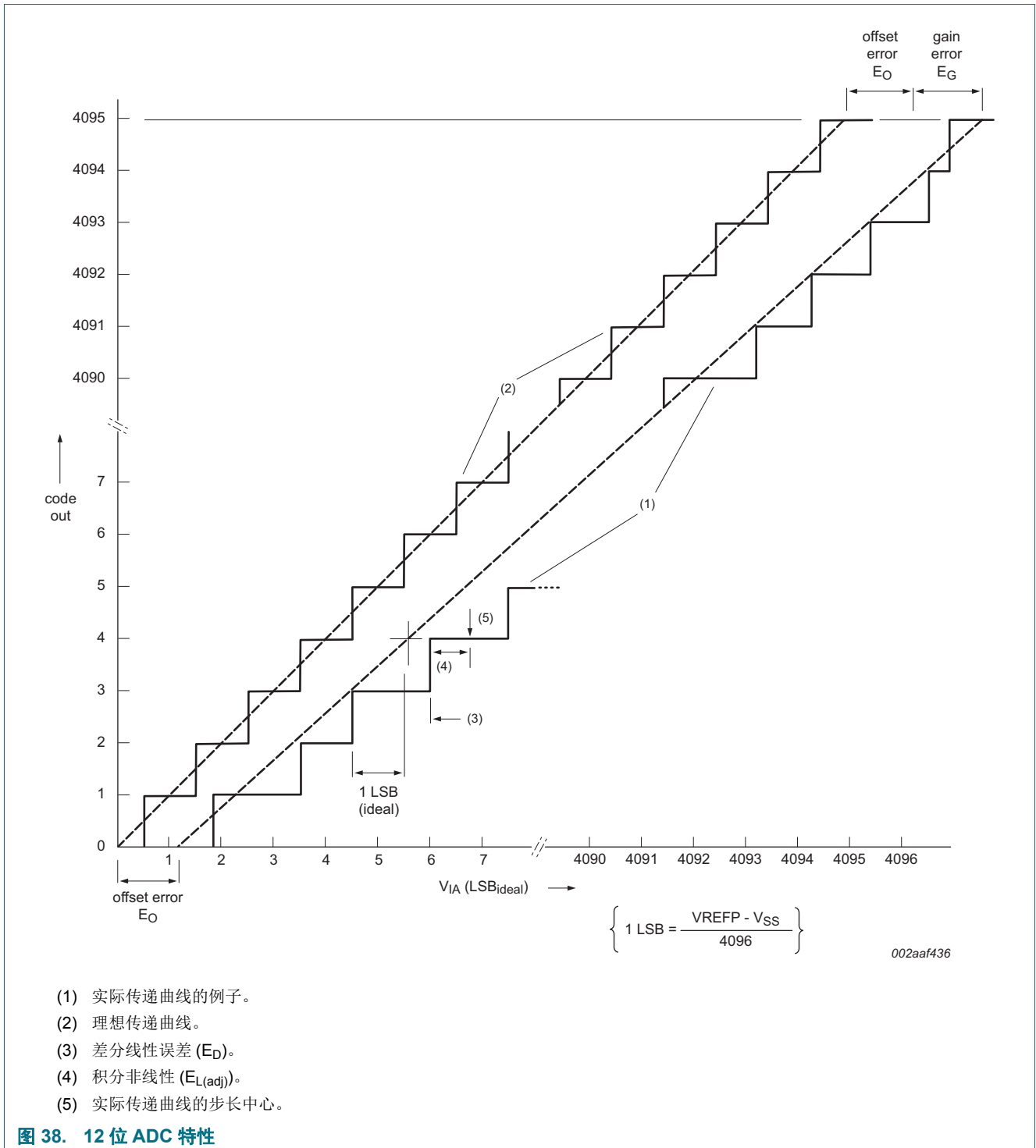


图 37. ADC 输入阻抗



13.3 比较器和内部基准电压源

表 23. 内部基准电压源静态和动态特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; $V_{DD} = 3.3\text{ V}$; 在比较器 CTRL 寄存器中禁用迟滞。

符号	参数	条件	最小值	典型值	最大值	单位
V_O	输出电压	$T_{amb} = 25\text{ }^{\circ}\text{C}$ 至 $105\text{ }^{\circ}\text{C}$	860	-	940	mV
		$T_{amb} = 25\text{ }^{\circ}\text{C}$		904		mV

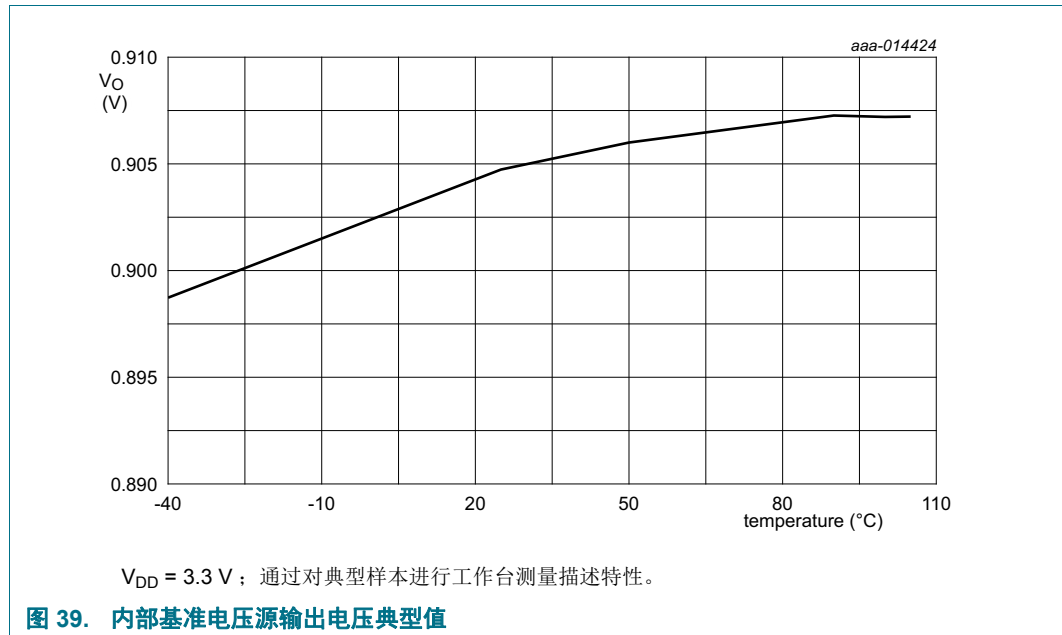


表 24. 比较器特性

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; $V_{DD} = 1.8\text{ V}$ 至 3.6 V 。

符号	参数	条件	最小值	典型值	最大值	单位
静态特性						
$V_{ref(cmp)}$	比较器基准电压	引脚 PIO0_6/VDDCMP 配置为 VDDCMP 功能	1.5	-	3.6	V
I_{DD}	电源电流	$VP > VM$; $T_{amb} = 25\text{ }^{\circ}\text{C}$; $V_{DD} = 3.3\text{ V}$ [2]	-	90	-	μA
		$VM > VP$; $T_{amb} = 25\text{ }^{\circ}\text{C}$; $V_{DD} = 3.3\text{ V}$ [2]	-	60	-	μA
V_{IC}	共模输入电压		0	-	V_{DD}	V
DV_O	输出电压变化		0	-	V_{DD}	V
V_{offset}	失调电压	$V_{IC} = 0.1\text{ V}$; $V_{DD} = 2.4\text{ V}$; $T_{amb} = 105\text{ }^{\circ}\text{C}$ [2]	-	+/- 4	-	mV
		$V_{IC} = 1.5\text{ V}$; $V_{DD} = 2.4\text{ V}$; $T_{amb} = 105\text{ }^{\circ}\text{C}$ [2]	-	+/- 2	-	mV
		$V_{IC} = 2.9\text{ V}$; $V_{DD} = 2.4\text{ V}$; $T_{amb} = 105\text{ }^{\circ}\text{C}$ [2]	-	+/- 4	-	mV
动态特性						
$t_{startup}$	启动时间	标称过程; $V_{DD} = 3.3\text{ V}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$	-	13	-	μs

表 24. 比较器特性 (续)

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; $V_{DD} = 1.8\text{ V}$ 至 3.6 V 。

符号	参数	条件		最小值	典型值	最大值	单位
t _{PD}	传播延迟	高电平至低电平; $V_{DD} = 3.0\text{ V}$; $T_{amb} = 105\text{ }^{\circ}\text{C}$					
		$V_{IC} = 0.1\text{ V}$; 100 mV 过驱输入	[1][2][4]	-	140	-	ns
		$V_{IC} = 0.1\text{ V}$; 轨到轨输入	[1][2]	-	190	-	ns
		$V_{IC} = 1.5\text{ V}$; 100 mV 过驱输入	[1][2][4]	-	130	-	ns
		$V_{IC} = 1.5\text{ V}$; 轨到轨输入	[1][2]	-	120	-	ns
		$V_{IC} = 2.9\text{ V}$; 100 mV 过驱输入	[1][2][4]	-	220	-	ns
t _{PD}	传播延迟	低电平至高电平; $V_{DD} = 3.0\text{ V}$; $T_{amb} = 105\text{ }^{\circ}\text{C}$					
		$V_{IC} = 0.1\text{ V}$; 100 mV 过驱输入	[1][2][4]	-	240	-	ns
		$V_{IC} = 0.1\text{ V}$; 轨到轨输入	[1][2]	-	60	-	ns
		$V_{IC} = 1.5\text{ V}$; 100 mV 过驱输入	[1][2][4]	-	160	-	ns
		$V_{IC} = 1.5\text{ V}$; 轨到轨输入	[1][2]	-	150	-	ns
		$V_{IC} = 2.9\text{ V}$; 100 mV 过驱输入	[1][2][4]	-	150	-	ns
V _{hys}	迟滞电压	正迟滞; $V_{DD} = 3.0\text{ V}$; $V_{IC} = 1.5\text{ V}$; $T_{amb} = 105\text{ }^{\circ}\text{C}$; 设置: 5 mV	[3]	-	6	-	mV
		10 mV		-	11	-	mV
		20 mV		-	23	-	mV
V _{hys}	迟滞电压	负迟滞; $V_{DD} = 3.0\text{ V}$; $V_{IC} = 1.5\text{ V}$; $T_{amb} = 105\text{ }^{\circ}\text{C}$; 设置: 5 mV	[1][3]	-	10	-	mV
		10 mV		-	15	-	mV
		20 mV		-	27	-	mV
R _{lad}	电阻梯	-		-	1	-	MΩ

[1] $C_L = 10\text{ pF}$

[2] 对典型样本进行特性化, 未经过生产测试。

[3] 输入迟滞与基准输入通道有关, 且为软件可编程。

[4] 100 mV 过驱与范围从低于基准电压 (V_{IC}) 50 mV 到高于基准电压 50 mV 的方波有关。

表 25. 比较器电压梯动态特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; $V_{DD} = 1.8\text{ V}$ 至 3.6 V 。

符号	参数	条件		最小值	典型值	最大值	单位
t _{s(pu)}	上电建立时间	(建立至电压梯输出值的 99%)	[1]	-	17	-	μs
t _{s(sw)}	开关建立时间	(建立至电压梯输出值的 99%)	[1]	-	18	-	μs

[1] 对典型样本进行特性化, 未经过生产测试。

表 26. 比较器电压梯基准静态特性

$V_{DD} = 1.8\text{ V}$ 至 3.6 V 。 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ ；外部或内部基准电压源。

符号	参数	条件		最小值	典型值 [1]	最大值	单位
$E_{V(O)}$	输出电压误差	十进制码 = 00	[2]	-	+/- 6	-	mV
		十进制码 = 08		-	+/- 1	-	%
		十进制码 = 16		-	+/- 1	-	%
		十进制码 = 24		-	+/- 1	-	%
		十进制码 = 30		-	+/- 1	-	%
		十进制码 = 31		-	+/- 1	-	%

[1] 通过有限样本进行特性化。未经过生产测试。

[2] 除比较器、温度传感器和 IRC 外的所有外设均关断。

14. 应用信息

14.1 XTAL 输入

片上振荡器的输入电压限制为 1.8 V。如果采用从机模式下的时钟驱动振荡器，则建议将输入耦合至 $C_i = 100 \text{ pF}$ 电容。如需将输入电压限制在指定范围内，则可以选择一个额外的电容 C_g 接地，从而以系数 $C_i/(C_i + C_g)$ 衰减输入电压。从机模式下需要的最小电压为 200 mV(RMS)。

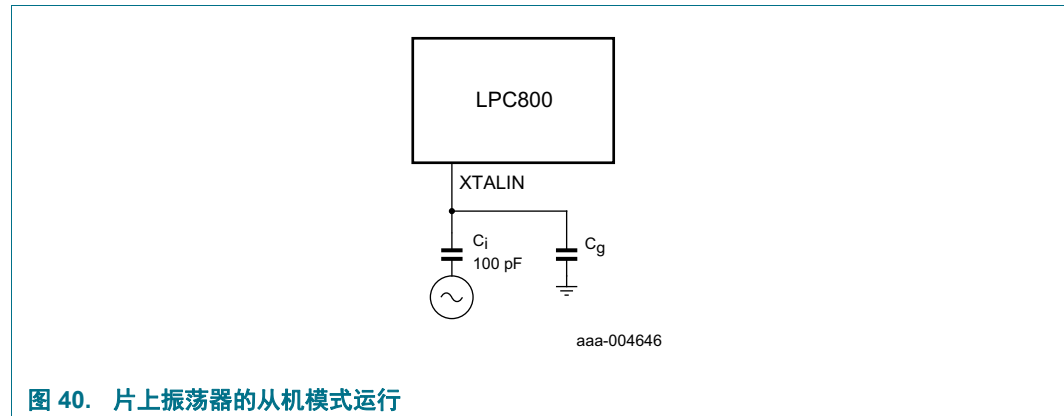


图 40. 片上振荡器的从机模式运行

在从机模式下，输入时钟信号应当耦合至 100 pF (图 40) 电容，幅度范围为 200 mV (RMS) 至 1000 mV (RMS)。这相当于一个方波信号，信号摆幅范围为 280 mV 至 1.4 V。此配置下的 XTALOUT 引脚可以保持不连接状态。

振荡模式中使用的元件和模型如图 41、表 27 和表 28 中所示。由于反馈电阻集成在芯片上，因此在基本模式的振荡中（基本频率由 L 、 C_L 和 R_S 表示），只有一个晶体以及电容 C_{X1} 和 C_{X2} 必须从外部连接。电容 C_P （如中所示）表示并联封装电容，它不得大于 7 pF。图 41 参数 F_{OSC} 、 C_L 、 R_S 和 C_P 均由晶体制造商提供（参见表 27）。

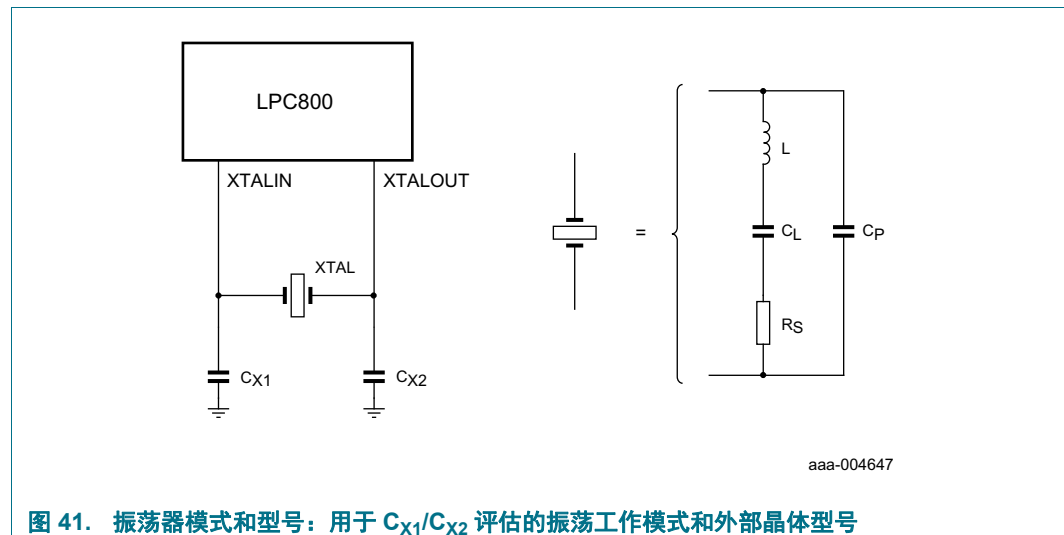


图 41. 振荡器模式和型号：用于 C_{X1}/C_{X2} 评估的振荡工作模式和外部晶体型号

表 27. 振荡模式（晶体和外部元件参数）低频模式下 C_{X1}/C_{X2} 的推荐值

基本振荡频率 F_{OSC}	晶体负载电容 C_L	最大晶体串联电阻 R_S	外部负载电容 C_{X1} 、 C_{X2}
1 MHz 至 5 MHz	10 pF	< 300 Ω	18 pF、18 pF
	20 pF	< 300 Ω	39 pF、39 pF
	30 pF	< 300 Ω	57 pF、57 pF
5 MHz 至 10 MHz	10 pF	< 300 Ω	18 pF、18 pF
	20 pF	< 200 Ω	39 pF、39 pF
	30 pF	< 100 Ω	57 pF、57 pF
10 MHz 至 15 MHz	10 pF	< 160 Ω	18 pF、18 pF
	20 pF	< 60 Ω	39 pF、39 pF
15 MHz 至 20 MHz	10 pF	< 80 Ω	18 pF、18 pF

表 28. 振荡模式（晶体和外部元件参数）高频模式下 C_{X1}/C_{X2} 的推荐值

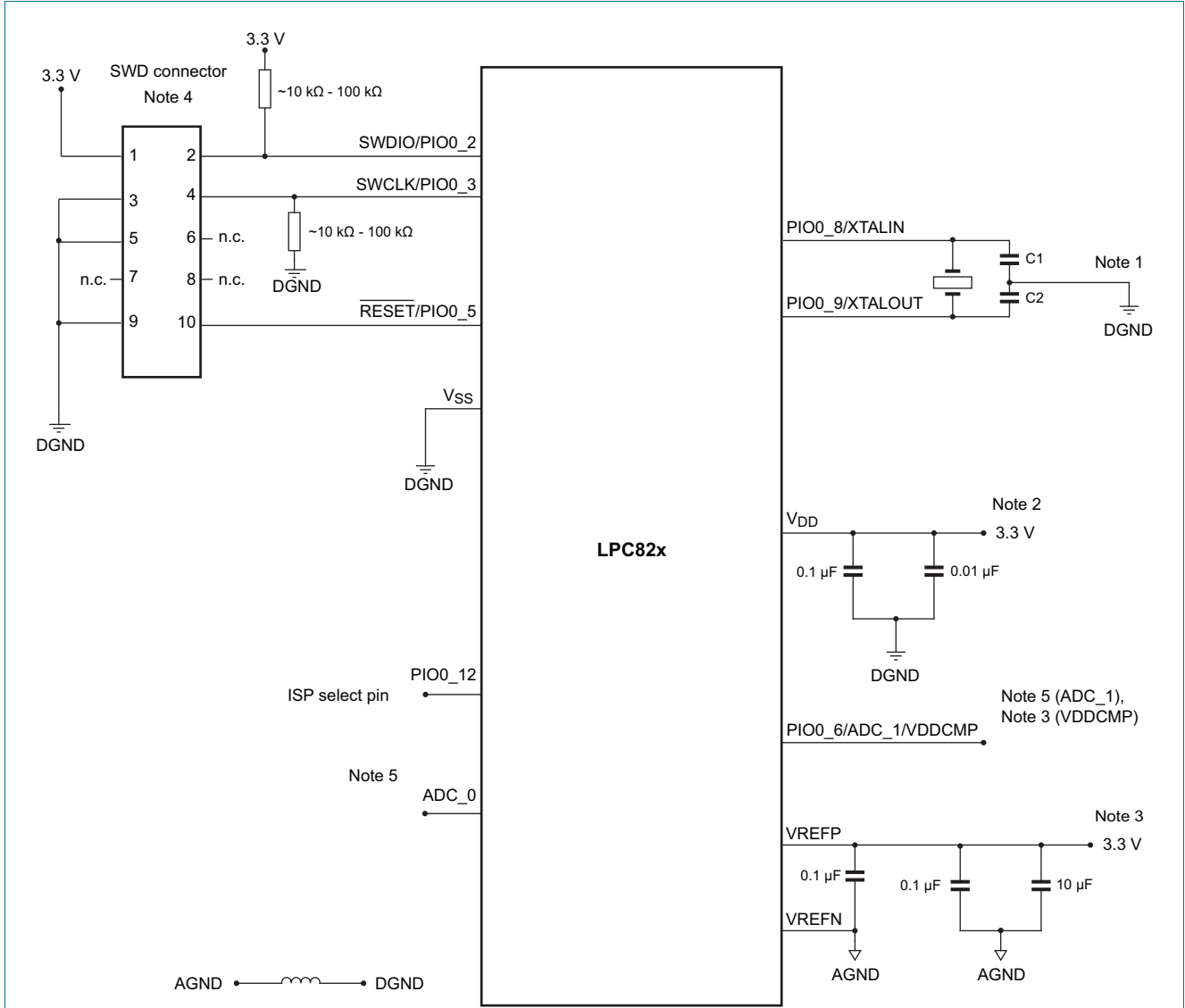
基本振荡频率 F_{OSC}	晶体负载电容 C_L	最大晶体串联电阻 R_S	外部负载电容 C_{X1} 、 C_{X2}
15 MHz 至 20 MHz	10 pF	< 180 Ω	18 pF、18 pF
	20 pF	< 100 Ω	39 pF、39 pF
20 MHz 至 25 MHz	10 pF	< 160 Ω	18 pF、18 pF
	20 pF	< 80 Ω	39 pF、39 pF

14.2 XTAL 印刷电路板 (PCB) 布局指南

晶体应在尽可能靠近芯片的振荡器输入和输出引脚的 PCB 上进行连接。请注意，如果使用第三个谐波晶体，则负载电容 C_{X1} 、 C_{X2} 和 C_{X3} 具有一个公共的接地层。外部元件也必须连接到该接地层。环路必须尽可能的小，以使通过 PCB 进行耦合时所产生的噪声尽可能的小。寄生也必须尽可能的小。如果 PCB 布局中的寄生现象增多，则选择较小的 C_{X1} 和 C_{X2} 值。

14.3 连接电源、时钟和调试功能

图 42 显示了为 LPC82x 上电、连接外部晶体以及通过串行线端口提供调试能力的基本电路板连接。



aaa-015073

- (1) C1 和 C2 值参见 14.1 章 “XTAL 输入”。
- (2) 将 0.1 µF 和 0.01 µF 去耦电容尽可能靠近 V_{DD} 引脚放置。在每一个 V_{DD} 引脚上添加一组去耦电容。
- (3) 将 0.1 µF 去耦电容尽可能靠近 VREFN 和 V_{DD} 引脚放置。10 µF 旁路电容过滤电源线。如果未使用 ADC，则将 VREFP 与 V_{DD} 相连。如果未使用 ADC，则将 VREFN 与 V_{SS} 相连。
- (4) 针对 SWD，使用 ARM 10 引脚接口。
- (5) 测量低频信号时，使用低通滤波器移除噪声并改善 ADC 性能。另请参见参考资料 4。

图 42. 电源、时钟和调试连接

14.4 未使用引脚的端接

表 29 显示如何端接未在应用中使用的引脚。在很多情况下，未使用的引脚可能需要通过外部连接，或者通过软件正确配置，以便最大程度降低器件的总功耗。

带 GPIO 功能的未使用引脚应配置为输出，将其设为低电平，且禁用它们的内部上拉电阻。如需将 GPIO 引脚配置为输出并驱动至低电平，可在 IOCON 寄存器中选择 GPIO 功能，选择 GPIO DIR 寄存器中的输出，然后针对该引脚将 0 写入 GPIO PORT 寄存器。在引脚的 IOCON 寄存器中禁用上拉电阻。

此外，建议将所有未外焊至较小封装的 GPIO 引脚配置为输出驱动至低电平，且禁用内部上拉电阻。

表 29. 未使用引脚的端接

引脚	默认状态 [1]	未使用引脚的端接建议
RESET/PIO0_5	I; PU	在不使用 RESET 引脚或其 GPIO 功能的应用中，此引脚的端接取决于是否使用了深度掉电模式： <ul style="list-style-type: none"> 使用深度掉电模式：在其他所有电源模式下，连接一个外部上拉电阻，将引脚保持在默认状态（输入、上拉使能）。 未使用深度掉电模式且未连接外部上拉：如果内部上拉禁用、引脚驱动至低电平且通过软件配置为输出，则可以保持不连接状态。
所有 PION_m（非开漏）	I; PU	如果驱动至低电平且通过软件配置为 GPIO 输出和上拉禁用，则可以保持不连接状态。
PION_m（I2C 开漏）	IA	如果驱动至低电平且通过软件配置为 GPIO 输出，则可以保持不连接状态。
VREFP	-	连接至 VDD。
VREFN	-	连接至 VSS。

[1] I = 输入，O = 输出，IA = 无效（无上拉/下拉使能），F = 悬空，PU = 上拉。

14.5 不同电源模式下的引脚状态

表 30. 不同电源模式下的引脚状态

引脚	活动	睡眠	深度睡眠 / 掉电模式	深度掉电模式
PION_m 引脚（非 I2C）	如 IOCON [1] 中的配置。默认：内部上拉使能			悬空。
PIO0_4、PIO0_5（开漏 I2C 总线引脚）	如 IOCON [1] 中的配置。			悬空。
RESET	复位功能使能。默认：输入、内部上拉使能。			复位功能禁用；悬空；如果器件处于深度掉电模式，则 RESET 引脚需要通过外部上拉来降低功耗。
PIO0_16/WAKEUP	如 IOCON [1] 中的配置。WAKEUP 功能无效。			唤醒功能使能；可通过软件禁用。

[1] 在睡眠、深度睡眠和掉电模式下获取默认和编程引脚状态。

15. 封装尺寸

TSSOP20: plastic thin shrink small outline package; 20 leads; body width 4.4 mm

SOT360-1

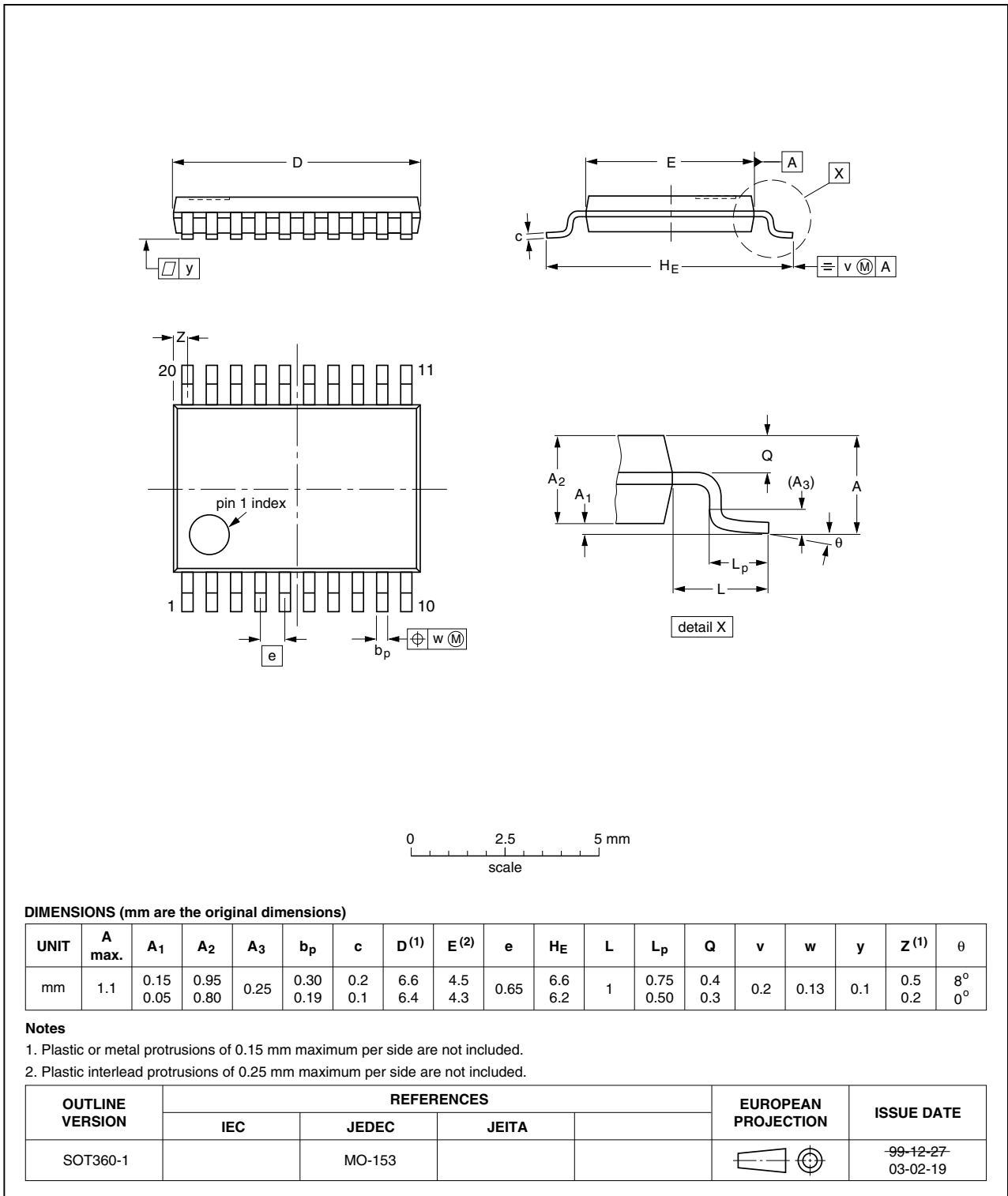


图 43. 封装尺寸 SOT360-1 (TSSOP20)

HVQFN33: plastic thermal enhanced very thin quad flat package; no leads;
32 terminals; body 5 x 5 x 0.85 mm

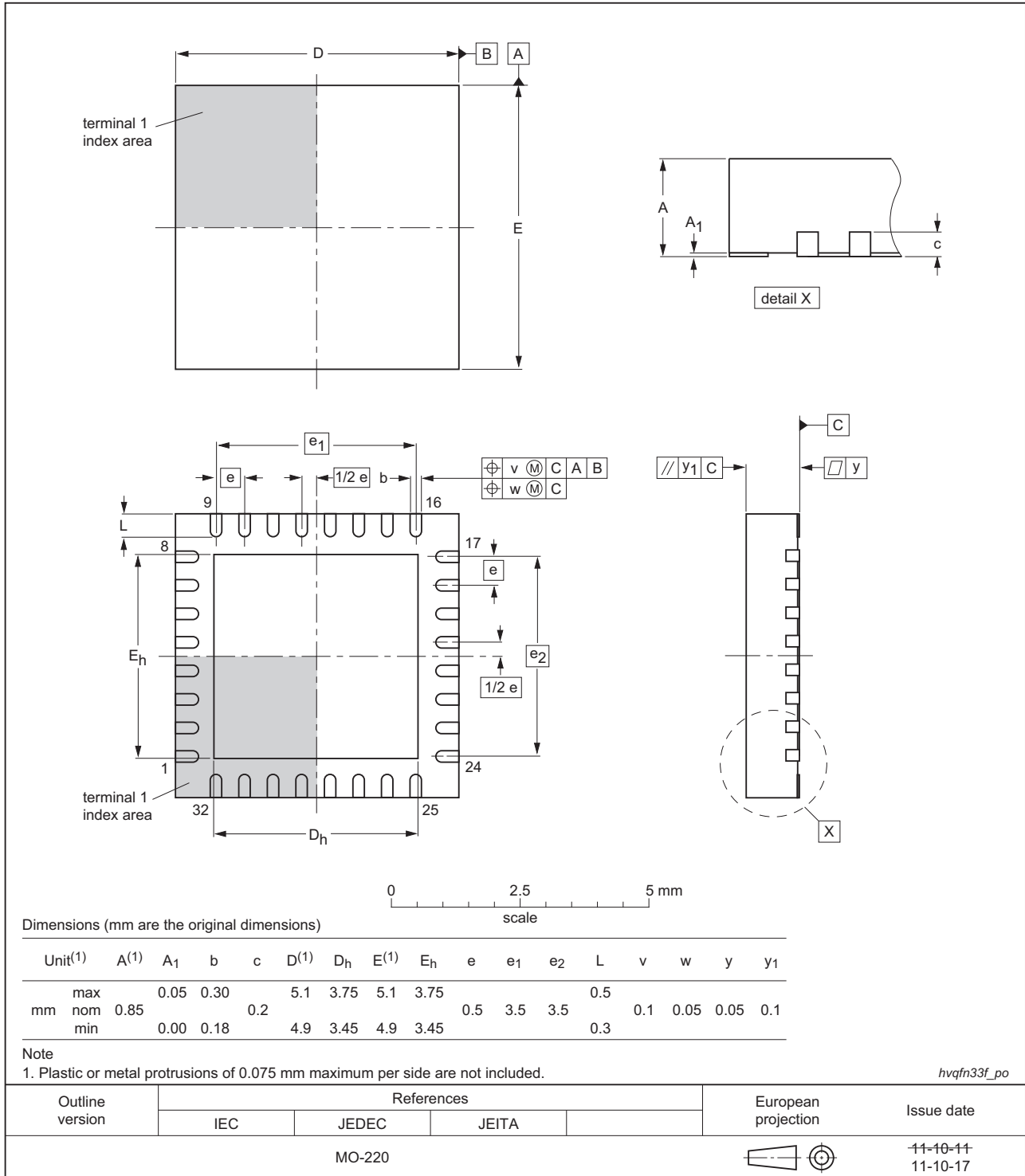


图 44. 封装尺寸 (HVQFN33 5x5)

16. 焊接

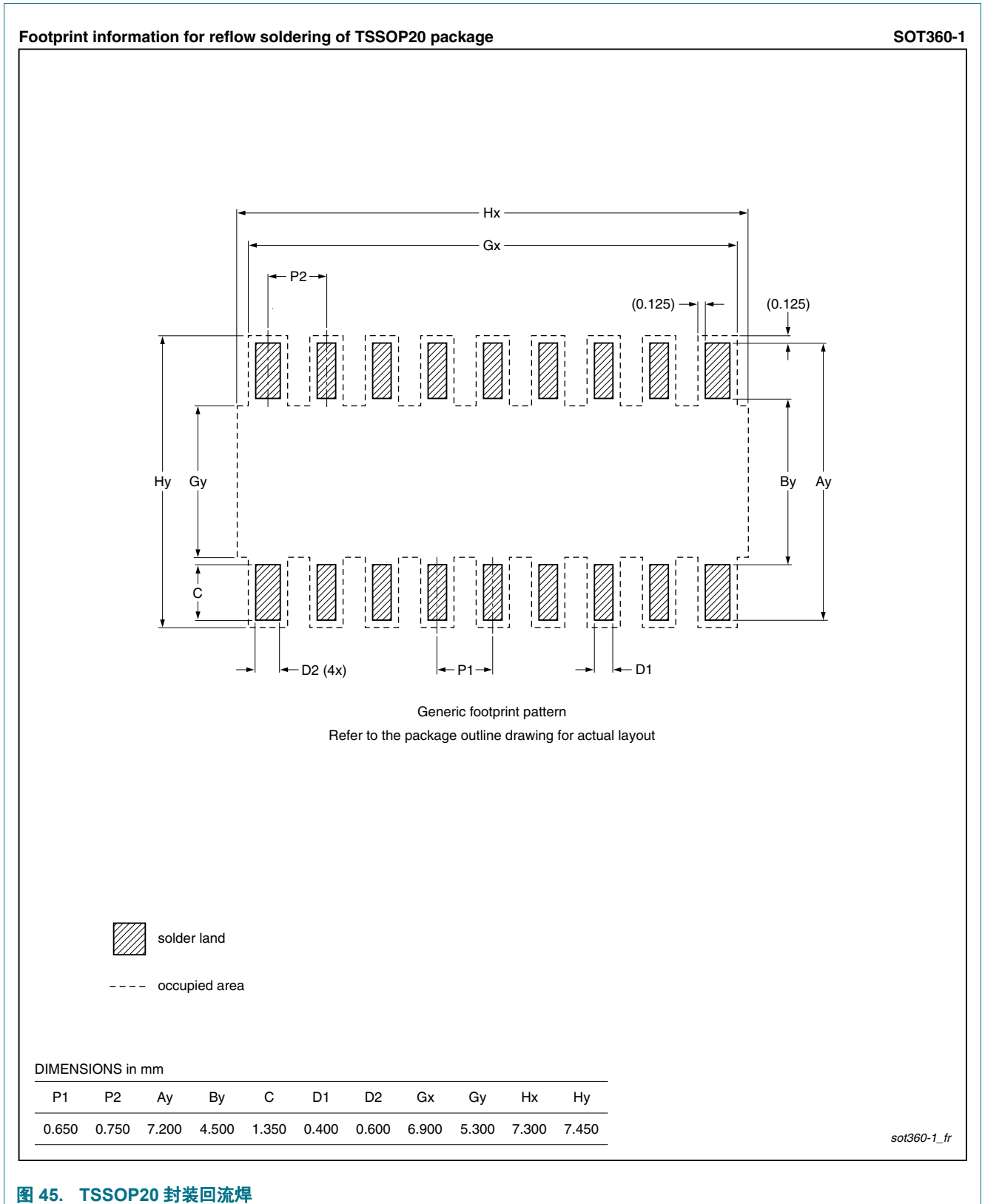
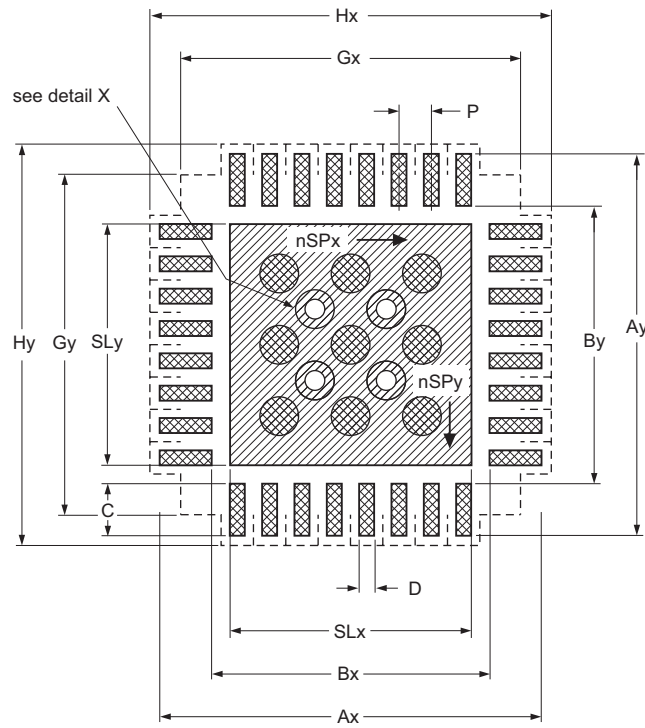


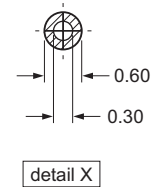


图 45. TSSOP20 封装回流焊

Footprint information for reflow soldering of HVQFN33 package



-  solder land
-  solder paste
- occupied area



Dimensions in mm

P	Ax	Ay	Bx	By	C	D	Gx	Gy	Hx	Hy	SLx	SLy	nSPx	nSPy
0.5	5.95	5.95	4.25	4.25	0.85	0.27	5.25	5.25	6.2	6.2	3.75	3.75	3	3

Issue date ~~11-11-15~~
11-11-20

002aag766

图 46. HVQFN33 封装回流焊 (5x5)

17. 缩略词

表 31. 缩略词

首字母缩略词	说明
AHB	高级高性能总线
APB	高级外设总线
BOD	掉电检测
GPIO	通用输入 / 输出
PLL	锁相环
RC	电阻 - 电容
SPI	串行外设接口
SMBus	系统管理总线
TEM	横向电磁波
UART	通用异步收发器

18. 参考资料

- [1] LPC82x 用户手册 UM10800:
http://www.nxp.com/documents/user_manual/UM10800.pdf
- [2] LPC82x 勘误表: http://www.nxp.com/documents/errata_sheet/ES_LPC82X.pdf
- [3] I2C 总线规格 *UM10204*。
- [4] 技术笔记 - ADC 设计指南:
http://www.nxp.com/documents/technical_note/TN00009.pdf

19. 修订记录

表 32. 修订记录

文档 ID	发布日期	数据手册状态	更改说明	取代版本
LPC82X v.1	2016 年 6 月	产品数据手册	-	-

20. 法律信息

20.1 数据手册状态

文档状态 [1][2]	产品状态 [3]	定义
客观 [缩略版] 数据手册	开发	该文档包含产品开发客观规范的数据。
初始 [缩略版] 数据手册	验证	该文档含有初始规范的数据。
产品 [缩略版] 数据手册	产量	该文档含有产品规范。

[1] 请在开始或完成设计之前查看最新发布文件。

[2] 有关缩略版数据手册的说明见“定义”部分。

[3] 自本文件发布以来，文件中的器件产品状态可能已发生变化；如果存在多个器件，则可能存在差异。欲了解最新产品状态信息，请访问：<http://www.nxp.com>。

20.2 定义

初稿 — 本文件为初稿版本。内容仍在内部审查，尚未正式批准，可能会有进一步修改或补充。恩智浦半导体对本文信息的准确性或完整性不做任何说明或保证，并对因使用此信息而导致的后果不承担任何责任。

缩略版数据手册 — 缩略版数据手册为产品型号和标题完全相同的完全版数据手册的节选。缩略版数据手册仅供快速参考使用，不包括详细和完整的信息。欲了解详细、完整的信息，请查看相关的完整版数据手册，可向当地的恩智浦半导体销售办事处索取。如完整版与缩略版存在任何不一致或冲突，请以完整版为准。

产品规格 — 产品数据手册中提供的信息和数据规定了恩智浦半导体与其客户之间约定的产品规格，恩智浦半导体与客户另行书面说明时除外。在任何情况下，若协议认为恩智浦半导体产品需要具有超出产品数据手册规定的功能和数量，则该协议无效。

20.3 免责声明

有限担保和责任 — 本文中的信息据信是准确和可靠的。但是，恩智浦半导体对此处所含信息的准确性或完整性不做任何明示或暗示的说明或保证，并对因使用此信息而导致的后果不承担任何责任。恩智浦半导体不对本文中非源自恩智浦半导体的信息内容负责。

在任何情况下，对于任何间接、意外、惩罚性、特殊或衍生性损害（包括但不限于利润损失、积蓄损失、业务中断、因拆卸或更换任何产品而产生的开支或返工费用），无论此等损害是否基于侵权行为（包括过失）、担保、违约或任何其他法理，恩智浦半导体均不承担任何责任。

对于因任何原因给客户带来的任何损害，恩智浦半导体对本文所述产品的总计责任和累积责任仅限于恩智浦商业销售条款和条件所规定的范围。

修改权利 — 恩智浦半导体保留对本文所发布的信息（包括但不限于规格和产品说明）随时进行修改的权利，恕不另行通知。本文件将取代并替换之前就其提供的所有信息。

适宜使用 — 恩智浦半导体产品并非设计、授权或担保适用于生命保障、生命关键或安全关键系统或设备，亦非设计、授权或担保适用于在恩智浦半导体产品失效或故障时会导致人员伤亡、死亡或严重财产或环境损害的应用。恩智浦半导体及其供应商对在此类设备或应用中加入和 / 或使用恩智浦半导体产品不承担任何责任，客户需自行承担因加入和 / 或使用恩智浦半导体产品而带来的风险。

应用 — 本文件所载任何产品的应用只用于例证目的。此类应用如不经进一步测试或修改用于特定用途，恩智浦半导体对其适用性不做任何说明或保证。

21. 联系信息

有关详细信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

客户负责自行利用恩智浦半导体的产品进行设计和应用，对于应用或客户产品设计，恩智浦半导体无义务提供任何协助。客户须自行判断恩智浦半导体的产品是否适用于其应用和设计计划，以及是否适用于其第三方客户的规划应用。客户须提供适当的设计和操作系统安全保障措施，以降低与应用和产品相关的风险。

对于因客户应用或产品的任何缺陷或故障，或者客户的第三方客户的应用或使用导致的任何故障、损害、开支或问题，恩智浦半导体均不承担任何责任。客户负责对自己基于恩智浦半导体的产品的应用和产品进行所有必要测试，以避免这些应用和产品或者客户的第三方客户的应用或使用存在任何缺陷。恩智浦不承担与此相关的任何责任。

极限值 — 超过一个或多个限值（如 IEC 60134 绝对最大额定值体系所规定）会给器件带来永久性损坏。限值仅为强度额定值，若设备工作于这些条件下或者超过“建议工作条件部分”（若有）或者本文件“特性”部分规定的条件下，则不在担保范围之内。持续或反复超过限值将对设备的质量和可靠性造成永久性、不可逆转的影响。

商业销售条款和条件 — 除非有效书面单项协议另有规定，恩智浦半导体的产品的销售遵循关于商业销售的一般条款和条件（见 <http://www.nxp.com/profile/terms>）。如果只达成了单项协议，则该协议的条款和条件适用。恩智浦半导体特此明确反对，应用客户就其购买恩智浦半导体的产品而制定的一般条款和条件。

无销售或许可要约 — 本文件中的任何信息均不得被理解或解释为对承诺开放的销售产品的要约，或者授予、让与或暗示任何版权、专利或其他工业或知识产权的任何许可。

出口管制 — 本文件以及此处所描述的产品可能受出口法规的管制。出口可能需要事先经相关主管部门批准。

非汽车应用产品 — 除非本数据手册明确表示，恩智浦半导体的本特定产品适用于汽车应用，否则，均不适用于汽车应用。未根据汽车测试或应用要求进行验证或测试。对于在汽车器件或应用中包括和 / 或使用非汽车应用产品的行为，恩智浦半导体不承担任何责任。

客户将产品用于设计导入以及符合汽车规范和标准的汽车应用时，客户 (a) 若使用产品，则恩智浦半导体不对产品的此等汽车应用、用途和规范作任何担保；并且 (b) 若客户使用恩智浦半导体所提供规格以外的产品用于汽车应用，须自行承担所有风险；并且 (c) 对于因客户设计以及客户超出恩智浦半导体标准担保范围和恩智浦半导体所提供规格使用非汽车应用产品而导致的任何责任、损害或产品故障索赔，客户须免除恩智浦半导体的全部责任。

20.4 商标

注意：所有引用的品牌、产品名称、服务名称以及商标均为其各自所有者的财产。

IPC 总线 — 标志是恩智浦的商标。

22. 内容

1	简介	1	8.20.1	特性	22
2	特性和优势	1	8.21	模数转换器 (ADC)	23
3	应用	3	8.21.1	特性	23
4	订购信息	3	8.22	时钟和功率控制	24
4.1	订购选项	3	8.22.1	晶体和内部振荡器	25
5	标记	4	8.22.1.1	内部 RC 振荡器 (IRC)	25
6	功能框图	5	8.22.1.2	晶体振荡器 (SysOsc)	25
7	引脚信息	6	8.22.1.3	内部低功耗振荡器和看门狗振荡器 (WDOsc)	25
7.1	引脚配置	6	8.22.2	时钟输入	25
7.2	引脚说明	7	8.22.3	系统 PLL	26
8	功能说明	12	8.22.4	时钟输出	26
8.1	ARM Cortex-M0+ 内核	12	8.22.5	唤醒过程	26
8.2	片上闪存程序存储器	12	8.22.6	功耗控制	26
8.3	片上 SRAM	12	8.22.6.1	功耗配置	26
8.4	片上 ROM	12	8.22.6.2	睡眠模式	26
8.5	存储器映射	13	8.22.6.3	深度睡眠模式	27
8.6	可嵌套中断向量控制器 (NVIC)	14	8.22.6.4	掉电模式	27
8.6.1	特性	14	8.22.6.5	深度掉电模式	27
8.6.2	中断源	14	8.23	系统控制	27
8.7	系统节拍定时器	14	8.23.1	复位	27
8.8	I/O 配置	14	8.23.2	欠压检测	28
8.8.1	标准 I/O 管脚配置	15	8.23.3	代码安全性 (代码读取保护 - CRP)	28
8.9	开关矩阵 (SWM)	16	8.23.4	APB 接口	29
8.10	快速通用并行 I/O (GPIO)	16	8.23.5	AHBLite	29
8.10.1	特性	16	8.24	仿真和调试	29
8.11	引脚中断 / 模式匹配引擎	16	9	限值	30
8.11.1	特性	17	10	热学特性	31
8.12	DMA 控制器	17	11	静态特性	32
8.12.1	特性	17	11.1	一般工作条件	32
8.12.2	DMA 触发输入 MUX (TRIGMUX)	17	11.2	电源引脚	33
8.13	USART0/1/2	18	11.3	电气引脚特性	35
8.13.1	特性	18	11.4	功耗	38
8.14	SPI0/1	18	11.5	CoreMark 数据	44
8.14.1	特性	18	11.6	外设功耗	45
8.15	I2C 总线接口 (I2C0/1/2/3)	19	11.7	电气引脚特性	47
8.15.1	特性	19	12	动态特性	50
8.16	SCTimer/PWM	19	12.1	闪存 /EEPROM 存储器	50
8.16.1	特性	19	12.2	从机模式下的振荡器外部时钟	50
8.16.2	SCTimer/PWM 输入多路复用 (INPUT MUX)	20	12.3	内部振荡器	51
8.17	多速率定时器 (MRT)	21	12.3.1	I/O 引脚	52
8.17.1	特性	21	12.3.2	WKTCLKIN 引脚 (唤醒时钟输入)	52
8.18	窗口化看门狗定时器 (WWDT)	21	12.3.3	SCTimer/PWM 输出时序	52
8.18.1	特性	21	12.3.4	I ² C 总线	52
8.19	自唤醒定时器 (WKT)	21	12.3.5	SPI 接口	55
8.19.1	特性	21	12.3.6	USART 接口	58
8.20	模拟比较器 (ACMP)	22	13	模拟外设特性	59
			13.1	BOD	59

续 >>

13.2	ADC	60
13.3	比较器和内部基准电压源	62
14	应用信息	65
14.1	XTAL 输入	65
14.2	XTAL 印刷电路板 (PCB) 布局指南	66
14.3	连接电源、时钟和调试功能	67
14.4	未使用引脚的端接	68
14.5	不同电源模式下的引脚状态	68
15	封装尺寸	69
16	焊接	71
17	缩略词	73
18	参考资料	73
19	修订记录	74
20	法律信息	75
20.1	数据手册状态	75
20.2	定义	75
20.3	免责声明	75
20.4	商标	75
21	联系信息	75
22	内容	76

注意：关于本文及相关产品的重要说明详见“法律信息”一节。

© NXP Semiconductors N.V. 2016.

版权所有。

欲了解更多信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

发布日期：2016 年 6 月

文档号：LPC82x