

MC9S12ZVL 系列 参考手册

S12Z MagniV
微控制器

MC9S12ZVLRMV1

Rev. 1.04

2015 年 5 月 5 日

freescale.com

MC9S12ZVLxx 系列微控制器适用于安全相关系统，使用符合 ISO26262 标准的开发系统按照飞思卡尔安全保障计划开发。

有关飞思卡尔安全保障计划的更多详细信息，请参阅：

<http://freescale.com/SafeAssure>

有关如何在安全相关系统中使用该器件的更多详细信息，请参阅 MC9S12ZVL 安全手册，网站如下：

<http://freescale.com/S12ZVL>

公司网站上提供的文档修订版为最新版本，供您获取最新信息。您拥有的印刷本可能是较早版本。如需确定是否拥有最新信息，请参阅：

<http://freescale.com>

器件概述一节中包括系列产品和选项的完整列表。

本文档包含所有组成模块的信息（S12Z CPU 除外）。有关 S12ZCPU 的信息，请参阅《CPU S12Z 参考手册》。

第 1 章	器件概述 MC9S12ZVL 系列.....	11
第 2 章	端口集成模块 (S12ZVLPIMV1).....	47
第 3 章	存储器映射控制 (S12ZMMCV1).....	49
第 4 章	后台调试控制器 (S12ZBDCV2).....	51
第 5 章	中断 (S12ZINTV0).....	55
第 6 章	S12Z DebugLite (S12ZDBGV3) 模块.....	59
第 7 章	ECC 生成模块 (SRAM_ECCV2).....	61
第 8 章	S12 时钟、复位和电源管理单元 (S12CPMU_UHV_V5).....	63
第 9 章	模数转换器 (ADC10B_LBA_V2).....	73
第 10 章	电源电压传感器 - (BATSV3).....	75
第 11 章	定时器模块 (TIM16B6CV3).....	77
第 12 章	定时器模块 (TIM16B2CV3).....	79
第 13 章	脉宽调制器 (S12PWM8B8CV2).....	81
第 14 章	串行通信接口 (S12SCIV6).....	83
第 15 章	串行外设接口 (S12SPIV5).....	87
第 16 章	内部集成电路 (IICV3).....	91
第 17 章	LIN 物理层 (S12LINPHYV2).....	93
第 18 章	32 KFlash 模块 (S12ZFTMRZ128K512V2).....	97
第 19 章	16 KFlash 模块 (S12ZFTMRZ128K512V2).....	101
第 20 章	8 KFlash 模块 (S12ZFTMRZ128K512V2).....	105
附录 A	MCU 电气规格.....	109

第 1 章

器件概述 MC9S12ZVL 系列

1.1	简介	11
1.2	特性	11
1.2.1	MC9S12ZVL 系列 产品比较	11
1.3	芯片级特性	12
1.4	模块特性	13
1.4.1	S12Z 中央处理器 (CPU)	13
1.4.2	嵌入式存储器	14
1.4.3	时钟、复位和电源管理单元 (CPMU)	15
1.4.4	主要的外部振荡器 (XOSCLCP)	16
1.4.5	定时器 (TIM0 和 TIM1)	16
1.4.6	脉宽调制模块 (PWM)	16
1.4.7	内部 IC 模块 (IIC)	16
1.4.8	LIN 物理层收发器	17
1.4.9	串行通信接口模块 (SCI)	17
1.4.10	串行外设接口模块 (SPI)	17
1.4.11	模数转换器模块 (ADC)	17
1.4.12	电源电压传感器 (BATS)	18
1.4.13	片上电压调节器系统 (VREG)	18
1.5	框图	19
1.6	器件存储器映射	20
1.6.1	器件 ID 分配	23
1.7	信号说明和器件引脚分配	23
1.7.1	引脚分配概述	23
1.7.2	外部信号详细说明	24
1.7.3	电源引脚	27
1.8	器件引脚分配	28
1.9	内部信号映射	34
1.9.1	ADC0 连接	34
1.9.2	BDC 时钟源连通性	35
1.9.3	FTMRZ 连接	35
1.9.4	CPMU 连通性	35
1.10	工作模式	35
1.10.1	芯片配置模式	35
1.10.2	调试模式	36
1.10.3	低功耗模式	36
1.11	加密	37
1.11.1	特性	37
1.11.2	保护微控制器	37
1.11.3	已加密微控制器的操作	38
1.11.4	微控制器的解密	38
1.11.5	对加密位重新编程	39
1.11.6	彻底擦除存储器	39
1.12	复位和中断	39

1.12.1	复位	39
1.12.2	中断向量	40
1.12.3	复位效果	43
1.13	模块设备级别相关性	43
1.13.1	COP 配置	43
1.13.2	BDC 命令限制	44
1.13.3	Flash IFR 映射	44
1.14	应用信息	44
1.14.1	ADC 校准	44
1.14.2	SCI 波特率检测	45
1.14.3	电压域监控	45

第 2 章

端口集成模块 (S12ZVLPIMV1)

2.1	简介	47
2.1.1	概述	47
2.1.2	特性	47

第 3 章

存储器映射控制 (S12ZMMCV1)

3.1	简介	49
3.1.1	术语表	49
3.1.2	概述	49
3.1.3	特性	49
3.1.4	操作模式	50
3.1.5	框图	50

第 4 章

后台调试控制器 (S12ZBDCV2)

4.1	简介	51
4.1.1	术语表	51
4.1.2	特性	51
4.1.3	操作模式	52
4.1.4	框图	54

第 5 章

中断 (S12ZINTV0)

5.1	简介	55
5.1.1	术语表	55
5.1.2	特性	55
5.1.3	操作模式	56
5.1.4	框图	56

第 6 章

S12Z DebugLite (S12ZDBGV3) 模块

6.1	简介	59
6.1.1	术语表	59
6.1.2	概述	59
6.1.3	特性	59
6.1.4	操作模式	60
6.1.5	框图	60

第 7 章

ECC 生成模块 (SRAM_ECCV2)

7.1	简介	61
7.1.1	特性	61

第 8 章

S12 时钟、复位和电源管理单元 (S12CPMU_UHV_V5)

8.1	简介	63
8.1.1	特性	64
8.1.2	操作模式	66
8.1.3	S12CPMU_UHV_V5 框图	70

第 9 章

模数转换器 (ADC10B_LBA_V2)

9.1	简介	73
-----	----	----

第 10 章

电源电压传感器 - (BATSV3)

10.1	简介	75
10.1.1	特性	75
10.1.2	工作模式	75
10.1.3	框图	76

第 11 章

定时器模块 (TIM16B6CV3)

11.1	简介	77
11.1.1	特性	77
11.1.2	操作模式	77
11.1.3	框图	77

第 12 章

定时器模块 (TIM16B2CV3)

12.1	简介	79
12.1.1	特性	79

12.1.2 操作模式	79
12.1.3 框图	80

第 13 章 脉宽调制器 (S12PWM8B8CV2)

13.1 简介	81
13.1.1 功能	81
13.1.2 操作模式	81
13.1.3 框图	82

第 14 章 串行通信接口 (S12SCIV6)

14.1 简介	83
14.1.1 术语表	83
14.1.2 功能	83
14.1.3 操作模式	84
14.1.4 框图	84

第 15 章 串行外设接口 (S12SPIV5)

15.1 简介	87
15.1.1 术语词汇表	87
15.1.2 特性	87
15.1.3 操作模式	87
15.1.4 框图	88

第 16 章 内部集成电路 (IICV3)

16.1 简介	91
16.1.1 特性	91
16.1.2 工作模式	92
16.1.3 框图	92

第 17 章 LIN 物理层 (S12LINPHYV2)

17.1 简介	93
17.1.1 特性	93
17.1.2 操作模式	93
17.1.3 框图	94

第 18 章 32 KFlash 模块 (S12ZFTMRZ128K512V2)

18.1 简介	97
---------------	----

18.1.1	术语表	97
18.1.2	特性	98
18.1.3	框图	99

第 19 章

16 KFlash 模块 (S12ZFTMRZ128K512V2)

19.1	简介	101
19.1.1	术语表	101
19.1.2	特性	102
19.1.3	框图	103

第 20 章

8 KFlash 模块 (S12ZFTMRZ128K512V2)

20.1	简介	105
20.1.1	术语表	105
20.1.2	特性	106
20.1.3	框图	107

附录 A

MCU 电气规格

A.1	概述	109
A.1.1	引脚	110
A.1.2	电流注入	111
A.1.3	绝对最大额定值	111
A.1.4	ESD 保护和闭锁抗扰度	112
A.1.5	操作条件	113
A.1.6	功耗和热特性	114
A.1.7	I/O 特性	118
A.1.8	电源电流	119
A.2	CPMU 电气特性 (VREG、OSC、IRC、PLL)	122
A.2.1	VREG 电气规格	122
A.2.2	IRC 和 OSC 电气规格	124
A.2.3	锁相环	124
A.3	ADC 规格	126
A.3.1	ADC 操作特性	126
A.3.2	影响精度的因素	127
A.3.3	ADC 精度	129
A.4	LINPHY 电气规范	132
A.4.1	最大额定值	132
A.4.2	静态电气特性	132
A.4.3	动态电气特性	133
A.5	NVM 电气参数	135
A.5.1	NVM 时序参数	135
A.5.2	NVM 可靠性参数	136

A.6	BATS 电气规范	137
A.6.1	静态电气特性	138
A.6.2	动态电气特性	139
A.7	PIM 电气规格	140
A.7.1	高压输入 (HVI) 电气特性	140
A.8	SPI 电气规格	140
A.8.1	主机模式	141
A.8.2	从机模式	142

第 1 章

器件概述 MC9S12ZVL 系列

1.1 简介

MC9S12ZVL 系列系列是一种使用 180nm NVM + UHV 技术的汽车用 16 位微控制器系列，NVM + UHV 技术具有集成 40 V 模拟组件的功能。此系列重新使用了现有 S12 产品组合的许多功能。此系列的特定差异化功能为增强的 S12Z 内核和“高压”模拟模块集成（包括稳压器 (VREG) 和局域互联网络 (LIN) 物理层）。

MC9S12ZVL 系列系列包括 RAM 和 FLASH 上的纠错码 (ECC)、用于诊断或数据存储的 EEPROM、快速模数转换器 (ADC) 和提高 EMC 性能的频率调制锁相环 (IPLL)。MC9S12ZVL 系列提供一套优化解决方案，将多个关键系统组件集成到单个器件中，优化系统结构，并能有效地节约空间。MC9S12ZVL 系列系列在保留现有 S12 系列为用户所喜爱的低成本、低功耗、EMC 和代码规模效率优势的同时，还提供 16 位 MCU 的所有优势和效率。MC9S12ZVL 系列可采用 48 引脚、32 引脚 LQFP 和 32 引脚 QFN-EP。除了在每一模块中可用的 I/O 端口，更多具有允许从停止或等待模式唤醒的断开功能的 I/O 端口也可用。

MC9S12ZVL 系列是一种适合于诸多应用的通用器件系列。MC9S12ZVL 系列适合于需要 LIN 连接的通用汽车应用。这些应用的典型示例包括开关面板和传感器的主体端点。

1.2 特性

本节介绍 MC9S12ZVL 系列的主要特性。

1.2.1 MC9S12ZVL 系列 产品比较

表 1-1 汇总了 MC9S12ZVL 系列中的主要特性。

表 1-1. MC9S12ZVL 系列对比

特性	MC9S12ZVL32	MC9S12ZVL16	MC9S12ZVL8	MC9S12ZVLS32	MC9S12ZVLS16
Flash 存储器 (ECC) [KB]	32	16	8	32	16
EEPROM (ECC) [字节]	128			128	
RAM (ECC) [字节]	1024	1024	512	1024	
最大总线时钟频率	32 MHz			32 MHz	
HVI	1			1	
LIN 物理层	1			1	
Vreg 电流能力 ⁽¹⁾ - 70 mA (VDDX) - 170 mA 镇流选项 (BCTL)	是 是			是 是	
ASIL SEooC 目标	A			A	
封装	48 引脚 / 32 引脚 LQFP			32 引脚 QFN-EP	
ADC 通道 -10 位	10 ⁽²⁾ / 6			6	
PWM	8 通道			8 通道	
定时器	6 + 2 通道			6 + 2 通道	
SCI ⁽³⁾	2			2	
SPI	1			1	
IIC	1			1	
通用 I/O - 支持至 VSSX 25 mA 驱动器强度的引脚 - 支持来自 VDDX (EVDD) 20 mA 驱动器强度的引脚	34 ⁽²⁾ / 19 3 ⁽²⁾ / 1 1			18 3 1	
引脚 ⁽⁴⁾ 5V / 12V 具有中断功能	22 ⁽²⁾ / 16 / 1			14 / 1	

1. MCU 和 MCU 外部负载的总电流能力 (在相同 PCB 板上)

2. 仅可采用 48 引脚封装

3. 一个路由至 LIN PHY 的 SCI

4. IRQ、XIRQ 和 KW_x 引脚

1.3 芯片级特性

系列中可用的片上模块包括下列特性:

- S12Z CPU 内核
- 带 ECC 的 32、16 或 8 KB 片上 flash
- 带 ECC 的 128 字节 EEPROM
- 带 ECC 的 1024 或 512 字节片上 SRAM

- 带内部滤波器的锁相环 (IPLL) 频率乘法器
- 全温范围内精度为 $\pm 1.3\%$ 的 1 MHz 内部 RC 振荡器
- 4-20 MHz 振幅可控的皮尔斯振荡器
- 内部 COP (看门狗) 模块
- 具有 10 位分辨率、外部引脚上最多可用 10 个通道和 V_{bg} (带隙) 结果参考的模数转换器 (ADC)
- 一个串行外围设备接口 (SPI) 模块
- 一个带有内部 LIN 物理层收发器 (如需要校准频率, RX 可连接到定时器通道) 接口的串行通信接口 (SCI) 模块
- 最多一个额外的 SCI (不连接到 LIN 物理层)
- 一个片上 LIN 物理层收发器完全符合 LIN 2.2 标准
- 带有输入捕捉 / 输出比较的 6 通道定时器模块 (TIM0)
- 带有输入捕捉 / 输出比较的 2 通道定时器模块 (TIM1)
- 内部 IC (IIC) 模块
- 8 通道脉宽调制模块 (PWM)
- 用于调节输入电源和所有内部电压的片上稳压器 (VREG)
- 自激周期性中断 (API), 支持从停止模式中周期性唤醒
- 支持至 VSSX 25 mA 驱动强度的引脚
- 支持来自 VDDX (EVDD) 20 mA 驱动强度的引脚
- 高电压输入 (HVI)
- 带电池电量不足警告的电源电压感应
- 片上温度传感器和温度值可使用 ADC 测量或者可能生成高温警告
- 高达 23 个引脚可用作键盘唤醒中断 (KWI)

1.4 模块特性

以下各节提供有关集成模块的更多详细信息。

1.4.1 S12Z 中央处理器 (CPU)

与 S12X CPU 相比, S12Z CPU 是一款革命性的高速内核, 具有更佳的代码大小和执行效率。S12Z CPU 还提供线性存储器映射, 这样可消除页面交换的不便性以及对其性能影响。

- 哈佛架构 - 并行数据和代码访问
- 3 级流水线
- 32 位宽指令和数据总线
- 32 位 ALU
- 24 位寻址 (16 MB 线性地址空间)
- C 编程和编译器的指令和寻址模式优化

- 已优化地址路径，因此无需 Flash 等待状态就能在 50MHz 上运行
 - MAC 单位 32 位 += 32 位 *32 位
 - 硬件分频器
 - 单周期多位移位（桶形移位器）
 - 定点数学的专用指令
- 不可执行操作码陷阱
- 未编程字节值 (0xFF) 默认为 SWI 指令

1.4.1.1 后台调试控制器 (BDC)

- - 无干扰内存的访问命令
 - 支持片上非易失性存储器的在线编程

1.4.1.2 调试器 (DBG)

- 三个比较器（A、B 和 D）
 - 比较器 A 比较全地址总线和完整的 32 位数据总线
 - 比较器 B 和 D 仅可比较完整地址总线，每个比较器均可配置为监测 PC 地址或数据访问地址
 - 每个比较器均可选择读取或写入访问周期
 - 比较器匹配可强制状态序列器转换状态
- 三种比较器模式
 - 简单地址 / 数据比较器匹配模式
 - 内部地址范围模式， $Addmin \leq Address \leq Addmax$
 - 外部地址范围匹配模式， $Address < Addmin$ 或 $Address > Addmax$
- 状态序列器控制
 - 通过比较器匹配而强制进行的状态转换
 - 软件强制发生的状态转换写入外部事件强制发生的 TRIGState 转换
- 以下是断点类型
 - 在断点上进入有效 BDM 的 CPU 断点 (BDM)
 - 在断点上执行 SWI 的 CPU 断点 (SWI)

1.4.2 嵌入式存储器

1.4.2.1 存储器访问完整性

- 非法地址检测
- 嵌入式 NVM 和系统 RAW 上的 ECC 支持

1.4.2.2 闪存

片上 flash 存储器，位于 MC9S12ZVL 系列

- 高达 32 KB 的程序 Flash 存储器
 - 全自动的写入和擦除算法
 - 用于防止意外编程或擦除的保护方案

1.4.2.3 EEPROM

- 高达 128 字节 EEPROM
 - 16 个数据位和 6 个 ECC 校验位可以实现单比特位错误纠正和双比特位错误检测
 - 擦除扇区的大小是 4 字节
 - 全自动的写入和擦除算法
 - 用户可以自行设置读操作的阈值

1.4.2.4 SRAM

- 带 EDD 的通用 RAM 高达 1 KB
 - 基于 16 位数据字的单比特位错误纠正和双比特位错误检测代码

1.4.3 时钟、复位和电源管理单元 (CPMU)

- 实时中断 (RTI)
- 时钟监控，监控振荡器的正确功能 (CM)
- 计算机正确操作 (COP) 看门狗
 - 可配置为窗口 COP，以增强故障检测
 - 可使用 Flash 存储器中的选项位在退出复位后进行初始化
- 系统复位发生器
- 自治式周期性中断 (API)（可周期性的与看门狗结合使用）
- 低功耗操作
 - RUN 模式是对整个器件供给时钟的完整性能操作模式。
 - 关闭内部 CPU 时钟就变成 WAIT 模式，因而 CPU 不执行指令。
 - 伪“停止”模式 - 系统时钟停止，但可启用振荡器、RTI、COP 和 API 模块
 - “停止”模式 - 振荡器在此模式下停止，所有时钟关闭，并且所有计数器和分频器保持冻结状态，只有 COP 和 API 可从 ACLK 选择运行。

1.4.3.1 内部锁相环 (IPLL)

- 锁相环时钟频率乘法器
 - 不需要外部组件
 - 参考分频器和乘法器允许多种时钟频率
 - 低抖动操作的自动带宽控制模式
 - 自动频率锁定探测器

- 可展频以减少 EMC 辐射频谱（频率调制）的可配置选项
- 参考时钟源：
 - 内部 1 MHz RC 振荡器 (IRC)
 - 外部 4-16MHz 晶体振荡器 / 谐振器

1.4.3.2 内部 RC 振荡器 (IRC)

- 全温范围内精度为 +/-1.3% 的 1 MHz 内部 RC 振荡器

1.4.4 主要的外部振荡器 (XOSCLCP)

- 使用 4 MHz 到 20 MHz 晶振的振幅控制 Pierce 振荡器
 - 振幅输出上的电流增益控制
 - 低谐波失真的信号
 - 低功耗
 - 良好的抗噪性
 - 无需外部限流电阻器
 - 对于典型的晶振，调节夸导的大小可以优化启动阈值
 - 与 GPIO 功能共享振荡器引脚

1.4.5 定时器 (TIM0 和 TIM1)

- 两个独立的定时器模块，带自有的 16 位自由运行的计数器和 8 位精度预分频器
 - 用于输入捕捉和输出比较的 6 x 16 位通道定时器模块 (TIM0)
 - 用于输入捕捉和输出比较的 2 x 16 位通道定时器模块 (TIM1)

1.4.6 脉宽调制模块 (PWM)

- 高达 8 通道 x 8 位或高达 4 通道 x 16 位脉宽调制器
 - 每个通道具有可编程周期和占空比
 - 中心对齐或左对齐输出
 - 带各种不同频率的可编程时钟选择逻辑

1.4.7 内部 IC 模块 (IIC)

- 多主机运行
- 可通过软件编程为 256 种不同的串行时钟频率之一
- 支持广播模式
- 支持 10 位地址

1.4.8 LIN 物理层收发器

- 符合 LIN 物理层 2.2 规格
- 符合 SAE J2602-2 LIN 标准
- 带干扰信号滤波器唤醒的待机模式
- 波特率的转换速率选择优化：10.4kBit/s、20kBit/s 和快速模式（最多 250kBit/s）
- 可切换 34k Ω /330k Ω 上拉
- LIN 总线引脚下降沿的电流限制
- 过流保护
- 监控 LPTxD 信号的 LIN TxD 显性超时功能
- 在过载电流或 TxD 显性超时情况下，自动发送器关闭
- 完成 OEM “在汽车应用中 LIN（CAN 和 FlexRay）接口的硬件需求” v1.3

1.4.9 串行通信接口模块 (SCI)

- 全双工或单线操作
- 标准传号 / 空号不归零 (NRZ) 格式
- 带可编程脉冲宽度的可选择 IrDA 1.4 归零反相 (RZI) 格式
- 由来自总线时钟的 16 位分频器生成的波特率
- 可编程字符长度
- 发送器和接收器极性可编程
- 有效边沿接收唤醒
- 断路检测和传送冲突检测支持 LIN

1.4.10 串行外设接口模块 (SPI)

- 可配置的 8 或 16 位数据大小
- 全双工或单线双向
- 双缓冲发送和接收
- 主机或从机模式
- MSB 优先或 LSB 优先移位
- 串行时钟相位和极性选择

1.4.11 模数转换器模块 (ADC)

- 10 位分辨率
- 高达 10 个外部通道和 8 个内部通道
- 转换结果数据可左 / 右对齐
- 连续转换模式

- 带基于列表的命令和结果存储架构的程序员模型
- ADC 直接将结果写入 RAM，防止下一个转换的停滞
- 由 ADC 模块监控的内部信号
 - Vrh、Vrl、(Vrl+Vrh)/2、Vsup 监控器、Vbg、TempSense
- 外部引脚也可作为数字 I/O

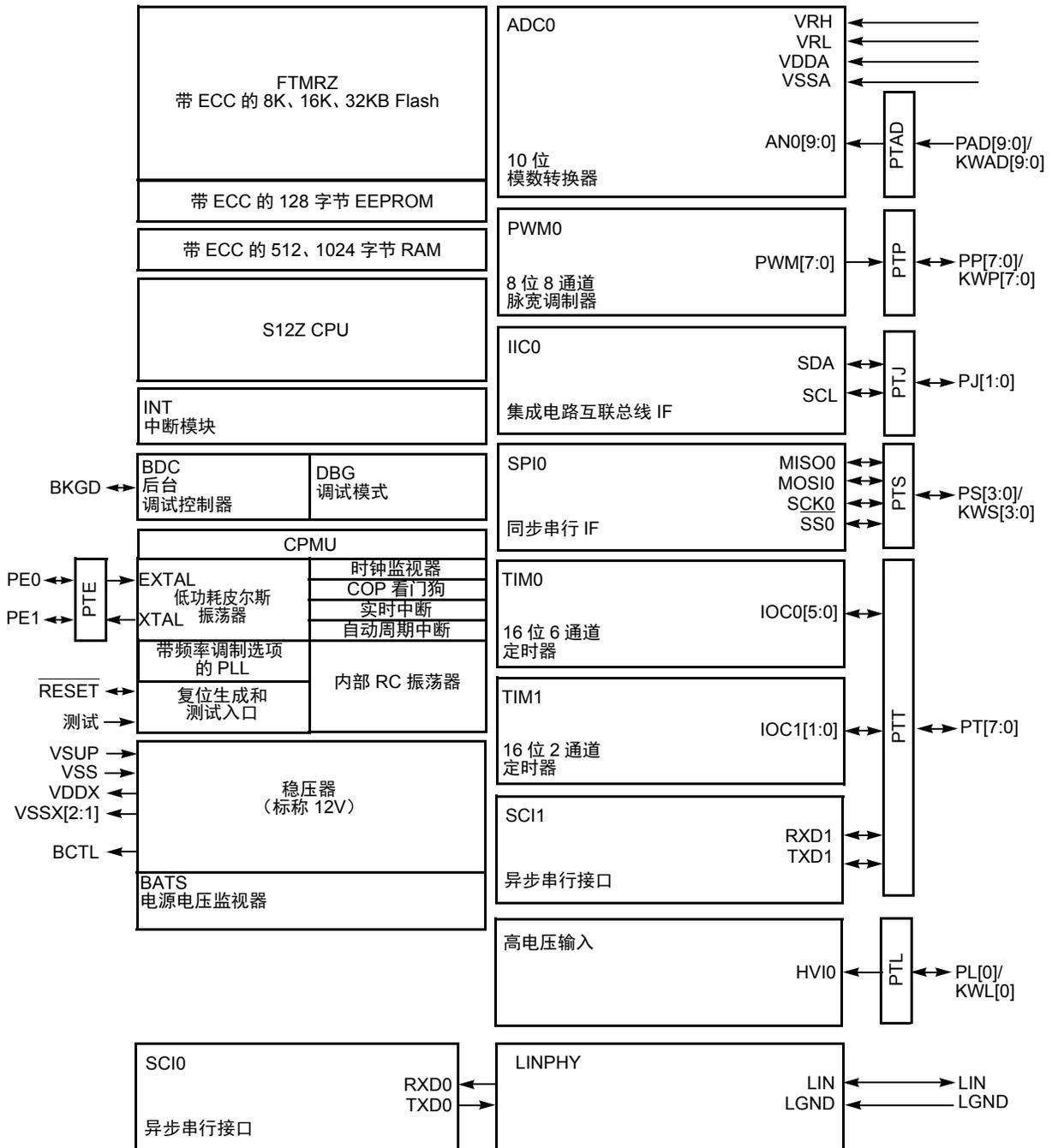
1.4.12 电源电压传感器 (BATS)

- 电源 (VSUP) 电压的监控
- 内部电阻分频器的内部 ADC 接口
- 过低或过高电压中断的生成

1.4.13 片上电压调节器系统 (VREG)

- 电压调节器
 - 由 VSUP 直接提供的线性稳压器
 - VSUP 上的低电压检测
 - 上电复位 (POR)
 - VDDX 域的低电压复位 (LVR)
 - 可外加镇流器以扩展电流能力和降低内部功耗
 - 能够同时为内部 MCU 和外部组件供电
 - 过温保护和中断
- 内部稳压器
 - 具有带隙参考的线性稳压器
 - VDDA 上的低电压检测
 - 上电复位 (POR) 电路
 - VDD 域的低电压复位

1.5 框图



框图给出了最大配置
并非所有引脚或所有外围设备在所有设备和封装上可用。
未显示重布选项。

图 1-1. MC9S12ZVL 系列框图

1.6 器件存储器映射

表 1-2 展示出器件寄存器内存分布。尽管这些模块在此设备系列上仅实例化一次，但仍以索引编码列示所有可在 S12 设备上多次实例化的模块。

表 1-2. 模块寄存器地址范围

地址	模块	大小 (字节)
0x0000–0x0003	器件 ID 寄存器 1.6.1 节, “器件 ID 分配”	4
0x0004–0x000F	保留	12
0x0010–0x001F	INT	16
0x0020–0x006F	保留	80
0x0070–0x008F	MMC	32
0x0090–0x00FF	保留 MMC	112
0x0100–0x017F	DBG	128
0x0180–0x01FF	保留	128
0x0200–0x037F	PIM	380
0x0380–0x039F	FTMRZ	32
0x03A0–0x03BF	保留	32
0x03C0–0x03CF	RAM ECC	16
0x03D0–0x03FF	保留	176
0x0400–0x042F	TIM1	48
0x0430–0x047F	保留	176
0x0480–0x04AF	PWM	48
0x04B0–0x05BF	保留	270
0x05C0–0x05EF	TIM0	48
0x05F0–0x05FF	保留	16
0x0600–0x063F	ADC0	64
0x0640–0x069F	保留	96
0x06C0–0x06DF	CPMU	32
0x06E0–0x06EF	保留	16
0x06F0–0x06F7	BATS	8
0x06F8–0x06FF	保留	8
0x0700–0x0707	SCI0	8
0x0708–0x070F	保留	8
0x0710–0x0717	SCI1	8
0x0718–0x077F	保留	104
0x0780–0x0787	SPI0	8
0x0788–0x07BF	保留	56

表 1-2. 模块寄存器地址范围

地址	模块	大小 (字节)
0x07C0–0x07C7	IIC0	8
0x07C8–0x097F	保留	440
0x0980–0x0987	LINPHY	8
0x0988–0x0FFF	保留	1672

附注

以上显示的保留寄存器空间并未分配给任何模块。将此寄存器空间保留是为将来使用。写入到这些位置将不起作用。对这些位置读取访问将返回零。

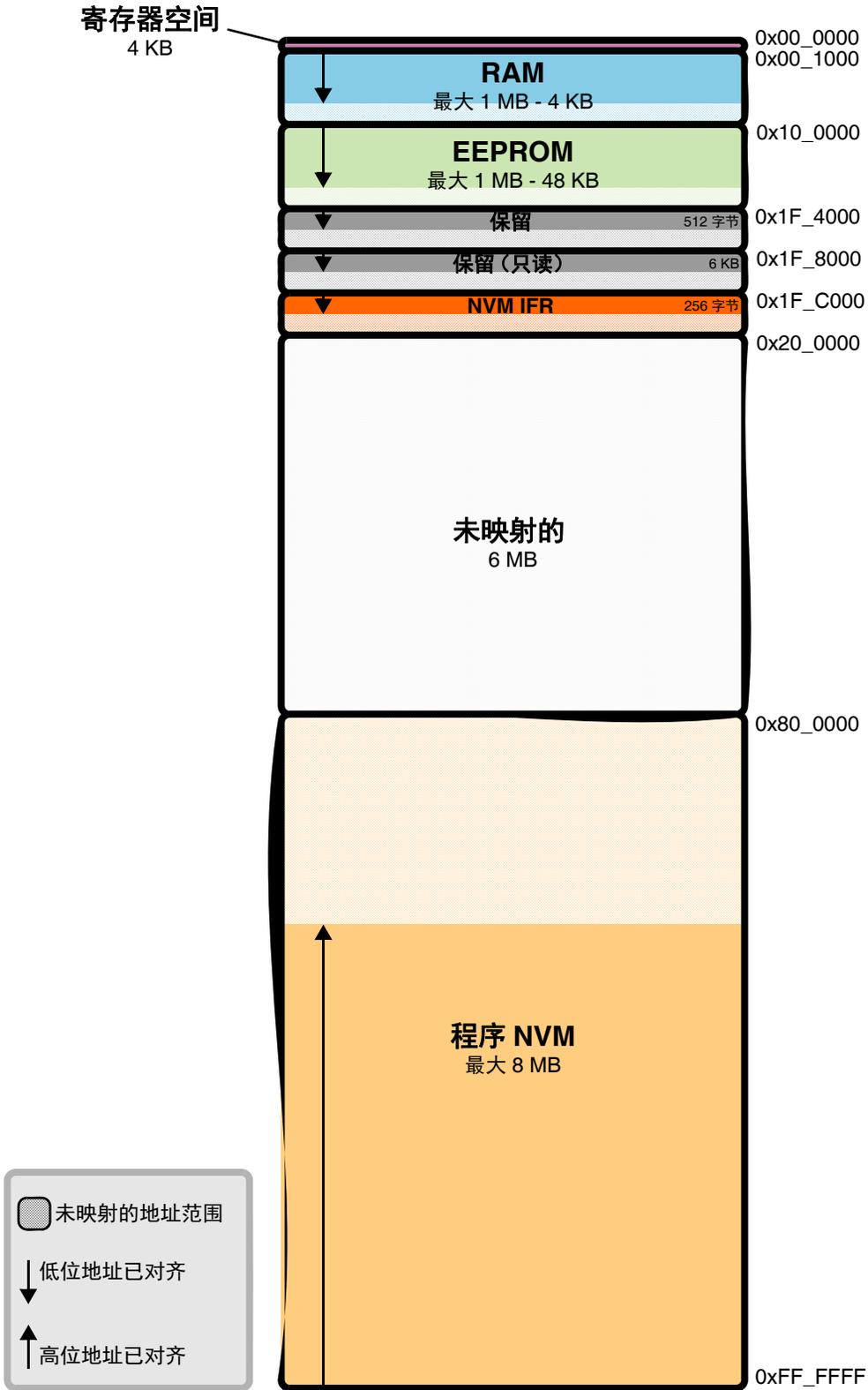


图 1-2. MC9S12ZVL 系列全局内存分布。（有关每个设备的详细信息，请参见 [表 1-1](#)）

1.6.1 器件 ID 分配

器件 ID 位于地址 0x0000-0x0003 处的四个 8 位寄存器中。只读值是芯片每一版本的唯一器件 ID。
表 1-3 显示分配的器件 ID 和掩模组编号。

表 1-3. 已分配器件 ID 编号

器件	掩模组编号	器件 ID
MC9S12ZVL32	N22G	0x04150000
MC9S12ZVL16	N22G	0x04150000
MC9S12ZVL8	N22G	0x04150000
MC9S12ZVLS32	N22G	0x04150000
MC9S12ZVLS16	N22G	0x04150000

1.7 信号说明和器件引脚分配

本节将描述片外连接的信号。其中包括引脚分配表、信号特性表和针对信号的详细讨论。设备级别上的内部模块间信号映射在 1.9 内部信号映射 中有所说明。

1.7.1 引脚分配概述

表 1-4 概述了 48 引脚和 32 引脚封装选项的可用端口。

表 1-4. 根据封装选项的端口可用性

端口	MC9S12ZVL		MC9S12ZVLS
	48 引脚 LQFP	32 引脚 LQFP	32 引脚 QFN-EP
端口 AD	PAD[9:0]	PAD[5:0]	PAD[5:0]
端口 E	PE[1:0]	PE[1:0]	PE[1:0]
端口 L (HVI)	PL0	PL0	PL0
端口 J	PJ[1:0]	-	-
端口 P	PP[7:0]	PP[7,5,3,1]	PP[7,5,3,1]
端口 S	PS[3:0]	PS[3:0]	PS[3:0]
端口 T	PT[7:0]	PT[2:0]	PT[1:0]
端口总和	35	20	19

附注

为避免电流从浮动输入引出，所有非压焊引脚应配置为输出或配置为使能上拉或下拉器件的输入

1.7.2 外部信号详细说明

本节介绍设备引脚处可用信号的特性。尽管模块在 MC9S12ZVL 系列上仅实例化一次，但与模块关联的信号名称可在索引 S12 上多次实例化。如果信号已包括通道编号，则在通道编号前插入索引。因此 AN_x_y 对应于 AN 实例 x，通道编号 y。

1.7.2.1 $\overline{\text{RESET}}$ — 外部复位信号

RESET 信号是低有效双向控制信号。当它为输入信号时，可将 MCU 初始化为可知的固定态；当 MCU 由内部功能导致复位，则它作为输出信号。该 RESET 引脚具有内部上拉器件。

1.7.2.2 TEST — 测试引脚

该输入引脚仅保留以用于出厂测试。该引脚具有内部下拉器件。

附注

在所有应用中，该测试引脚必须接地。

1.7.2.3 MODC — 模式 C 信号

MODC 信号用作复位期间 MCU 操作模式选择。该信号的状态在 $\overline{\text{RESET}}$ 上升沿处锁存至 MODC 位。退出复位后使能上拉器件。

1.7.2.4 PAD[9:0] / KWAD[9:0] — 端口 AD，ADC0 的输入引脚

PAD[9:0] 为通用输入或输出信号。每个信号可配置为中断输入 (KWAD[9:0]) 以便具有唤醒功能。这些信号均可单独使能上拉或下拉器件。复位期间和退出复位后禁用拉动式设备。

1.7.2.5 PE[1:0] — 端口 E I/O 信号

PE[1:0] 为通用输入或输出信号。信号可具有以每个引脚为基础而启用的下拉设备。退出复位后使能下拉器件。

1.7.2.6 PL0 — 端口 L 输入信号

PL0 为高压输入端口。信号可配置为中断输入，以便具有唤醒功能 (KWL[0])。引脚电压已被拆分并映射至 ADC 通道。

1.7.2.7 PJ[1:0] — 端口 P I/O 信号

PJ[1:0] 为通用输入或输出信号。这些信号均可单独使能上拉或下拉器件。复位期间和退出复位后启用拉动式设备。

1.7.2.8 PP[7:0] / KWP[7:0] — 端口 P I/O 信号

PP[7:0] 为通用输入或输出信号。每个信号可配置为中断输入 (KWP[7:0]) 以便具有唤醒功能。这些信号均可单独使能上拉或下拉器件。复位期间和退出复位后禁用拉动式设备。

1.7.2.9 PS[3:0] / KWS[3:0] — 端口 S I/O 信号

PS[3:0] 为通用输入或输出信号。每个信号可配置为中断输入 (KWS[3:0]) 以便具有唤醒功能。这些信号均可单独使能上拉或下拉器件。复位期间和退出复位后启用上拉设备。

1.7.2.10 PT[7:0] — 端口 T I/O 信号

PT[7:0] 为通用输入或输出信号。这些信号均可单独使能上拉或下拉器件。复位期间和退出复位后禁用拉动式设备。

1.7.2.11 AN0[9:0] — ADC0 输入信号

这些是模数转换器的模拟输入。ADC0 有 10 个连接到焊盘端口引脚的模拟输入通道。

1.7.2.12 VRH、VRL — ADC0 参考信号

VRH 和 VRL 是模数转换器的参考电压输入引脚。

1.7.2.13 SPI0 信号

1.7.2.13.1 $\overline{SS0}$ 信号

该信号与串行外设接口 SPI0 的从机选择 SS 功能关联。

1.7.2.13.2 SCK0 信号

该信号与串行外设接口 SPI0 的串行时钟 SCK 功能关联。

1.7.2.13.3 MISO0 信号

该信号与串行外设接口 SPI0 的 MISO 功能关联。该信号在主机模式下用作主机输入或在从机模式下用作从机输出。

1.7.2.13.4 MOSI0 信号

该信号与串行外设接口 SPI0 的 MOSI 功能关联。该信号在主机模式下用作主机输出或在从机模式下用作从机输入。

1.7.2.14 SCI[1:0] 信号

1.7.2.14.1 RXD[1:0] 信号

这些信号与串行通信接口 (SCI[1:0]) 的接收功能关联。

1.7.2.14.2 TXD[1:0] 信号

这些信号与串行通信接口 (SCI[1:0]) 的发送功能关联。

1.7.2.15 IIC0 信号

1.7.2.15.1 SCL0

此信号与 IIC0 模块的 SCL 功能相关。

1.7.2.15.2 SDA0

此信号与 IIC0 模块的 SDA 功能相关。

1.7.2.16 Timer0 IOC0[5:0] 信号

这些信号 IOC0[5:0] 与定时器 (TIM0) 模块的输入捕捉或输出比较功能关联。

1.7.2.17 Timer1 IOC1[1:0] 信号

这些信号 IOC1[1:0] 与定时器 (TIM0) 模块的输入捕捉或输出比较功能关联。

1.7.2.18 PWM[7:0] 信号

这些信号 PWM[7:0] 与 PWM 模块数字通道输出关联。

1.7.2.19 中断信号 — $\overline{\text{IRQ}}$ 和 $\overline{\text{XIRQ}}$

$\overline{\text{IRQ}}$ 为可屏蔽电平或下降沿触发输入。 $\overline{\text{XIRQ}}$ 为非屏蔽电平触发中断。

1.7.2.20 振荡器和时钟信号

1.7.2.20.1 振荡器信号 — EXTAL 和 XTAL

EXTAL 和 XTAL 为晶振驱动器和外部时钟引脚。复位时，所有设备时钟均来自内部 PLLCLK，并独立于 EXTAL 和 XTAL。XTAL 为振荡器输出。EXTAL 和 XTAL 信号与 PE[1:0] 相关。

1.7.2.20.2 ECLK

此信号与总线时钟的输出关联 (ECLK)。

附注

该特性仅用于在室温下调试。
它不得在应用中用于时钟外部器件。

1.7.2.21 BDC 和调试信号

1.7.2.21.1 BKGD 后台调试信号

BKGD 信号用作后台调试通信的伪开漏信号。BKGD 信号具有内部上拉器件。

1.7.2.21.2 DBGEEV 外部事件输入

该信号为 DBG 外部事件输入。它仅为输入。在 DBG 模块内，该信号允许外部事件强制进行状态定序器转换。外部事件信号处的下降沿构成事件。上升沿不起作用。事件的最大频率为内部内核总线频率的一半。

1.7.2.22 LIN 物理层信号

1.7.2.22.1 LIN

将此焊盘连接到单线 LIN 数据总线。

1.7.2.22.2 LPTXD

此为 LIN 物理层发送器输入信号。

1.7.2.22.3 LPRXD

此为 LIN 物理层接收器输出信号。

1.7.2.22.4 LPDR1

此为用于调试的 LIN LP0DR1 寄存器位，在指定引脚处可见。

1.7.2.23 BCTL

BCTL 是片上调压器的镇流器连接。可提供 VDDX 和 VDDA 电源的外部 PNP 晶体管的基极电流。

1.7.3 电源引脚

以下介绍电源和接地引脚。因为快速信号转换导致瞬间的大电流供给的要求，所以需要添加高频特性的旁通电容器，并将其放置在尽可能接近 MCU 的地方。

附注

所有接地引脚在应用中必须连接在一起。

1.7.3.1 VDDX、VSSX1、VSSX2 数字 I/O 功率和接地引脚

VDDX 是用于提供数字 I/O 驱动器的稳压器输出。

VSSX1 和 VSSX2 引脚是数字 I/O 驱动器的接地引脚。

在 VDDX、VDDX2 上的旁通要求取决于加载的 MCU 引脚的力度。

1.7.3.2 VDDA、VSSA ADC0 的电源引脚

这些是模数转换器和电压调节器的电源和接地引脚。

1.7.3.3 VSS — 内核接地引脚

标称 1.8V 的电压电源由内部电压调节器生成。返回电流路径通过 VSS 引脚。

1.7.3.4 LGND — LINPHY 接地引脚

LGND 为 LIN 物理层 LINPHY 的接地引脚。此引脚必须连接至电路板接地，即便是未使用 LINPHY。

1.7.3.5 VSUP 电压调节器的电压电源引脚

VSUP 为片上电压调节器的 12V/18V 电源电压引脚。这是电压电源输入，电压调节器由此生成片上电压电源。必须添加外部保护，避免电池反接。

1.8 器件引脚分配

MC9S12ZVL 系列 可采用 48 引脚封装和 32 引脚封装。圆括号内图 1-3 至图 1-5 的信号表示备选模块布线引脚。

暴露的焊盘必须连接至 PCB 上的接地接触垫。暴露的焊盘在封装内有一条到 VSSFLAG 的电气连接（VSSX 裸片连接）。

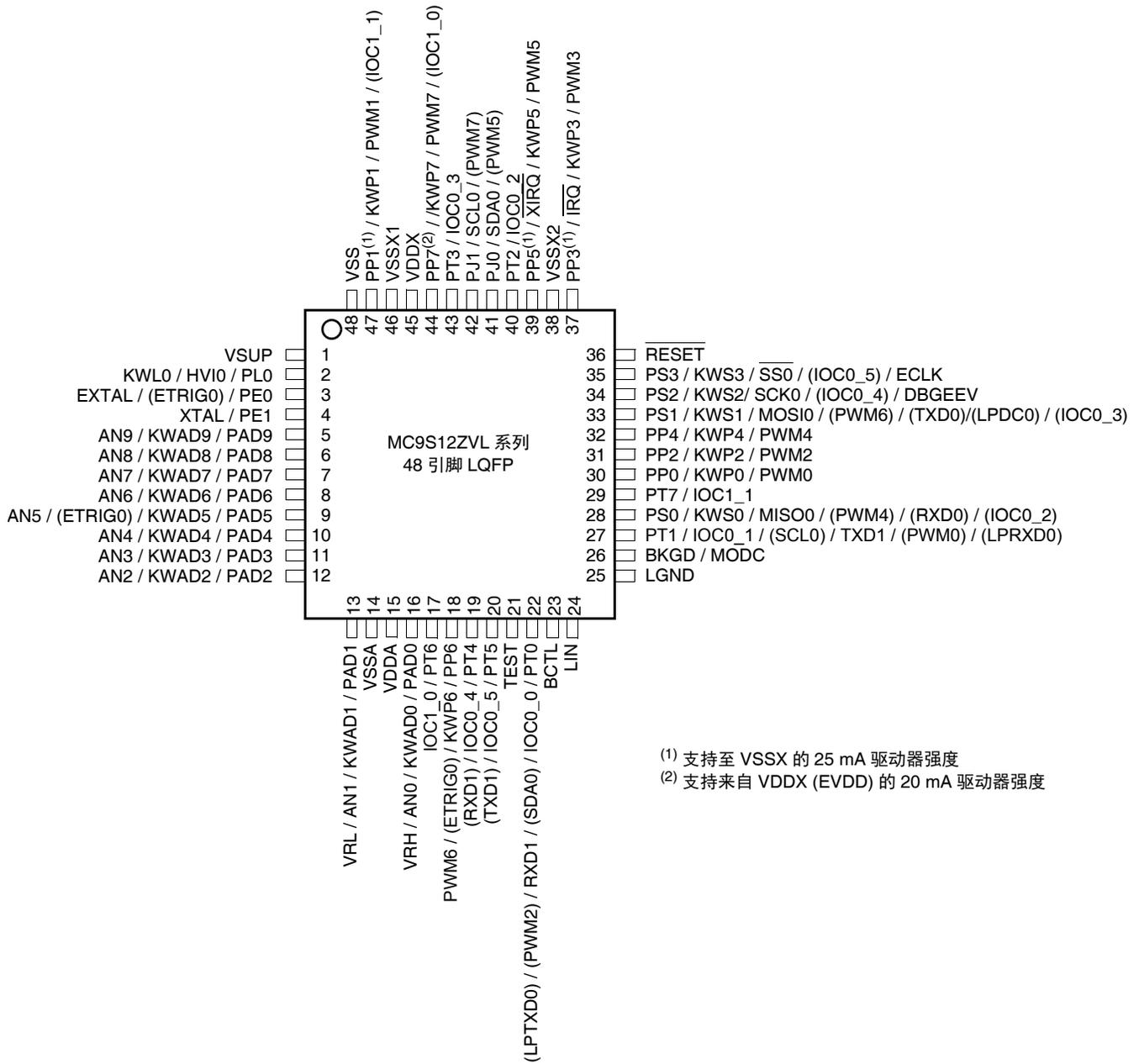


图 1-3. MC9S12ZVL 系列 48 引脚 LQFP 引脚输出

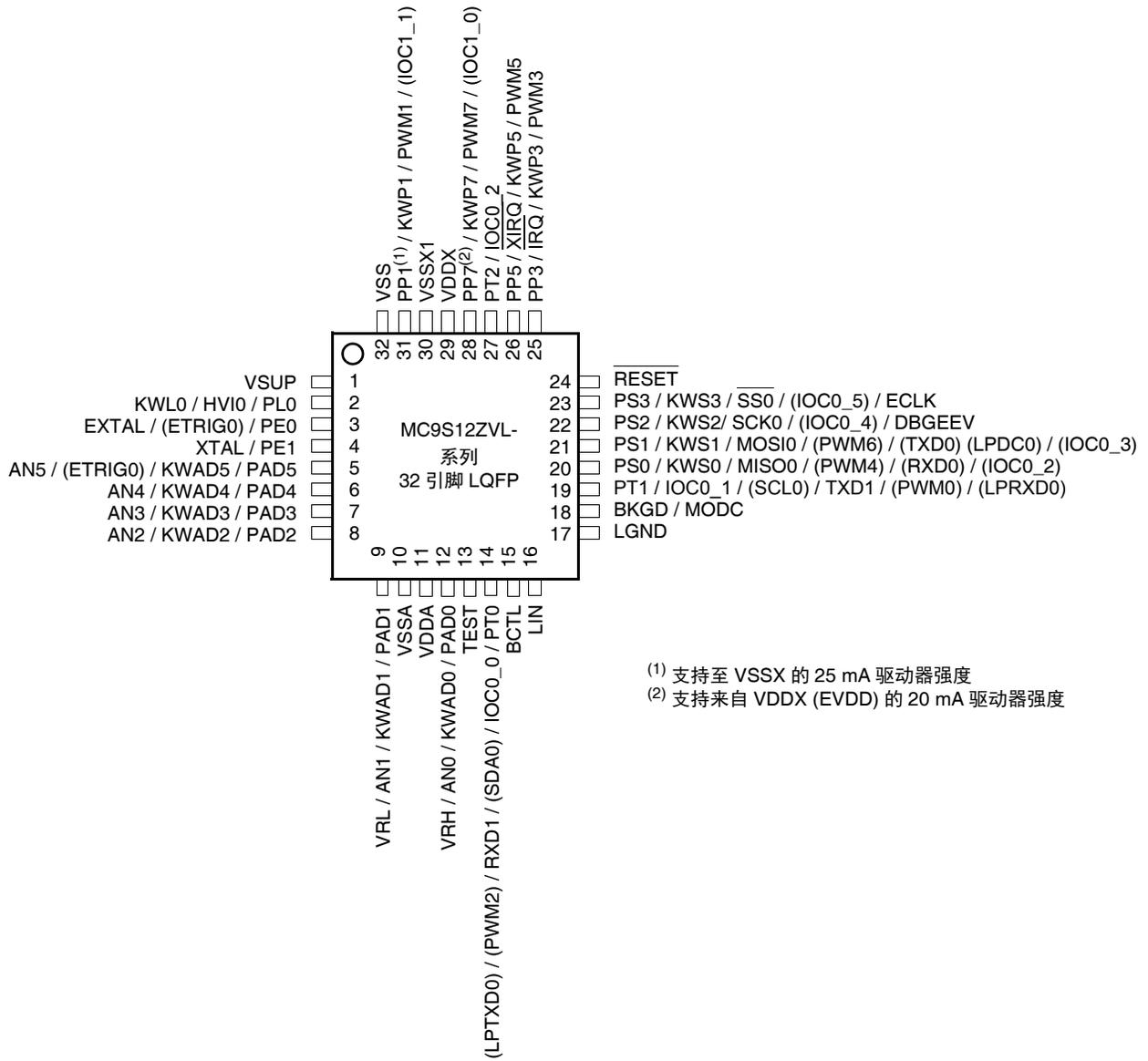


图 1-4. MC9S12ZVL 系列 32 引脚 LQFP 引脚输出

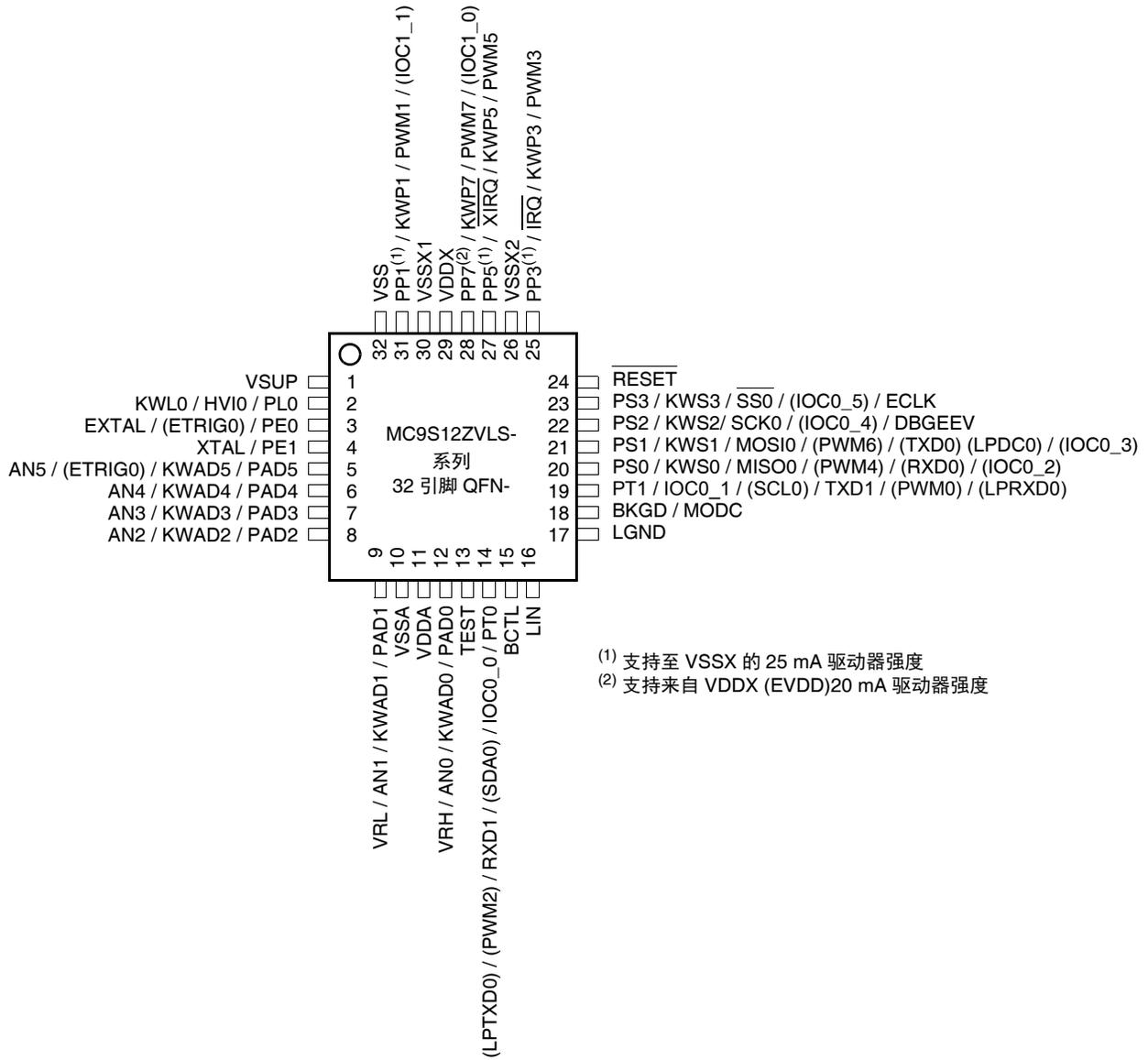


图 1-5. MC9S12ZVLS 32 引脚 QFN 引脚分配

表 1-5. 引脚汇总

LQFP		QFN	引脚	功能					电源	内部上拉电阻器	
48	32	32		第 1 个功能	第 2 个功能	第 3 个功能	第 4 个功能	第 5 个功能		CTRL	复位状态
1	1	1	VSUP	—	—	—	—	—	V_{SUP}	—	—

表 1-5. 引脚汇总

LQFP		QFN	引脚	功能					电源	内部上拉电阻器	
48	32	32		第 1 个功能	第 2 个功能	第 3 个功能	第 4 个功能	第 5 个功能		CTRL	复位状态
2	2	2	PL0	HVI0	KWL0	—	—	—	V _{DDX}	—	—
3	3	3	PE0	ETRIG0	EXTAL	—	—	—	V _{DDX}	PERE/ PPSE	向下
4	4	4	PE1	XTAL	—	—	—	—	V _{DDX}	PERE/ PPSE	向下
5	—	—	PAD9	KWAD9	AN9	—	—	—	V _{DDA}	PERADL/ PPSADL	关
6	—	—	PAD8	KWAD8	AN8	—	—	—	V _{DDA}	PERADL/ PPSADL	关
7	—	—	PAD7	KWAD7	AN7	—	—	—	V _{DDA}	PERADH / PPSADH	关
8	—	—	PAD6	KWAD6	AN6	—	—	—	V _{DDA}	PERADH / PPSADH	关
9	5	5	PAD5	KWAD5	ETRIG0	AN5	—	—	V _{DDA}	PERADL/ PPSADL	关
10	6	6	PAD4	KWAD4	AN4	—	—	—	V _{DDA}	PERADL/ PPSADL	关
11	7	7	PAD3	KWAD3	AN3	—	—	—	V _{DDA}	PERADL/ PPSADL	关
12	8	8	PAD2	KWAD2	AN2	—	—	—	V _{DDA}	PERADL/ PPSADL	关
13	9	9	PAD1	KWAD1	AN1	VRL	—	—	V _{DDA}	PERADL/ PPSADL	关
14	10	10	VSSA	—	—	—	—	—	—	—	—
15	11	11	VDDA	—	—	—	—	—	V _{DDA}	—	—
16	12	12	PAD0	KWAD0	AN0	VRH	—	—	V _{DDA}	PERADL/ PPSADL	关
17	—	—	PT6	IOC1_0	—	—	—	—	V _{DDX}	PERT/ PPST	关
18	—	—	PP6	KWP[6]	ETRIG0	PWM6	—	—	V _{DDX}	PERP/ PPSP	关
19	—	—	PT4	IOC0_4	RXD1	—	—	—	V _{DDX}	PERT/ PPST	关
20	—	—	PT5	IOC0_5	TXD1	—	—	—	V _{DDX}	PERT/ PPST	关
21	13	13	TEST	—	—	—	—	—	—	RESET	向下

表 1-5. 引脚汇总

LQFP		QFN	引脚	功能					电源	内部上拉电阻器	
48	32	32		第 1 个功能	第 2 个功能	第 3 个功能	第 4 个功能	第 5 个功能		CTRL	复位状态
22	14	14	PT0	IOC0_0	SDA0	RXD1	PWM2	LPTXD0	V _{DDX}	PERT/ PPST	关
23	15	15	BCTL	—	—	—	—	—	—	—	—
24	16	16	LIN	—	—	—	—	—	—	—	—
25	17	17	LGND	—	—	—	—	—	LGND	—	—
26	18	18	BKGD	MODC	—	—	—	—	V _{DDX}	—	向上
27	19	19	PT1	IOC0_1	SCL0	TXD1	PWM0	LPRXD0	V _{DDX}	PERT/ PPST	关
28	20	20	PS0	KWS0	MISO0	PWM4	RXD0	IOC0_2	V _{DDX}	PERS/ PPSS	向上
29	—	—	PT7	IOC1_1	—	—	—	—	V _{DDX}	PERT/ PPST	关
30	—	—	PP0	KWP0	PWM0	—	—	—	V _{DDX}	PERP/ PPSP	关
31	—	—	PP2	KWP2	PWM2	—	—	—	V _{DDX}	PERP/ PPSP	关
32	—	—	PP4	KWP4	PWM4	—	—	—	V _{DDX}	PERP/ PPSP	关
33	21	21	PS1	KWS1	MOSI0	PWM6	TXD0 LPDC0	IOC0_3	V _{DDX}	PERS/ PPSS	向上
34	22	22	PS2	KWS2	SCK0	IOC0_4	DBGEEV	—	V _{DDX}	PERS/ PPSS	向上
35	23	23	PS3	KWS3	$\overline{SS0}$	IOC0_5	ECLK	—	V _{DDX}	PERS/ PPSS	向上
36	24	24	\overline{RESET}	—	—	—	—	—	V _{DDX}	TEST 引脚	向上
37	25	25	PP3 ⁽¹⁾	\overline{IRQ}	KWP3	PWM3	—	—	V _{DDX}	PERP/ PPSP	关
38	—	26	VSSX2	—	—	—	—	—	V _{DDX}	—	—
39	26	27	PP5 ⁽¹⁾	\overline{XIRQ}	KWP5	PWM5	—	—	V _{DDX}	PERP/ PPSP	关
40	27	—	PT2	IOC0_2	—	—	—	—	V _{DDX}	PERT/ PPST	关
41	—	—	PJ0	SDA0	PWM5	—	—	—	V _{DDX}	PERTJ/ PPSJ	向上
42	—	—	PJ1	SCL0	PWM7	—	—	—	V _{DDX}	PERJ/ PPSJ	向上

表 1-5. 引脚汇总

LQFP		QFN	功能						电源	内部上拉电阻器	
48	32	32	引脚	第 1 个功能	第 2 个功能	第 3 个功能	第 4 个功能	第 5 个功能		CTRL	复位状态
43	—	—	PT3	IOC0_3	—	—	—	—	V _{DDX}	PERT/PPST	关
44	28	28	PP7 ⁽²⁾	KWP7	PWM7	IOC1_0	—	—	V _{DDX}	PERP/PPSP	关
45	29	29	VDDX	—	—	—	—	—	V _{DDX}	—	—
46	30	30	VSSX1	—	—	—	—	—	V _{SSX}	—	—
47	31	31	PP1 ⁽³⁾	KWP1	PWM1	IOC1_1	—	—	V _{DDX}	PERP/PPSP	关
48	32	32	VSS	—	—	—	—	—	—	—	—

1. 至 VSSX 的 25 mA 驱动器强度，仅可采用 S12ZVL 48 引脚封装和用于 S12ZVLS 器件

2. 来自 VDDX (EVDD) 的 20 mA 驱动器强度

3. 至 VSSX 的 25 mA 驱动器强度

1.9 内部信号映射

本节指定设备级别模块之间信号的映射。

1.9.1 ADC0 连接

1.9.1.1 ADC0 参考电压

ADC0 参考电压信号 VRH_1 映射至 VDDA；VRH_0 映射至 PAD0；VRL_1 映射至 VSSA 和 VRL_0 映射至 PAD1。

1.9.1.2 ADC0 外部触发器输入连接

ADC0 模块包括一个外部触发器输入 ETRIG0。外部触发器允许用户将 ADC0 转换同步至外部触发器事件。

1.9.1.3 ADC0 内部通道

ADC0 内部通道映射如表 1-6 所示。

表 1-6. ADC0 内部通道的用途

ADCCMD_1 CH_SEL[5:0]						ADC 通道	用途
0	0	1	0	0	0	Internal_0	ADC 温度传感器
0	0	1	0	0	1	Internal_1	带隙电压 VBG 或芯片温度传感器 VHT, 请参阅 CPMU 温度传感器温度控制寄存器 (CPMUHTCTL)
0	0	1	1	0	0	Internal_4	BATS V _{SUP} 感应电压
0	0	1	1	0	1	Internal_5	高电压输入端口 L0

1.9.2 BDC 时钟源连通性

将 BDC 时钟、BDCCLK 映射到在 CPMU 模块中生成的 IRCCLK。

将 BDC 时钟、BDCFCLK 映射到在 CPMU 模块中生成的设备总线时钟。

1.9.3 FTMRZ 连接

flash 模块的 soc_erase_all_req 输入直接由来自 BDC ERASE_FLASH 命令的 BDC 擦除 flash 请求驱动。

1.9.4 CPMU 连通性

CPMU 中生成的 API 时钟未映射至 MC9S12ZVL 系列中的器件引脚。

1.10 工作模式

MCU 可在不同模式下操作。在 1.10.1 芯片配置模式中有介绍。

当不需要完整系统性能时，为了节能，MCU 可在不同的功率模式下操作。在 1.10.3 低功耗模式中有介绍。

当后台调试模块激活以加快调试时，某些模块具有冻结模块状态的软件可编程选项。这称为模块级冻结模式。

1.10.1 芯片配置模式

MCU 的不同模式和加密状态影响调试功能（已使能或已禁用）。

退出复位后的操作模式取决于复位（表 1-7）期间 MODC 信号的状态。在 MODE 寄存器中的 MODC 位显示当前的操作模式，并在操作期间提供有限的模式切换。MODC 信号的状态在 RESET 的上升沿被锁存到此位。

表 1-7. 芯片模式

芯片模式	MODC
正常单芯片	1
特殊单芯片	0

1.10.1.1 正常单芯片模式

该模式用于正常器件操作。复位后执行片上存储器内的代码（需要对复位向量正确编程）。从内部存储器执行处理器程序。为了避免不可预测的行为，如果已擦除 FLASH，请勿在正常单芯片模式下启动器件。

1.10.1.2 特殊单芯片模式

此模式用于调试操作、启动或与加密相关的操作。当在此模式中离开复位时，后台调试模式 (BDM) 处于活动状态。

1.10.2 调试模式

复位到特殊单芯片模式时，可通过 BDC 模块或直接激活后台调试模式 (BDM)。详情可参见 BDC 模块章节。

代码运行或位于断点处时，使用调试器写入内部存储器位置可更改应用代码流。

MC9S12ZVL 系列支持芯片处于停止模式时 BDC 的通信。在停止模式期间，写入控制寄存器可改变操作并产生意外结果。因此建议在停止模式期间不要使用调试器配置外围设备。

1.10.3 低功耗模式

该器件有两个动态功率模式（运行和等待）和两个静态低功率模式（停止和伪停止）。有关详细说明，请参阅 CPMU 一节。

- 动态功率模式：运行
 - RUN 模式是对整个设备提供时钟的主要完整性能操作模式。用户可通过选择时钟源和锁相环 (PLL) 频率配置器件操作速度。为省电，必须禁用不使用的外设。
- 动态功率模式：等待
 - 当 CPU 执行 WAI 指令时进入此模式。在该模式下，CPU 不执行任何指令。关闭内部 CPU 时钟。在系统等待模式下，所有外设均可激活。为进一步减少功耗，外围设备可单独关闭其本地时钟。无论是通过 CCR 位在本地或全局断言 RESET、XIRQ、IRQ 或任何其他未屏蔽的中断，均可结束系统等待模式。
- 静态功率模式：

除非 NVM 命令生效，否则将遵循 CPU STOP 指令进入静态功率（停止）模式。当无 NVM 命令生效时，确认停止请求，且设备进入停止或伪停止模式。

 - 伪停止：在此模式下，系统时钟停止，但振荡器仍在运行，并可能启用实时中断 (RTI)、看门狗 (COP) 和自动周期中断 (API)。其它外设停止工作。与 STOP 模式相比，伪停止模式消耗更多电流，但随着振荡器继续运行，从此模式全速唤醒时间明显缩短。
 - 停止：在此模式下，停止振荡器并关闭时钟。计数器和分频器保持冻结。自动周期中断 (API) 可能保持活动状态，但功耗非常低。如果在停止模式下使能 BDC，则 VREG 将保持全性能模式且 CPMU 将继续在运行模式下工作。在 BDC 使能且 BDCCIS 比特置位的情况下，所有时钟都将保持激活以允许 BDC 访问内部外设。如果 BDC 使能且 BDCCIS 清零，则 BDCSI 时钟将保持激活，但总线和内核时钟禁用。

1.11 加密

MCU 加密机制可阻止未经授权访问 Flash 存储器。必须强调的是，加密部分必须取决于应用程序代码。一个极端示例就是可以输出内部存储器内容的应用程序代码。这是违背加密初衷的。另外，如果应用程序有通过串行端口下载代码的功能，然后执行该代码（如包含引导载入程序代码的应用程序），即便微控制器处于加密状态，也有可能使用此功能读取 EEPROM 和 Flash 存储器内容。在此示例中，在下载任何代码前均要求提供响应认证可提升应用程序的加密性。

设备安全性的详细信息在 Flash 框说明中也有所介绍。

1.11.1 特性

S12Z 芯片系列的加密特性为：

- 阻止外部访问非易失性存储器的（Flash、EEPROM）内容
- 限制执行 NVM 命令

1.11.2 保护微控制器

通过对 Flash 存储器阵列选项 / 加密字节中的加密位进行重新编程就可保护芯片。这些非易失性比特通过复位和掉电来确保器件的加密。

可像任何其他 Flash 位置的字节一样擦除此字节并对其重新编程。该字节的两个位用于加密 (SEC[1:0])。在复位期间，该字节的内容被复制到 Flash 加密寄存器 (FSEC)。

加密位 SEC[1:0] 的含义如表 1-8 中所示。出于安全考虑，器件加密状态由两个位控制。要将器件置于未加密模式，必须将这些位编程为 SEC[1:0] = ‘10’。所有其他组合均将器件置于已加密模式。推荐将器件处于加密状态的设定值与解密设置值相反，即 SEC[1:0] = ‘01’。

表 1-8. 加密位

SEC[1:0]	加密状态
00	1 (已加密)
01	1 (已加密)
10	0 (未加密)
11	1 (已加密)

附注

有关安全性字节的更多详细信息，请参阅 Flash 框图说明。

1.11.3 已加密微控制器的操作

为器件提供保护可阻止对 EEPROM 和 Flash 存储器内容的未授权访问。加密后的操作对微控制器具有以下影响：

1.11.3.1 正常单芯片模式 (NS)

- 完全禁止后台调试控制器 (BDC) 操作。
- 限制执行 Flash 和 EEPROM 命令（在 Flash 框图说明中有介绍）。

1.11.3.2 特殊单芯片模式 (SS)

- 限制后台调试控制器 (BDC) 命令
- 限制执行 Flash 和 EEPROM 命令（在 Flash 框图说明中有介绍）。

在特殊单芯片模式下，器件在复位后处于有效的 BDM。在已加密器件的特殊单芯片模式下，仅 BDC 整体删除、BDC 控制和状态寄存器命令可用。对存储器映射资源的 BDC 访问禁用。BDC 仅可用于擦除 EEPROM 和 Flash 存储器，而不允许访问存储器的内容。

1.11.4 微控制器的解密

可用三种不同的方法将微控制器解密：

1. 后门密钥访问
2. 对加密位重新编程
3. 彻底擦除存储器

1.11.4.1 使用后门密钥来解密 MCU

在正常单芯片模式下，使用后门密钥访问方法可暂时禁止加密保护。此方法需要：

- 已将后门密钥编程为有效值
- 选择“使能”Flash 选项 / 加密字节中的 KEYEN[1:0] 位。
- 编程到微控制器的应用程序能够写入后门密钥位置

后门密钥值本身通常不会存储在应用数据中，这意味着应用程序必须能够从外部源接收后门密钥值（例如通过串行端口）

通过后门密钥接入法允许调试已加密微控制器而不必擦除 Flash。这对故障分析尤其重要。

附注

不允许后门密钥字拥有值 0x0000 或 0xFFFF。

1.11.5 对加密位重新编程

还可通过擦除 Flash 选项 / 安全性字节中的安全性位，并将其重新编程为未受保护的值得来禁用安全性。由于擦除操作将擦除整个扇区 (0x7F_FE00–0x7F_FFFF)，因此后门密钥和中断向量也将被擦除；不建议在正常单芯片模式下使用此方法。如果包含 Flash 选项 / 加密字节的 Flash 扇区未受到保护，那么应用软件只能擦除 Flash 选项 / 加密字节并对其进行编程（请参阅 Flash 保护）。因此，Flash 保护是阻止此方法的一种有用方式。下次复位后，在将安全性位编程为不安全值后，微控制器则进入不安全状态。

此方法需要：

- 之前编程到微控制器的应用软件能够擦除 Flash 选项 / 加密字节并对其进行编程。
- 包含 Flash 选项 / 加密字节的 Flash 扇区没有写保护。

1.11.6 彻底擦除存储器

擦除整个 EEPROM 和 Flash 存储器的内容可解密微控制器。如果已成功完成 ERASE_FLASH，则 Flash 将解密器件，并对加密字节自动编程。

1.12 复位和中断

1.12.1 复位

复位源和向量位置表 1-9. 列示所是复位源和向量位置。在第 8 章，“S12 时钟、复位和电源管理单元 (S12CPMU_UHV_V5)” 中详细介绍复位。

表 1-9. 复位源和向量位置

向量地址	复位源	CCR 掩码	本地使能
0xFFFFFC	上电复位 (POR)	无	无
	低电压复位 (LVR)	无	无
	外部引脚 $\overline{\text{RESET}}$	无	无
	时钟监视器复位	无	CPMUOSC 中的 OSCE 位和 CPMUOSC2 寄存器中的 OMRE 位
	COP 看门狗复位	无	CPMUCOP 寄存器中的 CR[2:0]

1.12.2 中断向量

表 1-10 列出了以优先级默认顺序排列的中断源和向量。中断模块说明可重新安置向量的中断向量基准寄存器 (IVBR)。

表 1-10. 中断向量位置 (第 1 页, 共 3 页)

向量地址 ⁽¹⁾	中断源	CCR 掩码	本地使能	从 STOP 唤醒	从 WAIT 唤醒
向量基准 + 0x1F8	页面 1 中不可执行的操作码陷阱 (SPARE)	无	无	-	-
向量基准 + 0x1F4	页面 2 中不可执行的操作码陷阱 (TRAP)	无	无	-	-
向量基准 + 0x1F0	软件中断指令 (SWI)	无	无	-	-
向量基准 + 0x1EC	系统调用中断指令 (SYS)	无	无	-	-
向量基准 + 0x1E8	机器异常	无	无	-	-
向量基准 + 0x1E4	保留				
向量基准 + 0x1E0	保留				
向量基准 + 0x1DC	伪中断	—	无	-	-
向量基准 + 0x1D8	\overline{X} IRQ 中断请求	X 位	无	是	是
向量基准 + 0x1D4	\overline{I} RQ 中断请求	I 位	IRQCR(IRQEN)	是	是
向量基准 + 0x1D0	RTI 超时中断	I 位	CPMUINT (RTIE)	请参见 CPMU 一节	是
向量基准 + 0x1CC	TIM0 定时器通道 0	I 位	TIM0TIE (C0I)	无	是
向量基准 + 0x1C8	TIM0 定时器通道 1	I 位	TIM0TIE (C1I)	无	是
向量基准 + 0x1C4	TIM0 定时器通道 2	I 位	TIM0TIE (C2I)	否	是
向量基准 + 0x1C0	TIM0 定时器通道 3	I 位	TIM0TIE (C3I)	否	是
向量基准 + 0x1BC	TIM0 定时器通道 4	I 位	TIM0TIE (C4I)	否	是
向量基准 + 0x1B8	TIM0 定时器通道 5	I 位	TIM0TIE (C5I)	否	有
向量基准 + 0x1B4 到 向量基准 + 0x1B0	保留				
向量基准 + 0x1AC	TIM0 定时器溢出	I 位	TIM0TSCR2(TOI)	否	有
向量基准 + 0x1A8 到 向量基准 + 0x1A4	保留				
向量基准 + 0x1A0	SPI0	I 位	SPI0CR1 (SPIE, SPTIE)	否	是
向量基准 + 0x19C	SCI0	I 位	SCI0CR2 (TIE, TCIE, RIE, ILIE) SCI0ACR1 (RXEDGIE, BERRIE, BKDIE)	仅限 RXEDGIF	有

表 1-10. 中断向量位置 (第 2 页, 共 3 页)

向量地址 ⁽¹⁾	中断源	CCR 掩码	本地使能	从 STOP 唤醒	从 WAIT 唤醒
向量基准 + 0x198	SCI1	1 位	SCI1CR2 (TIE, TCIE, RIE, ILIE) SCI1ACR1 (RXEDGIE, BERRIE, BKDIE)	仅限 RXEDGIF	有
向量基准 + 0x194 到 向量基准 + 0x190	保留				
向量基准 + 0x18C	ADC0 错误	1 位	ADC0EIE (IA_EIE, CMD_EIE, EOL_EIE, TRIG_EIE, RSTAR_EIE, LDOK_EIE) ADC0IE(CONIF_OIE)	无	是
向量基准 + 0x188	ADC0 转换序列中止	1 位	ADC0IE(SEQAD_IE)	无	是
向量基准 + 0x184	ADC0 转换完成	1 位	ADC0CONIE[15:0]	否	是
向量基准 + 0x180	振荡器状态中断	1 位	CPMUINT (OSCIE)	否	是
向量基准 + 0x17C	PLL 锁定中断	1 位	CPMUINT (LOCKIE)	否	是
向量基准 + 0x178 到 向量基准 + 0x174	保留				
向量基准 + 0x170	RAM 错误	1 位	EECIE (SBEEIE)	无	是
向量基准 + 0x16C 到 向量基准 + 0x168	保留				
向量基准 + 0x164	Flash 错误	1 位	FERCNFG (SFDIE)	否	是
向量基准 + 0x160	Flash 命令	1 位	FCNFG (CCIE)	否	是
向量基准 + 0x15C 到 向量基准 + 0x148	保留				
向量基准 + 0x144	LINPHY 过流中断	1 位	LPPIE (LPDTIE, LPOCIE)	无	有
向量基准 + 0x140	BATS 电源电压监测器中断	1 位	BATIE (BVHIE, BVLIE)	否	是
向量基准 + 0x13C 到 向量基准 + 0x128	保留				
向量基准 + 0x124	端口 S 中断	1 位	PIES(PIES[3:0])	有	有
向量基准 + 0x120 到 向量基准 + 0x110	保留				
向量基准 + 0x10C	端口 P 中断	1 位	PIEP(PIEP[7:0])	有	有
向量基准 + 0x108	端口 P 过流中断	1 位	OCIEP (OCIEP7, OCIEP5, OCIEP3, OCIEP1)	无	有
向量基准 + 0x104	低电压中断 (LVI)	1 位	CPMUCTRL (LVIE)	否	是

表 1-10. 中断向量位置 (第 3 页, 共 3 页)

向量地址 ⁽¹⁾	中断源	CCR 掩码	本地使能	从 STOP 唤醒	从 WAIT 唤醒
向量基准 + 0x100	自激周期性中断 (API)	1 位	CPMUAPICTRL (APIE)	是	有
向量基准 + 0x0FC	高温中断	1 位	CPMUHTCTL(HTIE)	否	有
向量基准 + 0x0F8	保留				
向量基准 + 0x0F4	端口 AD 中断	1 位	PIEADH(PIEADH[1:0]) PIEADL(PIEADL[7:0])	是	有
向量基准 + 0x0F0 到 向量基准 + 0x0C4	保留				
向量基准 + 0x0C0	端口 L 中断	1 位	PIEL(PIEL[0])	有	有
向量基准 + 0x0BC 到 向量基准 + 0x0B0	保留				
向量基准 + 0x0AC	TIM1 定时器通道 0	1 位	TIM1TIE (C0I)	否	有
向量基准 + 0x0A8	TIM1 定时器通道 1	1 位	TIM1TIE (C1I)	否	有
向量基准 + 0x0A4 到 向量基准 + 0x090	保留				
向量基准 + 0x08C	TIM1 定时器溢出	1 位	TIM1TSCR2 (TOI)	否	有
向量基准 + 0x088 到 向量基准 + 0x064	保留				
向量基准 + 060	IIC	1 位	IBCR (IBIE)	无	有
向量基准 + 0x05C 到 向量基准 + 0x10	保留				

1. 基于 15 位向量地址

1.12.3 复位效果

发生复位时，对 MCU 寄存器和控制位进行初始化。有关寄存器复位状态的信息，请参阅各模块章节。

在每次复位时，Flash 模块执行复位序列以加载 Flash 配置寄存器。

1.12.3.1 Flash 配置复位序列相位

在每次复位时，从 Flash 存储器加载配置信息到 Flash 模块寄存器时，Flash 模块将暂时停止 CPU 运行。如果在复位过程中检测到双比特，那么在离开复位时 Flash 模块保护和加密可能激活。在 Flash 模块说明中对此有详细介绍。

1.12.3.2 在 Flash 命令生效时复位

如果在执行任何 Flash 命令时发生复位，那么此命令将立即被中止。此时无法保证所编程字或所擦除扇区 / 模块的状态。

1.12.3.3 I/O 引脚

有关所有外围设备模块端口复位配置的信息，请参阅 PIM 一节。

1.12.3.4 RAM

按照复位时的功率，将系统 RAM 阵列（包括其 ECC 并发）初始化。

除了上电复位，发生复位并不改变 RAM 的内容。

1.13 模块设备级别相关性

1.13.1 COP 配置

在复位期间，从全局地址 0xFF_FE0E 的 Flash 配置字段字节加载 CPMUCOP 寄存器中的 COP 超时位 CR[2:0] 和 WCOP 位。请参阅编码的表 1-11 和表 1-12。

表 1-11. 初始 COP 配置

FOPT 寄存器中的 NV[2:0]	COPCTL 寄存器中的 CR[2:0]
000	111
001	110
010	101
011	100
100	011
101	010
110	001
111	000

1.13.2 BDC 命令限制

表 1-12. 初始 WCOP 配置

FOPT 寄存器中的 NV[3]	COPCTL 寄存器中的 WCOP
1	0
0	1

BDC 命令 READ_DBGTB 在此器件上返回 0x00，因为 DBG 模块不具有跟踪缓冲器。

1.13.3 Flash IFR 映射

表 1-13. Flash IFR 映射

目标															IFR 字节地址
F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	
应用 VDDA/VSSA 的 ADC 参考转换															0x1F_C040 & 0x1F_C041
应用 VRH/VRL 的 ADC 参考转换															0x1F_C042 & 0x1F_C043

1.14 应用信息

1.14.1 ADC 校准

对于不提供外部 ADC 参考电压的应用，可将 VDDA/VSSA 电源分别用作 VRH/VRL 的源。由于 VDDA 必须连接到应用中的板级别 VDDX，因此 VDDA 参考的准确度受限于内部稳压器的准确度。为了补偿 VDDA 参考电压在这种情况下发生的变化，在生产测试期间使用内部参考电压 VBG 测量参考电压，与温度和外部电压电源相比，变化幅度小。VBG 映射至 ADC 模块的内部通道，请参阅表 1-6。将 VBG 生成的 12 位左侧调整 ADC 转换结果存储到用作参考的 Flash IFR 中，如表 1-13 中所列示。

参考转换的测量条件列在设备电气参数附录中。通过测量应用环境中的电压 VBG 并比较 IFR 中参考值的结果，有可能确定电流 ADC 参考电压 VRH：

$$V_{RH} = \frac{\text{StoredReference}}{\text{ConvertedReference}} \cdot 5V$$

可确定模拟转换的确切绝对值，如下所示：

$$\text{Result} = \text{ConvertedADInput} \cdot \frac{\text{StoredReference} \cdot 5V}{\text{ConvertedReference} \cdot 2^n}$$

使用:

ConvertedADInput:	所需引脚的模数转换结果
ConvertedReference:	内部通道转换结果
StoredReference:	在 IFR 位置中的值
n:	ADC 分辨率 (12 位)

附注

ADC 参考电压 V_{RH} 在整个转换过程中必须处于恒定电平。

1.14.2 SCI 波特率检测

通过使用定时器通道测量 RXD 信号上的数据率而实现测量 SCI0 和 SCI1 的波特率。

1. 建立链接:
 - 对于 SCI0: 设置 [T0IC3RR1:T0IC3RR0]=0b01 以从 TIM0 输入捕捉通道 3 断开 IOC0_3, 并将定时器输入重新传送到 SCI0 的 RXD0 信号。
 - 对于 SCI1: 设置 [T0IC3RR1:T0IC3RR0]=0b10 以从 TIM0 输入捕捉通道 3 断开 IOC0_3, 并将定时器输入重新传送到 SCI1 的 RXD1 信号。
2. 确定输入数据的脉冲宽度: 配置 TIM0 IC3 以测量输入信号之间的时间间隔。

1.14.3 电压域监控

BATS 模块监控 VSUP 引脚上的电压, 通过提供状态和标记位、中断和连接 ADC0 以准确测量标度 VSUP 级别。

POR 电路监控 VDD 和 VDDA 域, 确保在获得足够电压电平前对断言复位。LVR 电路监控 VDD、VDDF 和 VDDX 域, 并当任何域中的电压下降到指定有效电平以下时生成复位。当 VREG 处于下降功率模式时, 禁用 VDDX LVR 监视器。低电压中断电路监控 VDDA 域。

第 2 章

端口集成模块 (S12ZVLPIMV1)

2.1 简介

2.1.1 概述

S12ZVL 系列端口集成模块建立外围模块与所有端口 I/O 引脚之间的接口。该模块可控制电气引脚属性，对共享引脚上的信号划分优先级并进行多路复用。

本文档涵盖以下内容：

- 与外部振荡器相关的 2 引脚端口 E
- 具有引脚中断和密钥唤醒功能的 10 引脚端口 AD；并与 10 个 ADC 通道有关
- 8 引脚端口 T 与 8 TIM 通道、1 个路由 SCI、1 个路由 IIC、2 个路由 PWM 通道有关
- 带引脚中断和密钥唤醒功能的 4 引脚端口 S；与 1 SPI、ECLK、4 个路由 TIM 通道、2 个路由的 PWM 通道和 1 个路由的 SCI 有关
- 带引脚中断和密钥唤醒功能或 IRQ、XIRQ 中断输入的 8 引脚端口 P，与 8 个 PWM 通道和 2 个路由 TIM 通道有关
- 与 1 IIC 或 2 个路由 PWM 通道有关的 2 引脚端口 J
- 带引脚中断和密钥唤醒功能的单引脚端口 L；与 1 个高压输入 (HVI) 有关

大多数 I/O 引脚均可通过寄存器位进行配置，以选择数据方向、使能和选择上拉或下拉器件。

附注

本文档假定在最大封装选项中提供的所有功能都有效。对于在较少引脚数目封装上不可用的功能，请参阅设备概述中的封装和引脚分配章节。

2.1.2 特性

PIM 包括以下独特的寄存器：

- 用作通用 I/O 时端口 E、AD、T、S、P 和 J 的数据寄存器和数据方向寄存器
- 控制寄存器以启用拉动设备并从端口 E、AD、T、S、P 和 J 上选择上拉 / 下拉设备
- 控制寄存器以启用端口 S 和 J 上的开漏（线或）模式
- 控制寄存器，用于使能端口 AD 和 L 上的数字输入缓冲器
- 因端口 AD、S、P 和 L 上引脚中断和密钥唤醒 (KWU) 而中断标志位寄存器
- 控制寄存器，用于配置 IRQ 引脚操作
- 控制寄存器，用于使能 ECLK 输出

- 路由寄存器，用于支持在外部引脚上对信号重定位并控制内部路由：
 - 至备选引脚的 6 个 PWM 通道（每个 1 个选项）
 - 至备选引脚的 6 个 TIM 通道（每个 1 个选项）
 - 至备选引脚的 IIC（每个 1 个选项）
 - 至备选引脚的 SCI1（每个 1 个选项）
 - ADC0 触发器输入，可从内部 TIM 输出比较通道链路或外部引脚（3 个选项）选择边沿
 - 支持单独使用和 LIN 一致性测试的多种 SCI0-LINPHY0 路由选项
 - 至 TIM 输入捕获通道的内部 RXD0、RXD1 和 ACLK 链路

标准端口引脚至少具有以下功能：

- 输入 / 输出选择
- 5V 输出驱动
- 5V 数字和模拟输入
- 设置为输入时可选上拉或下拉器件

专用引脚上支持的可选功能：

- 用于线或连接的开漏（端口 S 和 J）
- 可过滤毛刺的中断输入
- 带过流保护来自 VDDX 的高电流驱动强度
- 至 VSSX 的高电流驱动强度

第 3 章 存储器映射控制 (S12ZMMCV1)

3.1 简介

S12ZMMC 模块控制 S12ZCPU 和 S12ZBDC 模块对所有内部存储器和外设的访问。并且提供对 ADC 模块的直接存储器访问。S12ZMMC 决定片上资源的地址映射、调控访问优先级并实施存储器保护。图 3-1 介绍 S12ZMMC 的框图。

3.1.1 术语表

表 3-1. 术语表

术语	定义
MCU	微控制器单元
CPU	S12Z 中央处理器
BDC	S12Z 后台调试控制器
ADC	模数转换器
未映射的地址范围	未分配到存储器的地址空间
已保留的地址范围	为将来使用案例保留的地址空间
非法访问	不被 S12ZMMC 支持或允许的存储器访问（例如存储到 NVM 的数据）
访问违例	非法访问或不可纠正的 ECC 错误
字节	8 位数据
字	16 位数据

3.1.2 概述

S12ZMMC 提供对 S12ZCPU、S12ZBDC 和 ADC 的片上存储器和外设的访问。它对存储器访问进行仲裁，并确定所有 MCU 存储器映射。此外，S12ZMMC 还负责选择 MCU 功能模式。

3.1.3 特性

- S12ZMMC 模式操作控制
- S12ZCPU、S12ZBDC 和 ADC 的存储器映射
 - 将外设和存储器映射到 S12ZCPU、S12ZBDC 和 ADC 的 16 MB 地址空间
 - 处理对不同片上资源的同时访问（NVM、RAM 和外设）

- 检测和记录访问违例
 - 一旦检测到非法的存储器访问和不可纠正的 ECC 错误，立即触发 S12ZCPU 机器异常
 - 记录 S12ZCPU 的状态以及访问错误的原因

3.1.4 操作模式

3.1.4.1 芯片配置模式

S12ZMMC 决定器件的芯片配置模式。其捕捉 MODC 引脚在复位时的状态，并能够从特殊单芯片模式切换到正常单芯片模式。

3.1.4.2 功耗模式

S12ZMMC 模块仅在运行和等待模式下有效。在停止模式下无总线时钟。

3.1.5 框图

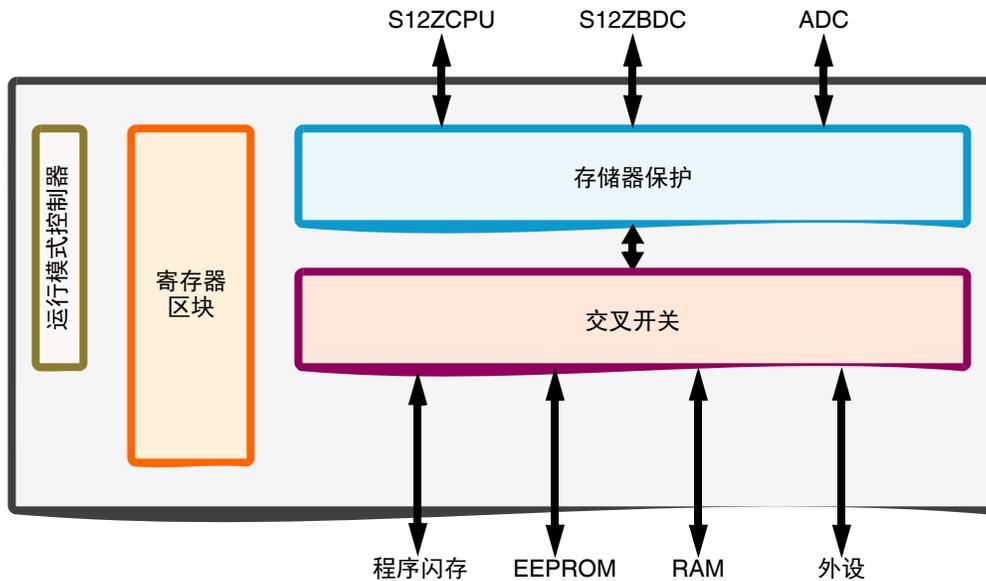


图 3-1. S12ZMMC 框图

第 4 章

后台调试控制器 (S12ZBDCV2)

4.1 简介

后台调试控制器 (BDC) 是在片上硬件中实施的单线后台调试系统，可实现最少的 CPU 干预。该器件的 BKGD 引脚直接连接 BDC。

S12ZBDC 仍使用 S12 串行接口协议，但引入了增强版信号交换协议和增强的 BDC 命令集以支持 S12Z 器件的线性指令集系列，并提供相比于 BDC 串行接口更简易灵活的内部资源访问。

4.1.1 术语表

表 4-1. 术语表

术语	定义
DBG	片上调试模块
BDM	有效的后台调试模式
CPU	S12Z CPU
SSC	特殊单芯片模式（器件操作模式）
NSC	正常单芯片模式（器件操作模式）
BDCSI	后台调试控制器串行接口。该接口指的是单引脚 BKGD 串行接口。
EWAIT	可选 S12 特性，允许外部器件延迟外部访问，直至 EWAIT 的电平变为无效

4.1.2 特性

BDC 包括这些鲜明的特性：

- 与主机开发系统的单线通信
- 用于确定通信速率的 SYNC 命令
- 真正的无干扰信号交换协议
- 适用于错误检测和停止模式识别的增强版信号交换协议
- 在特殊单芯片模式下退出复位后激活
- 大多数命令不要求有效的 BDM，以便实现最少的 CPU 干预
- 不分页的整个全局存储器映射访问
- 简单的 Flash 整体擦除功能

4.1.3 操作模式

S12 器件具有功率模式（运行、等待和停止）和操作模式（正常单芯片和特殊单芯片）。此外，BDC 的操作取决于器件的加密状态。

4.1.3.1 BDC 模式

BDC 具有模块特定模式，即禁用、使能和激活。这些模式取决于器件的加密模式和操作模式。在有效的BDM下，CPU会停止执行以允许BDC系统访问包括CPU内部寄存器在内的所有内部资源。

4.1.3.2 加密和操作模式的依赖关系

在器件运行模式下，BDC 依赖关系如下

- 正常模式，解密器件
一般 BDC 操作可用。BDC 在退出复位后禁用。
- 正常模式，加密的器件
BDC 禁用。无法进行 BDC 访问。
- 特殊单芯片模式，解密
BDM 在退出复位后激活。所有 BDC 命令都可用。
- 特殊单芯片模式，加密
BDM 在退出复位后激活。受限的命令集可用。

在加密模式下操作时，BDC 的操作被限制为整体擦除片上 Flash 来检查和清楚加密。加密操作可防止 BDC 访问片上存储器，但整体擦除除外。BDC 命令集受限于那些分类为“始终可用”的命令。

4.1.3.3 低功耗模式

4.1.3.3.1 停止模式

执行 CPU STOP 指令仅在所有总线主机（CPU 或其他，具体取决于器件）已结束处理后会进入停止模式。停止模式期间的操作取决于 ENBDC 和 BDCCIS 的置位情况，如表 4-2 中所概述。

表 4-2. BDC STOP 操作依赖性

ENBDC	BDCCIS	操作说明
0	0	BDC 对 STOP 模式无任何影响。
0	1	BDC 对 STOP 模式无任何影响。
1	0	仅 BDCSI 时钟继续
1	1	所有时钟都继续

禁用的 BDC 对停止模式操作无任何影响。在该情况中，BDCSI 时钟在停止模式下禁用，因此无法在停止模式下使能 BDC。

BDC 已使能和 BDCCIS 已清零的停止模式

如果 BDC 已使能且 BDCCIS 已清零，则 BDC 会防止在停止模式下禁用 BDCCLK 时钟。BDC 通信因而能在整个停止模式期间继续以便访问 BDCCSR 寄存器。进入停止模式时，所有其他器件级时钟信号都禁用。

附注

这旨在进行应用程序调试，而非进行 Flash 快速编程。因此，CLKSW 位必须清零以便将 BDCSI 映射到 BDCCLK。

在 BDC 已使能的情况下，内部应答会使进入和退出停止模式延迟 2 个 BDCSI 时钟 + 2 个总线时钟的周期。如果无其他模块使进入和退出停止模式延迟，则这些额外的时钟周期代表调试与非调试情况之间的差异。此外，如果在器件进入停止模式时正在执行 BDC 内部访问，则会延迟进入停止模式，直至完成内部访问（通常为 1 个总线时钟周期）。

内部器件时钟禁用时，无法访问内部存储器映射。因此尝试访问存储器映射的资源会受抑制且 NORESP 标志置位。在退出停止模式后通过接收到的下一个命令可访问资源。

停止模式期间发出的 BACKGROUND 命令在内部一直挂起，直至器件离开停止模式。这意味着在 BACKGROUND 挂起同时发出的后续 BDM 激活命令会使 ILLCMD 标志置位，因为该器件尚未处于有效的 BDM 中。

如果 ACK 信号交换已使能，则在进入停止模式后的首个 ACK 为指示停止异常。BDC 通过把 BDCCSR 里的 STOP 位置位来提示发生停止模式。如果主机在 ACK 脉冲生成之前尝试进一步的通信，则 OVRUN 位置位。

BDC 已使能和 BDCCIS 已置位的停止模式

如果 BDC 已使能且 BDCCIS 已置位，则 BDC 会防止在停止模式下禁用内核时钟。用于访问内部存储器映射资源（并非 CPU 寄存器）的 BDC 通信因而能在整个停止模式期间继续。

停止模式期间发出的 BACKGROUND 命令在内部一直挂起，直至器件离开停止模式。这意味着在 BACKGROUND 挂起同时发出的后续 BDM 激活命令会使 ILLCMD 标志置位，因为该器件尚未处于有效的 BDM 中。

如果 ACK 信号交换已使能，则在进入停止模式后的首个 ACK 为指示停止异常。BDC 通过把 BDCCSR 里的 STOP 位置位来提示发生停止模式。如果主机在 ACK 脉冲生成之前尝试进一步的通信，则 OVRUN 位置位。

4.1.3.3.2 等待模式

该器件在 CPU 开始执行 WAI 指令时进入等待模式。仅在发生中断时可执行 WAI 指令的第二部分（从等待模式返回）。因此，进入等待模式时，CPU 正在进行 WAI 指令，无法允许访问 CPU 内部资源，也不允许进入有效的 BDM。因此，在等待模式下只可使用分类为“无干扰”或“始终可用”的命令。

进入等待模式时，BDCCSR 中的 WAIT 标志置位。如果启用 ACK 信号交换协议，则在 WAIT 置位后生成的首个 ACK 脉冲为长 ACK 脉冲。主机从而可识别等待模式的发生。WAIT 标志在该器件仍处于等待模式下，保持置位且无法清零。该器件离开等待模式后，WAIT 标志可通过写入“1”而清零。

处于等待模式时发出的 BACKGROUND 命令会使 NORESP 位置位，且 BDM 激活请求仍在内部挂起，直至 CPU 因中断而离开等待模式。该器件随后进入 BDM，PC 指向 ISR 首个指令的地址。

在 ACK 已禁用的情况下，在该挂起状态下可进一步使用“无干扰”命令或“始终可用”命令，但由于 BDC 不处于有效的 BDM 状态，因此尝试的有效后台命令会使 NORESP 和 ILLCMD 置位。

在 ACK 已使能的情况下，如果主机在 ACK 脉冲生成之前尝试进一步的通信，则 OVRUN 位置位。

同样，CPU 无法完成从 WAI 指令中发出的 STEP1 命令，直至 CPU 因中断而离开等待模式。首个进入等待模式的 STEP1 会使 BDCCSR WAIT 位置位。

如果器件仍处于等待模式并进一步执行 STEP1，则由于该器件在执行 WAI 期间不再处于有效的 BDM，因此 NORESP 位和 ILLCMD 位置位。

4.1.4 框图

BDC 的框图如图 4-1 所示。

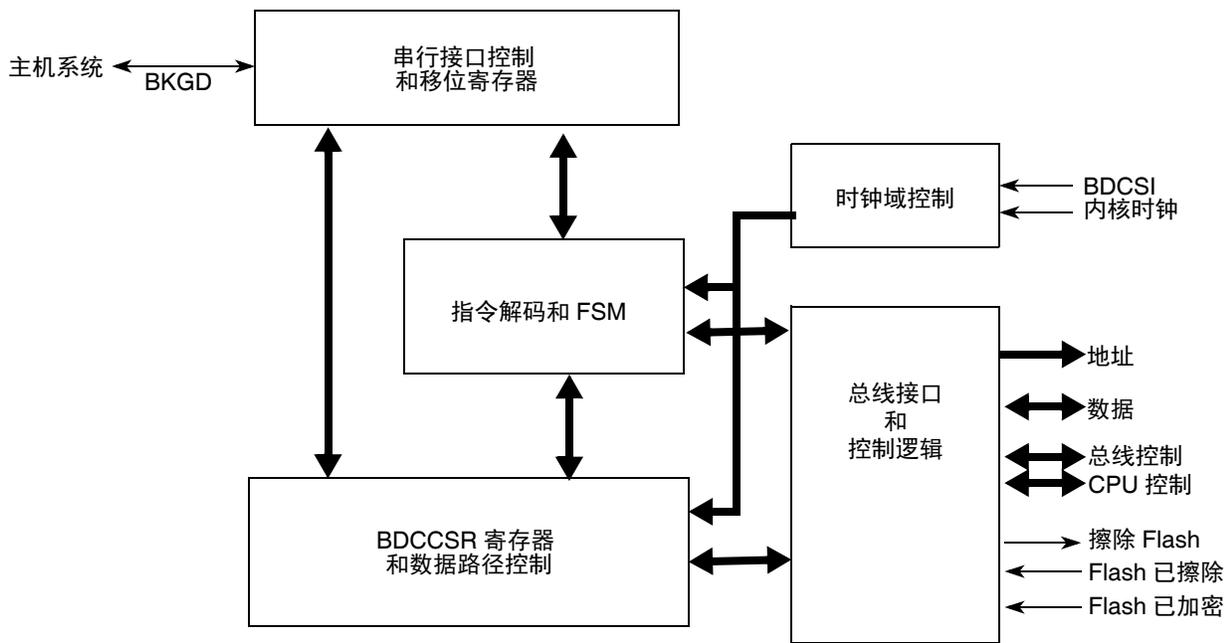


图 4-1. BDC 框图

第 5 章 中断 (S12ZINTV0)

5.1 简介

S12ZINT 模块解码所有系统异常请求的优先级并提供适用向量来处理 CPU 异常。S12ZINT 模块支持：

- I 位和 X 位可屏蔽中断请求
- 一个不可屏蔽且未生效的页面 1 操作码陷阱
- 一个不可屏蔽且未生效的页面 2 操作码陷阱
- 一个不可屏蔽的软件中断 (SWI)
- 一个不可屏蔽的系统调用中断 (SYS)
- 一个不可屏蔽的机器异常向量请求
- 一个伪中断向量请求
- 一个系统复位向量请求

每个 I 位可屏蔽中断请求均可分配给支持灵活优先级方案的七个优先级中的其中一个。优先级方案可用于实施嵌套中断功能，即如果正在处理更高级别中断，那么就会自动屏蔽较低级别的中断。

5.1.1 术语表

在本文档中会用到以下术语和缩略词。

表 5-1. 术语

术语	含义
CCW	条件代码寄存器（在 S12Z CPU 中）
DMA	直接存储器访问
INT	中断
IPL	中断处理级别
ISR	中断服务程序
MCU	微控制器单元
$\overline{\text{IRQ}}$	指的是与 $\overline{\text{IRQ}}$ 引脚相关的中断请求
$\overline{\text{XIRQ}}$	指的是与 $\overline{\text{XIRQ}}$ 引脚相关的中断请求

5.1.2 特性

- 中断向量基址寄存器 (IVBR)

- 一个系统复位向量（位于地址 0xFFFFFC）。
- 一个不可屏蔽且未生效的页面 1 操作码陷阱 (SPARE) 向量（位于地址向量基址¹+0x0001F8）。
- 一个不可屏蔽且未生效的页面 2 操作码陷阱 (TRAP) 向量（位于地址向量基址¹+0x0001F4）。
- 一个不可屏蔽的软件中断请求 (SWI) 向量（位于地址向量基址¹+0x0001F0）。
- 一个不可屏蔽的系统调用中断请求 (SYS) 向量（位于地址向量基址¹+0x00001EC）。
- 一个不可屏蔽的机器异常向量请求（位于地址向量基址¹+0x0001E8）。
- 一个伪中断向量（位于地址向量基址¹+0x0001DC）。
- 一个与 $\overline{\text{XIRQ}}$ 相关的 X 位可屏蔽中断向量请求（位于地址向量基址¹+0x0001D8）。
- 一个与 $\overline{\text{IRQ}}$ 相关的 I 位可屏蔽中断向量请求（位于地址向量基址¹+0x0001D4）。
- 高达 113 个其他 I 位可屏蔽中断向量请求（位于地址向量基址¹+0x000010 .. 向量基址+0x0001D0）。
- 每个 I 位可屏蔽中断请求均有一个可配置的优先级。
- I 位可屏蔽中断可以根据优先级进行嵌套。
- 当出现适当的中断请求或 $\overline{\text{XIRQ}}$ 变为有效时，即使已屏蔽 X 中断，也可将系统从停止模式或等待模式中唤醒。

5.1.3 操作模式

- 运行模式
这是基本操作模式。
- 等待模式
在等待模式中，如果出现符合条件的 CPU 异常，则 S12ZINT 模块能够唤醒 CPU。
- 停止模式
在停止模式中，如果出现符合条件的 CPU 异常，则 S12ZINT 模块能够唤醒 CPU。

5.1.4 框图

图 5-1 显示了 S12ZINT 模块的框图。

1. 向量基址是一个由中断向量基址寄存器内容 (IVBR, 用作该地址的前 15 位) 和 0x000 (用作该地址的后 9 位) 组成的 24 位地址。

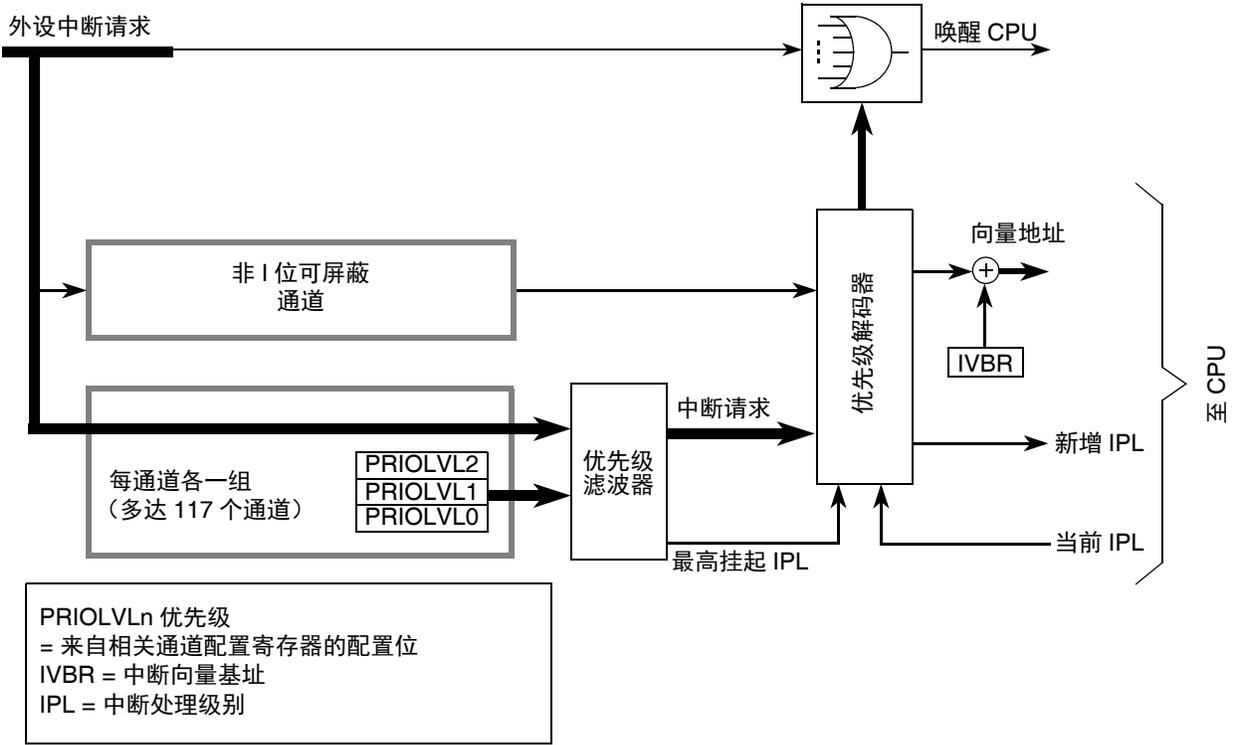


图 5-1. S12ZINT 框图

第 6 章

S12Z DebugLite (S12ZDBGV3) 模块

6.1 简介

DBG 模块提供具有灵活触发功能的片上断点，可对应用软件进行非侵入式调试。DBG 模块针对 S12Z 架构进行了优化，并且允许调试 CPU 模块操作。

通常，DBG 模块要结合 BDC 模块一起使用，以便用户在 BDC 接口上为调试会话配置 DBG 模块。一旦配置完成，将安装 DBG 模块；并且器件留下有效 BDM 并返还对用户程序的控制，该用户程序随后由 DBG 模块进行监测。或者，DBG 模块可使用 SWI 例程并通过串行接口进行配置。

6.1.1 术语表

表 6-1. 术语表

术语	定义
COF	流程更改。 因条件转移、索引跳转或中断而引起的程序流程更改
PC	程序计数器
BDM	后台调试模式。 在此模式中，停止执行 CPU 应用代码。 可以执行 BDC 的“active BDM”命令。
BDC	后台调试控制器
字	16 位数据实体
CPU	S12Z CPU 模块

6.1.2 概述

比较器监测 CPU 的总线活动。单个比较器匹配或一连串比较器匹配可生成断点。状态序列器确定是否会出现一连串正确匹配。同样，外部事件可生成断点。

6.1.3 特性

- 三个比较器（A、B 和 D）
 - 比较器 A 比较全地址总线和完整的 32 位数据总线
 - 比较器 A 具有数据总线屏蔽寄存器功能

- 比较器 B 和 D 仅比较全地址总线
- 每个比较器均可配置为监测 PC 地址或数据访问地址
- 每个比较器均可选择读取或写入访问周期
- 比较器匹配可强制状态序列器转换状态
- 三种比较器模式
 - 简单地址 / 数据比较器匹配模式
 - 内部地址范围模式, $Addmin \leq Address \leq Addmax$
 - 外部地址范围匹配模式, $Address < Addmin$ 或 $Address > Addmax$
- 状态序列器控制
 - 通过比较器匹配而强制进行的状态转换
 - 通过软件写入 TRIG 而强制进行的状态转换
 - 通过外部事件而强制进行的状态转换
- 以下是断点类型
 - 在断点上进入有效 BDM 的 CPU 断点 (BDM)
 - 在断点上执行 SWI 的 CPU 断点 (SWI)
 -

6.1.4 操作模式

DBG 模块可用于所有 MCU 功能模式。

DBG 模块可发出断点请求, 以强制器件进入有效 BDM 或 SWI ISR 模式。DBG 还可处理 BDC BACKGROUND 命令, 以强制器件进入有效 BDM 模式。当安装 DBG 模块的器件通过 BACKGROUND 命令进入有效 BDM 模式时, 不会解除 DBG 安装。

6.1.5 框图

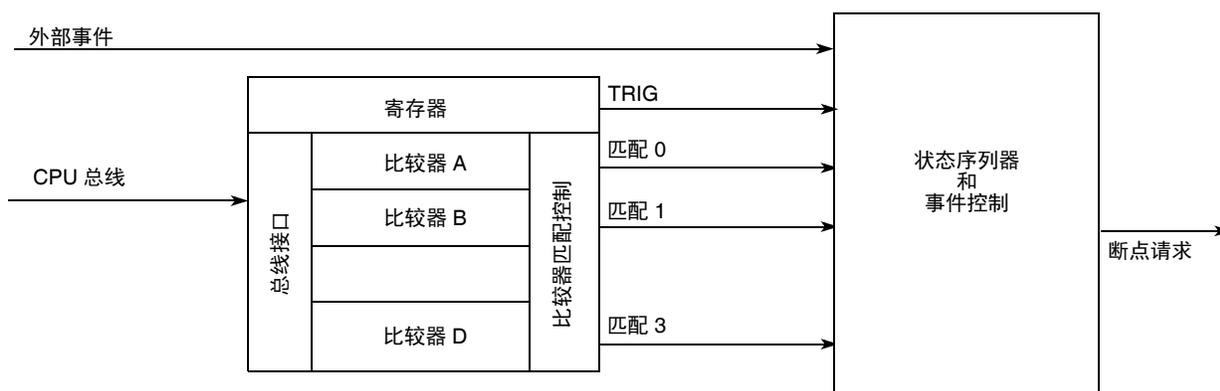


图 6-1. 调试模块框图

第 7 章

ECC 生成模块 (SRAM_ECCV2)

7.1 简介

ECC 逻辑的目的在于检测和纠正尽可能多的存储器数据位错误。这些软错误会在操作过程中随机发生，主要是由 α 辐射生成。“软错误”是指只有存储器单元内部的信息遭到损坏，而存储器单元本身并不会受损。使用正确数据进行写入访问可以解决这一问题。如果 ECC 算法能够纠正数据，则系统可以使用纠正过的数据，而且不会出现任何问题。如果 ECC 算法能够检测出错误但无法纠正，则系统可以忽略存储器读取数据，以避免系统出现故障。

ECC 值的计算依据是对齐的 2 字节存储器数据字。ECC 算法能够检测并纠正单个位 ECC 错误。还可检测出双位 ECC 错误，但系统无法纠正这些错误。此类 ECC 代码被称作 SECDED 代码。此 ECC 代码需要为每个 2 字节数据字提供 6 个附加的奇偶校验位。

7.1.1 特性

SRAM_ECC 模块根据 SECDED 算法为系统存储器提供 ECC 逻辑。SRAM_ECC 模块包括以下特性：

- SECDED ECC 代码
 - 根据 2 字节数据字，检测和纠正单个位错误
 - 根据 2 字节数据字，检测双位错误
- 存储器初始化功能
- 字节范围的系统存储器写入访问
- 用于读取和写入访问的自动单个位 ECC 错误纠正
- 用于读取和写入原始使用数据和 ECC 值的调试逻辑

第 8 章

S12 时钟、复位和电源管理单元 (S12CPMU_UHV_V5)

8.1 简介

该规范介绍时钟、复位和电源管理单元 (S12CPMU_UHV_V5) 的功能。

- 皮尔斯振荡器 (XOSCLCP) 提供稳健、低噪音和低功率的外部时钟源。它专为使用典型晶振的最佳启动裕量而设计。
- 电压调节器 (VREGAUTO) 可在 6 V 到 18 V 的电压范围内工作，能够提供所需的芯片内部电压和电压监视器。
- 锁相环 (PLL) 提供高度精确且内置滤波器的频率乘法器。
- 内部参考时钟 (IRC1M) 提供 1 MHz 的内部时钟。

8.1.1 特性

皮尔斯振荡器 (XOSCLCP) 内置一个电路，可动态控制输出振幅中的电流增益。这可确保信号具有低谐波失真、低功率和良好的抗噪性。

- 支持 4 MHz 到 16 MHz 的晶体或谐振器
- 高抗噪性的原因在于输入迟滞和尖峰滤波
- 低 RF 辐射，同时对峰峰摆幅进行动态限制
- 确保典型晶振具有最佳启动裕量的跨导 (gm) 大小
- 动态增益控制消除了对外部限流电阻的需求
- 集成电阻消除了对外部偏置电阻的需求
- 低功耗：采用内部 1.8 V（标称值）电源供电，振幅控制限制功率
- 可选振荡器时钟监视器复位
- 可选全振幅模式带来更高的抗噪音注入性能，不过功耗和辐射有所增加

电压调节器 (VREGAUTO) 具有以下特性：

- 输入电压范围为 6 V 至 18 V（标称工作范围）
- 低压检测 (LVD) 与低压中断 (LVI)
- 上电复位 (POR)
- 低电压复位 (LVR)
- 片上温度传感器和通过内部 ADC 通道的带隙电压测量
- 电压调节器提供全性能模式 (FPM) 和低性能模式 (RPM)
- 支持外部镇流器器件，可降低内部功耗
- 能够同时为内部 MCU 和外部组件供电
- 过温中断

锁相环 (PLL) 具有以下特性：

- 高度精确且相位锁定的频率乘法器
- 内置可配置的滤波器，能够提供最佳稳定性和锁定时间
- 可定义抖动并降低辐射的频率调制
- 自动频率锁定检测器
- 进入或退出锁定状态的中断请求
- PLL 时钟监视器复位
- 参考时钟可基于外部（晶体）或内部方波 (1 MHz IRC1M)
- LIN 从机模式中，即使使用 IRC1M 作为参考时钟，PLL 稳定性也足以进行 LIN 通信

内部参考时钟 (IRC1M) 具有以下特性:

- 频率调整
(复位后会将 1 MHz 的工厂调整值从 Flash 载入 CPMUIRCTRIMH 和 CPMUIRCTRIML 寄存器, 如有需要便可通过应用程序进行覆盖。)
- 温度系数 (TC) 调整
(复位后会将工厂调整值从 Flash 载入 IRCTRIM 寄存器, 以关闭 TC 调整。如有需要, 可使用应用程序通过覆盖 IRCTRIM 寄存器对 TC 做出调整。)

S12CPMU_UHV_V5 的其他特性包括

- 用于检测晶体停振的振荡器时钟监视器
- 自激周期性中断 (API)
- 总线时钟产生器
 - 在 PLLCLK 或者基于晶体 / 谐振器的外部总线时钟之间进行选择的时钟切换开关
 - 调整系统速度的 PLLCLK 分频器
- 从以下可能源生成的系统复位:
 - 上电复位 (POR)
 - 低电压复位 (LVR)
 - COP 系统看门狗, COP 超时复位, 窗口 COP
 - 振荡丢失 (振荡器时钟监视器故障)
 - PLL 时钟丢失 (PLL 时钟监视器故障)
 - 外部引脚 $\overline{\text{RESET}}$

8.1.2 操作模式

该小节将列出并简述 S12CPMU_UHV_V5 所支持的所有操作模式。

8.1.2.1 运行模式

电压调节器处于全性能模式 (FPM)。

附注

电压调节器激活，可提供具备全电流源性能的标称电源电压（另请参见 VREG 电气参数附录）。ACLK 时钟源、低电压中断 (LVI)、低电压复位 (LVR) 和上电复位 (POR) 等功能均可用。

锁相环 (PLL) 已打开。

内部参考时钟 (IRC1M) 已打开。

API 可用。

- **PLL 内部使用 (PEI)**
 - 这是系统复位和上电复位后的默认模式。
 - 总线时钟基于 PLLCLK。
 - 复位后，PLL 配置用于 50 MHz VCOCLK 操作。
后置分频器为 0x03，因此 PLLCLK 为 VCOCLK 的 4 分频（也即 12.5MHz）并且总线时钟为 6.25 MHz。
可将 PLL 重新配置为其他总线频率。
 - PLL 的参考时钟 (REFCLK) 基于内部参考时钟 IRC1M。
- **PLL 外部使用 (PEE)**
 - 总线时钟基于 PLLCLK。
 - 可通过执行以下步骤从默认模式 PEI 进入该模式：
 - 配置 PLL 以获得所需的总线频率。
 - 必要时，对参考分频器（REFDIV[3:0] 位）进行编程，从而使振荡器频率进行向下分频。
 - 使能外部振荡器（OSCE 位）。
 - 等待振荡器启动 (UPOSC=1) 和 PLL 锁定 (LOCK=1)。
- **PLL 外部旁通 (PBE)**
 - 总线时钟基于振荡器时钟 (OSCCLK)。
 - PLLCLK 始终处于打开状态，以改变外部振荡器时钟。因此，请务必确保针对选定振荡器频率使用有效的 PLL 配置。
 - 可通过执行以下步骤从默认模式 PEI 进入该模式：
 - 确保 PLL 配置对选定振荡器频率有效。
 - 使能外部振荡器（OSCE 位）。

- 等待振荡器启动 (UPOSC=1)。
- 将振荡器时钟 (OSCCLK) 选为总线时钟源 (PLLSEL=0)。
- PLLCLK 处于打开状态, 用以改变外部振荡器时钟。

8.1.2.2 等待模式

对于 S12CPMU_UHV_V5, 等待模式等同于运行模式。

8.1.2.3 停止模式

可通过执行 CPU STOP 指令进入停止模式。更多详细信息请参见器件级别规格。

电压调节器处于低性能模式 (RPM)。

附注

电压调节器输出电压会降至低于全性能模式 (FPM) 下的值, 另外, 电流源性能也大幅缩减 (另请参见 VREG 电气参数附录)。仅有时钟源 ACLK 和上电复位 (POR) 电路仍在发挥功用。禁用低电压中断 (LVI) 和低电压复位 (LVR)。

API 可用。

锁相环 (PLL) 已关闭。

内部参考时钟 (IRC1M) 已关闭。

内核时钟和总线时钟已停止。

根据 PSTP 和 OSCE 位的设置, 停止模式可分为完全停止模式 (PSTP = 0 或 OSCE=0) 和伪停止模式 (PSTP = 1 和 OSCE=1)。此外, 各种模式下 COP 的行为将依照由 COPOSCSEL[1:0] 选定的时钟方法而改变。

- **完全停止模式 (PSTP = 0 或 OSCE=0)**

外部振荡器 (XOSCLCP) 已禁用。

- 如果 COPOSCSEL1=0:

COP 和 RTI 计数器在完全停止模式下停止。

从完全停止模式唤醒后, 内核时钟和总线时钟在 PLLCLK (PLLSEL=1) 上运行。COP 和 RTI 在 IRCCLK (COPOSCSEL0=0, RTIOSCSEL=0) 上运行。

- 如果 COPOSCSEL1=1:

COP 的时钟从 ACLK (可调内部 RC 振荡器时钟) 获得。完全停止模式期间, COP 的 ACLK 可停止 (COP 静态), 也可继续运行 (COP 激活), 具体取决于位 CSAD 的设置。位 CSAD 置位时, COP 的 ACLK 时钟源在完全停止模式期间停止, 且 COP 会在从完全停止模式退出后继续运行。对于该 COP 配置 (ACLK 时钟源、CSAD 置位), 进入或退出 (完全、伪) 停止模式时会有延迟时间 (有关详细信息, 请参阅 CSAD 位说明)。位 CSAD 清零时, 在完全停止模式期间以及 COP 正在运行时, ACLK 时钟源对 COP 打开。

完全停止模式期间, RTI 计数器停止。

从完全停止模式唤醒后，内核时钟和总线时钟在 PLLCLK (PLLSEL=1) 上运行。COP 在 ACLK 上运行，RTI 在 IRCCLK (COPOSCSEL0=0, RTIOSCSEL=0) 上运行。

- **伪停止模式 (PSTP = 1 和 OSCE=1)**

外部振荡器 (XOSCLCP) 继续运行。

- 如果 COPOSCSEL1=0:

如果相应的使能位已置位 (PCE=1 和 PRE=1)，COP 和 RTI 将继续运行，同时从振荡器时钟获得时钟。

时钟配置位 PLLSEL、COPOSCSEL0 和 RTIOSCSEL 不变。

- 如果 COPOSCSEL1=1:

如果 RTI 的相应使能位已置位 (PRE=1)，RTI 将继续运行，同时从振荡器时钟获得时钟。

COP 的时钟从 ACLK (可调内部 RC 振荡器时钟) 获得。伪停止模式期间，COP 的 ACLK 可停止 (COP 静态)，也可继续运行 (COP 激活)，具体取决于位 CSAD 的设置。位 CSAD 置位时，COP 的 ACLK 在伪停止模式期间将会停止，且 COP 会在从伪停止模式中退出后继续运行。

对于该 COP 配置 (ACLK 时钟源、CSAD 置位)，进入或退出 (伪、完全) 停止模式时会有延迟时间 (有关详细信息，请参阅 CSAD 位说明)。位 CSAD 清零时，在伪停止模式期间以及 COP 正在运行时，ACLK 时钟源对 COP 打开。

时钟配置位 PLLSEL、COPOSCSEL0 和 RTIOSCSEL 不变。

附注

启动外部振荡器 (无论是通过向 OSCE 位写入 1，还是在 OSCE 位已为 1 的情况下退出完全停止模式) 时，在进入伪停止模式前，软件必须至少等待与外部振荡器 t_{UPOSC} 的启动时间相当的时间。

8.1.2.4 冻结状态 (BDM 激活)

对于 S12CPMU_UHV_V5，除了在激活 BDM 模式中 RTI 和 COP 可通过 CPMUCOP 寄存器中的 RSBCK 位冻结，冻结模式与运行模式相同，退出 BDM 模式后，RTI 和 COP 将从该冻结状态开始恢复运行。

此外，在激活 BDM 模式下，COP 可强行设为最大超时周期。

8.1.3 S12CPMU_UHV_V5 框图

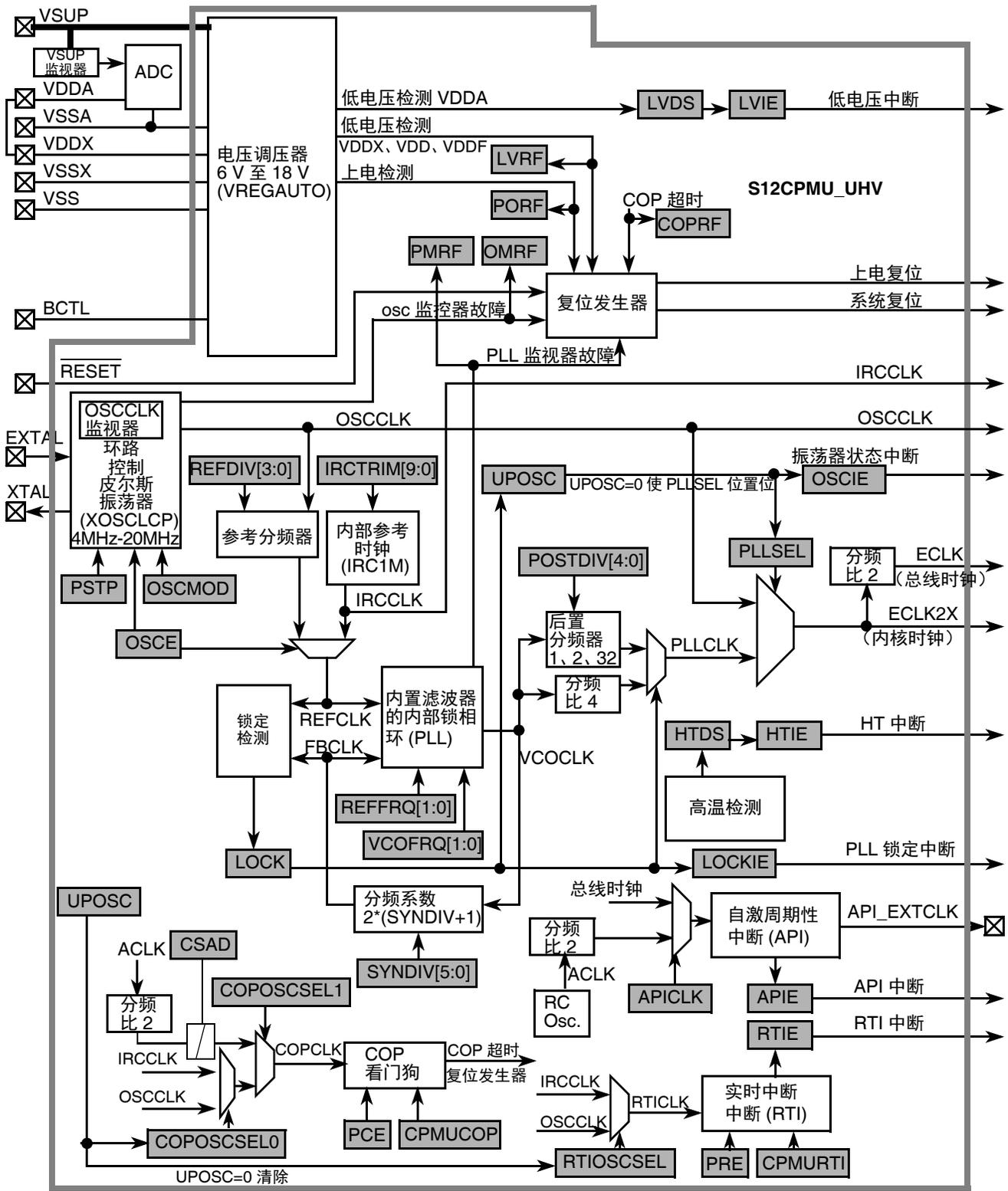


图 8-1. 的框图 S12CPMU_UHV_V5

图 8-2 介绍 XOSCLCP 的框图。

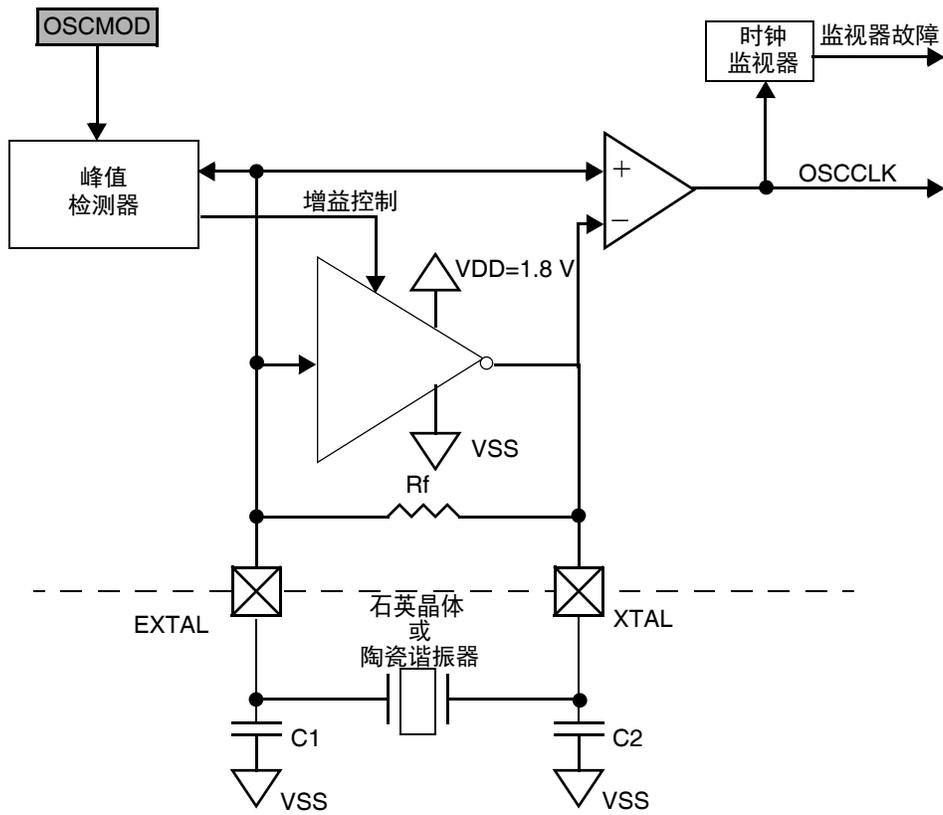


图 8-2. XOSCLCP 框图

第 9 章 模数转换器 (ADC10B_LBA_V2)

9.1 简介

ADC10B_LBA 为 n 通道多路复用输入逐次逼近模数转换器。请参见器件电气规格，了解 ADC 参数和准确性。

基于命令表的架构 (LBA) 提供灵活的转换序列定义以及灵活的过采样。可自定义要转换的通道顺序。也可同步触发多个例化模块（匹配多个模块实例化过程中的采样点）。

有四个控制转换流的寄存器位（请参见寄存器 ADCFLWCTL 的说明）。
可通过两种不同的方式修改寄存器 ADCFLWCTL 的四个转换流控制位：

- 通过数据总线访问
- 通过内部接口信号，每个接口信号都与一个转换流控制位相关

要了解与转换流控制相关的内部接口连接信息，请参见参考手册中的器件概述。

控制 ADCFLWCTL 寄存器的方式包括：只通过内部接口、只通过数据总线，或者同时通过这两种方式，具体取决于寄存器访问配置位 ACC_CFG[1:0]。

如果对相应的访问配置进行了设置并指出事件进程（处理事件时以及完成事件时），则寄存器 ADCFLWCTL 的四个位反映已捕获的请求和四个内部接口信号的状态。

可通过 ADCEIF 寄存器中相应的中断标志捕获转换流错误情况。

有两种转换流控制模式（重启模式、触发模式）。每种模式都会引起转换流控制位的特定行为，可根据应用需要进行选择。

因为 ADC 的内部组件是通过位 ADC_EN 打开 / 关闭的，因此使能 ADC 之后，到可以通过触发器启动第一次转换之前，ADC 需要一个恢复期 (t_{REC})。

位 ADC_EN 清零后（从 1'b1 转换为 1'b0），将中止所有持续的转换序列，并放弃未决结果或当前转换的结果（不存储）。在任何未决操作或正在执行的操作执行完毕或终止之前，均无法重新使能 ADC，其耗费的时间可达 $t_{DISABLE}$ 的最大延迟时间（请参见器件参考手册，了解更多详情）。

第 10 章

电源电压传感器 - (BATSV3)

10.1 简介

BATS 模块提供测量芯片供电电源引脚 VSUP 电压的功能。

10.1.1 特性

VSUP 引脚可通过内部分频器传送到内部模数转换器。独立于至模数转换器的布线，可将此电压传送到比较器，以生成低或高电压中断来警告 MCU。

10.1.2 工作模式

BATS 模块在系统供电模式下的运行方式如下所示：

1. RUN 模式

激活 VSUP 电平感测使能 (BSUSE=1) 或 ADC 连接使能 (BSUAE=1) 会通过电阻梯闭合从 VSUP 引脚到地的路径，并且使能关联的特性（若已选择）。

2. Stop 模式

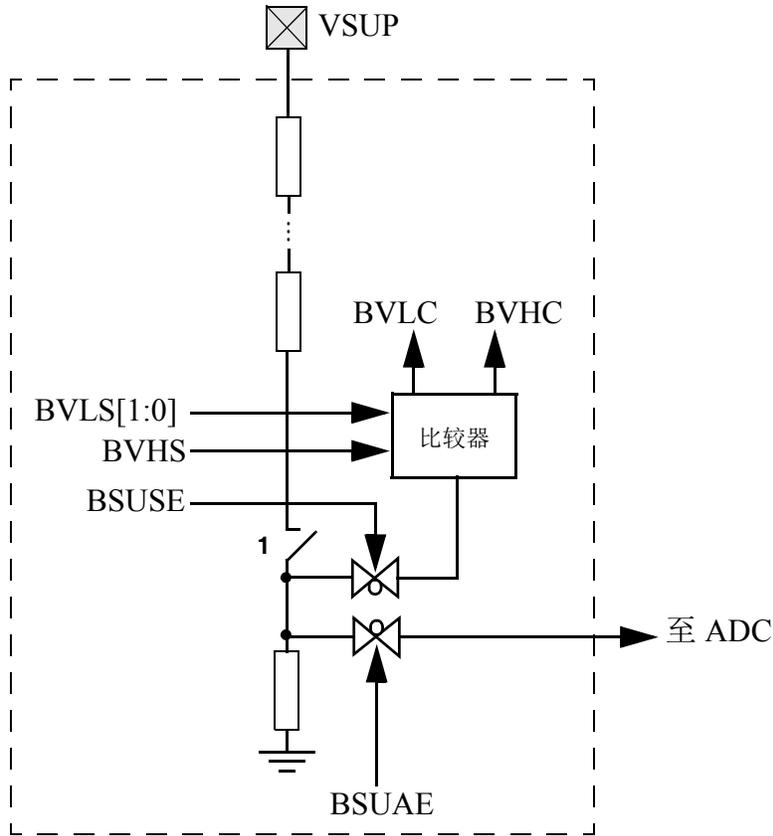
在停止模式运行期间，断开 VSUP 引脚通过电阻梯到地的路径，并禁用低电压和高电压感测特性。

配置寄存器的内容不改变。

10.1.3 框图

图 10-1 所示为 BATS 模块的框图。有关 ADC 通道的连接性，请参见器件指南。

图 10-1. BATS 框图



如果 BSUSE 和 / 或 BSUAE 处于活动状态并在停止模式下打开，则 1 自动关闭

第 11 章

定时器模块 (TIM16B6CV3)

11.1 简介

基础可缩放定时器包括由灵活的可编程预分频器驱动的 16 位软件可编程计数器。

此定时器可用于多种目的，包括在生成输出波形的同时测量输入波形。

此定时器可包含最多 6 个输入捕获 / 输出比较通道。输入捕获功能用于检测选定转换边沿和记录时间。输出比较功能用于生成输出信号或定时器软件延迟。

对计数寄存器或输入捕捉 / 输出比较寄存器的完全访问应发生在一个时钟周期内。分别访问所有这些寄存器的高字节和低字节产生的结果可能不同于在一个字内访问它们。

11.1.1 特性

TIM16B6C 包括以下独特的特性：

- 最多提供 6 个通道。（请参阅器件规格以了解确切数量）
- 所有通道有相同的输入捕捉 / 输出比较功能。
- 时钟预分频。
- 16 位计数器。

11.1.2 操作模式

停止： 由于时钟停止，定时器关闭。

冻结： 定时器计时器继续运行，除非将 TSCR 中的 TSFRZ 置位为 1。

等待： 计时器继续运行，除非将 TSCR1 中的 TSWAI 置位为 1。

正常： 定时器计时器继续运行，除非将 TSCR1 中的 TEN 清除为 0。

11.1.3 框图

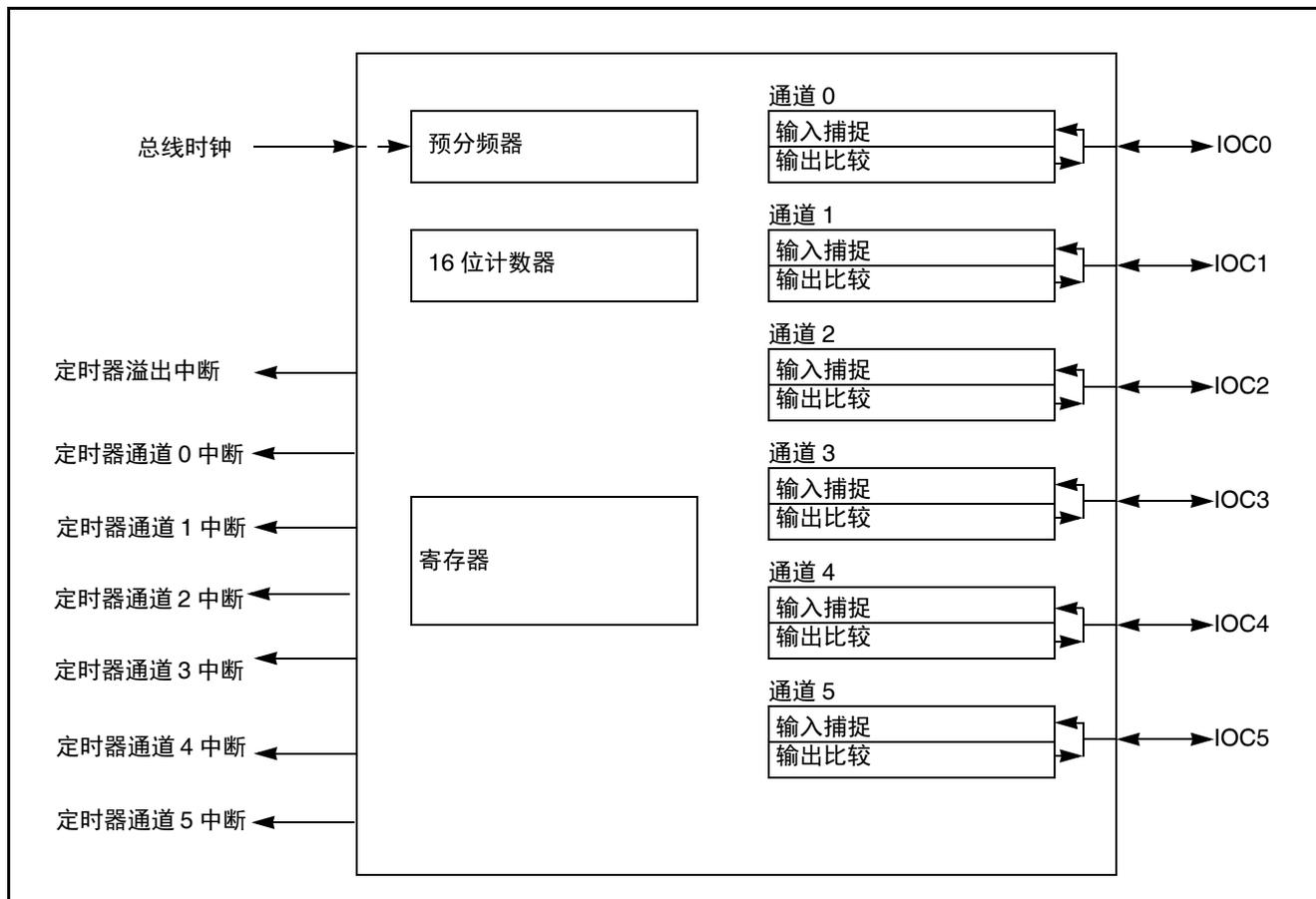


图 11-1. TIM16B6C 框图

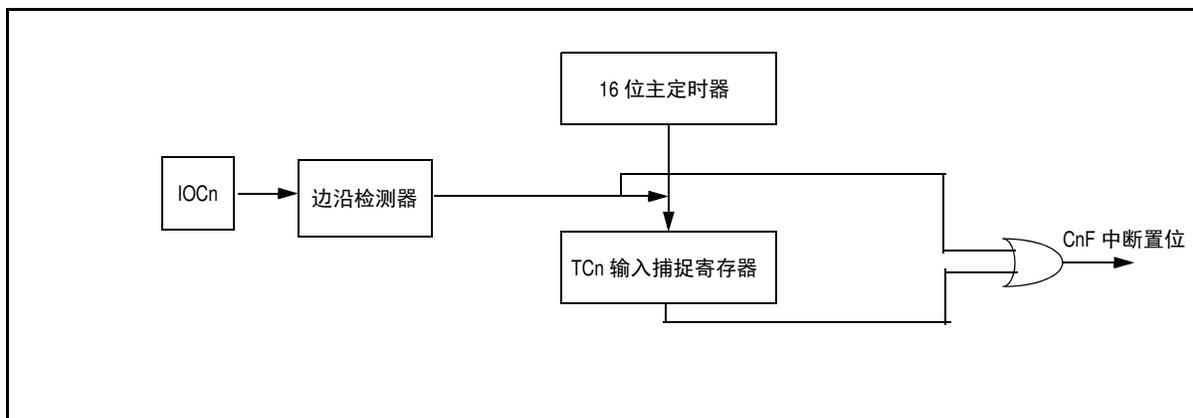


图 11-2. 中断标志设置

第 12 章 定时器模块 (TIM16B2CV3)

12.1 简介

基础可缩放定时器包括由灵活的可编程预分频器驱动的 16 位软件可编程计数器。

此定时器可用于多种目的，包括在生成输出波形的同时测量输入波形。

此定时器可包含最多 2 个输入捕获 / 输出比较通道。输入捕获功能用于检测选定转换边沿和记录时间。输出比较功能用于生成输出信号或定时器软件延迟。

对计数寄存器或输入捕捉 / 输出比较寄存器的完全访问应发生在一个时钟周期内。分别访问所有这些寄存器的高字节和低字节产生的结果可能不同于在一个字内访问它们。

12.1.1 特性

TIM16B2C 包括以下独特的特性：

- 最多提供 2 个通道。（请参阅器件规格以了解确切数量）
- 所有通道有相同的输入捕捉 / 输出比较功能。
- 时钟预分频。
- 16 位计数器。

12.1.2 操作模式

停止： 由于时钟停止，定时器关闭。

冻结： 定时器计时器继续运行，除非将 TSCR 中的 TSFRZ 置位为 1。

等待： 计时器继续运行，除非将 TSCR1 中的 TSWAI 置位为 1。

正常： 定时器计时器继续运行，除非将 TSCR1 中的 TEN 清除为 0。

12.1.3 框图

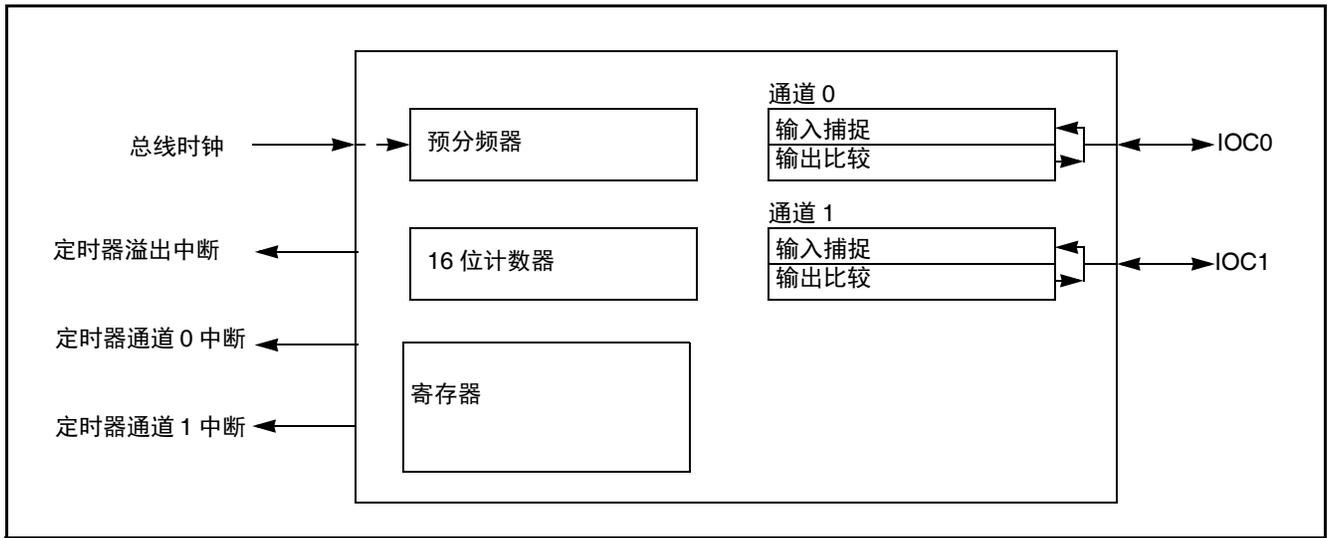


图 12-1. TIM16B2C 框图

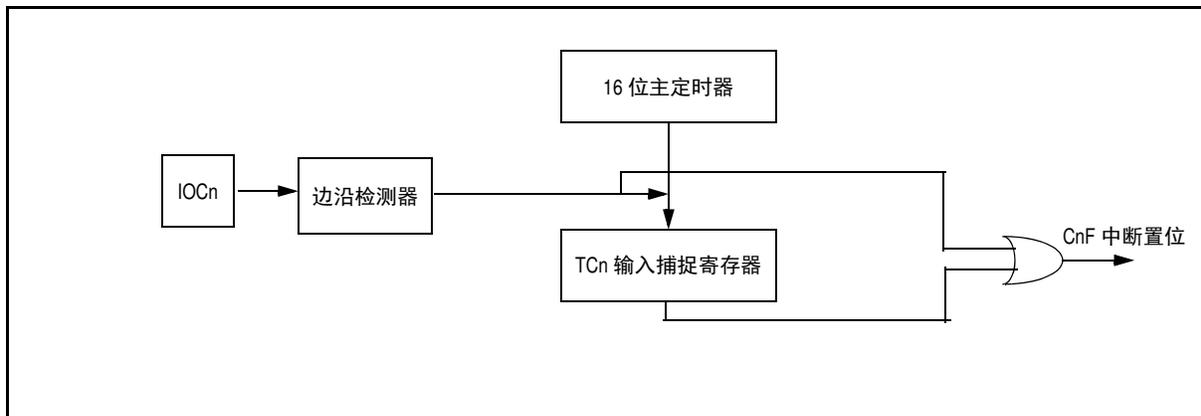


图 12-2. 中断标志设置

第 13 章

脉宽调制器 (S12PWM8B8CV2)

13.1 简介

第 2 版 S12 PWM 模块对第 1 版 S12 PWM8B8C 进行了优化。该通道可以在 PWM0 至 PWM7 之间成对扩展，可用通道编号为 2、4、6 和 8。移除了关断功能，同时改进了灵活性，可以为每个通道选择四个时钟源的其中一个。如果使用版本 2 模块的软件用到对应通道且未使用关断功能，则其完全兼容版本 1。

13.1.1 功能

可扩展 PWM 模块包含以下独特功能：

- 高达 8 个独立的 PWM 通道，可成对扩展（PWM0 至 PWM7）
- 可用通道编号为 2、4、6、8（确切编号请参阅器件规格）
- 每个通道具有可编程周期和占空比
- 每个 PWM 通道具有专用计数器
- 每个通道具有可编程 PWM 使能 / 禁用
- 通过软件选择每个通道的 PWM 占空比脉冲极性
- 周期和占空比双缓冲。当有效周期结束（PWM 计数器达到零）或通道禁用时，变更生效。
- 每个通道上可编程为中间对齐或左对齐输出
- 高达 8 个 8 位通道或 4 个 16 位通道 PWM 分辨率
- 四个时钟源（A、B、SA 和 SB）可提供多种频率
- 可编程时钟选择逻辑

13.1.2 操作模式

提供等待模式下的低功耗软件可编程选项，可禁用预分频器的输入时钟。

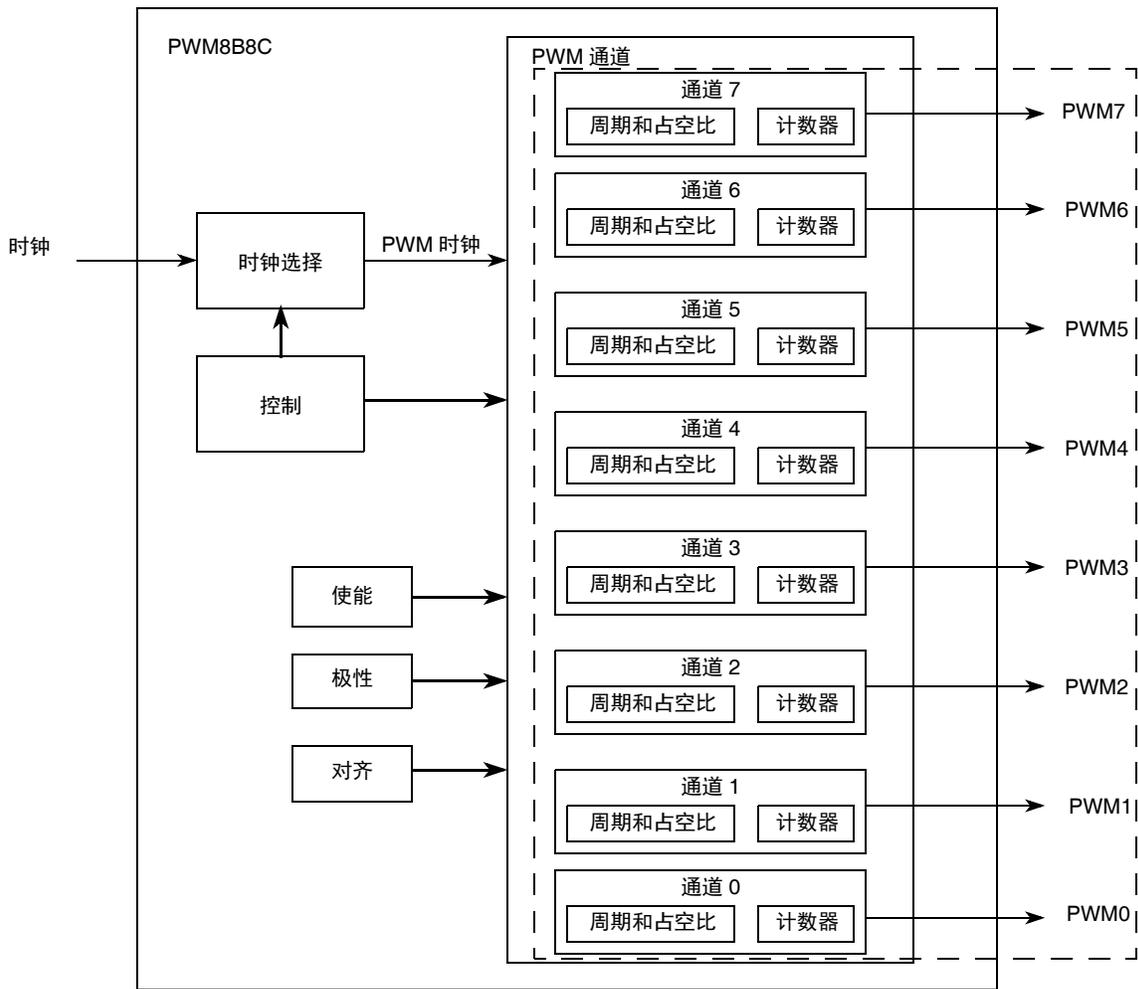
提供冻结模式下的软件可编程选项，可禁用预分频器的输入时钟。这有助于仿真。

等待模式：除非将 PWMCTL 中的 PSWAI 设为 1，否则预分频器继续运行。

冻结模式：除非将 PWMCTL 中的 PFRZ 设为 1，否则预分频器将继续运行。

13.1.3 框图

图 13-1 显示 8 位、8 通道可扩展 PWM 模块框图。



----- 最大可能的通道，可在 PWM0 至 PWM7 之间成对扩展。

图 13-1. 可扩展 PWM 框图

第 14 章 串行通信接口 (S12SCIV6)

14.1 简介

此区块指南概述串行通信接口 (SCI) 模块。

SCI 允许异步串行接口与外部设备或其他 CPU 进行通信。

14.1.1 术语表

IR: 红外

IrDA: 红外设计辅助

IRQ: 中断请求

LIN: 本地互连网络

LSB: 最低有效位

MSB: 最高有效位

NRZ: 不归零

RZI: 归零反相

RXD: 接收引脚

SCI: 串行通信接口

TXD: 发送引脚

14.1.2 功能

SCI 包括以下独特功能:

- 全双工或单线操作
- 标准传号 / 空号不归零 (NRZ) 格式
- 带可编程脉冲宽度的可选择 IrDA 1.4 归零反相 (RZI) 格式
- 16 位波特率选择
- 可编程 8 位或 9 位数据格式
- 单独使能的发送器和接收器
- 发送器和接收器极性可编程

- 发送器输出奇偶校验可编程
- 两种接收器唤醒方法：
 - 空闲线路唤醒
 - 地址标志唤醒
- 中断驱动操作采用以下八个标志：
 - 发送器为空
 - 发送完成
 - 接收器已满
 - 空闲接收器输入
 - 接收器溢出
 - 噪声错误
 - 帧错误
 - 奇偶校验错误
 - 接收有效边沿上的唤醒
 - 发送冲突检测，支持 LIN
 - 断点检测，支持 LIN
- 接收帧错误检测
- 硬件奇偶校验
- 1/16 位时间噪声检测

14.1.3 操作模式

SCI 功能在正常模式、特殊模式和仿真模式下相同。有两个低功率模式，即等待和停止模式。

- 运行模式
- 等待模式
- 停止模式

14.1.4 框图

图 14-1 是 SCI 模块的框图，显示了各种功能区块之间的交互关系。

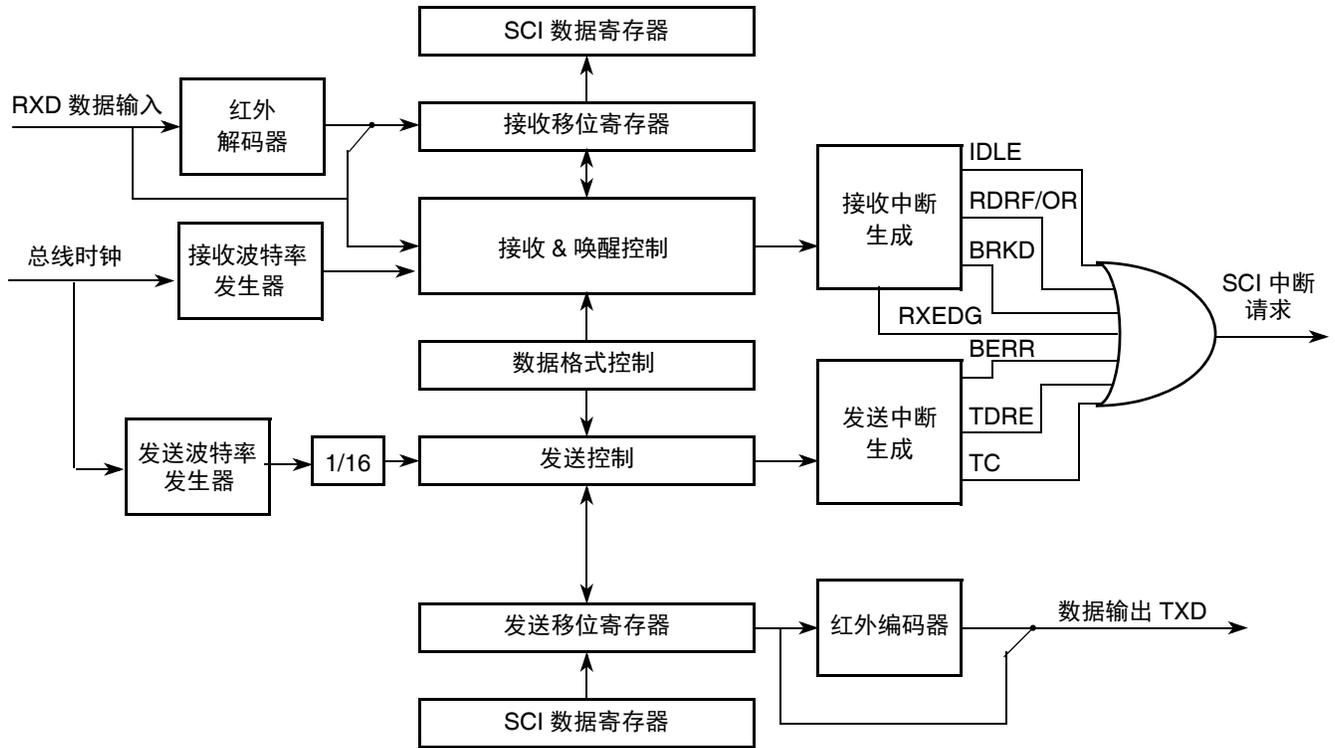


图 14-1. SCI 框图

第 15 章

串行外设接口 (S12SPIV5)

15.1 简介

SPI 模块允许 MCU 和外围设备之间的双工、同步串行通信。软件可以轮询 SPI 状态标志或可使用中断方式驱动 SPI 操作。

15.1.1 术语词汇表

SPI	串行外设接口
SS	从机选择
SCK	串行时钟
MOSI	主机输出, 从机输入
MISO	主机输入, 从机输出
MOMI	主机输出, 主机输入
SISO	从机输入, 从机输出

15.1.2 特性

SPI 包括这些鲜明特性：

- 主机模式和从机模式
- 可选的 8 或 16 位传输宽度
- 双向模式
- 从机选择输出
- 带 CPU 中断功能的模式故障标志
- 双缓冲数据寄存器
- 带可编程极性和相位的串行时钟
- 等待模式期间的 SPI 操作控制

15.1.3 操作模式

SPI 功能有三种模式：运行、等待和停止。

- 运行模式
这是基本操作模式。
- 等待模式

在等待模式下的 SPI 操作是可配置低功率模式，由位于 SPICR2 寄存器中的 SPISWAI 位控制。在等待模式下，如果 SPISWAI 位清零，则 SPI 就像在运行模式下操作。如果 SPISWAI 位置位，则 SPI 进入功耗节约状态，而 SPI 时钟生成会关闭。如果将 SPI 配置成主机，则任何正在进行的发送都会停止，但会在 CPU 进入运行模式后继续发送。如果 SPI 配置为从机，则数据接收和发送将继续，以便从机与主机保持同步。

- 停止模式

在停止模式下，SPI 处于不活动状态以减少功耗。如果将 SPI 配置成主机，则任何正在进行的发送都会停止，但会在 CPU 进入运行模式后恢复。如果 SPI 配置为从机，则数据接收和发送将继续，以便从机与主机保持同步。

15.1.4 框图

图 15-1 对 SPI 架构进行概述。SPI 的主要器件为状态、控制和数据寄存器、移位器逻辑、波特率发生器、主机 / 从机控制逻辑和端口控制逻辑。

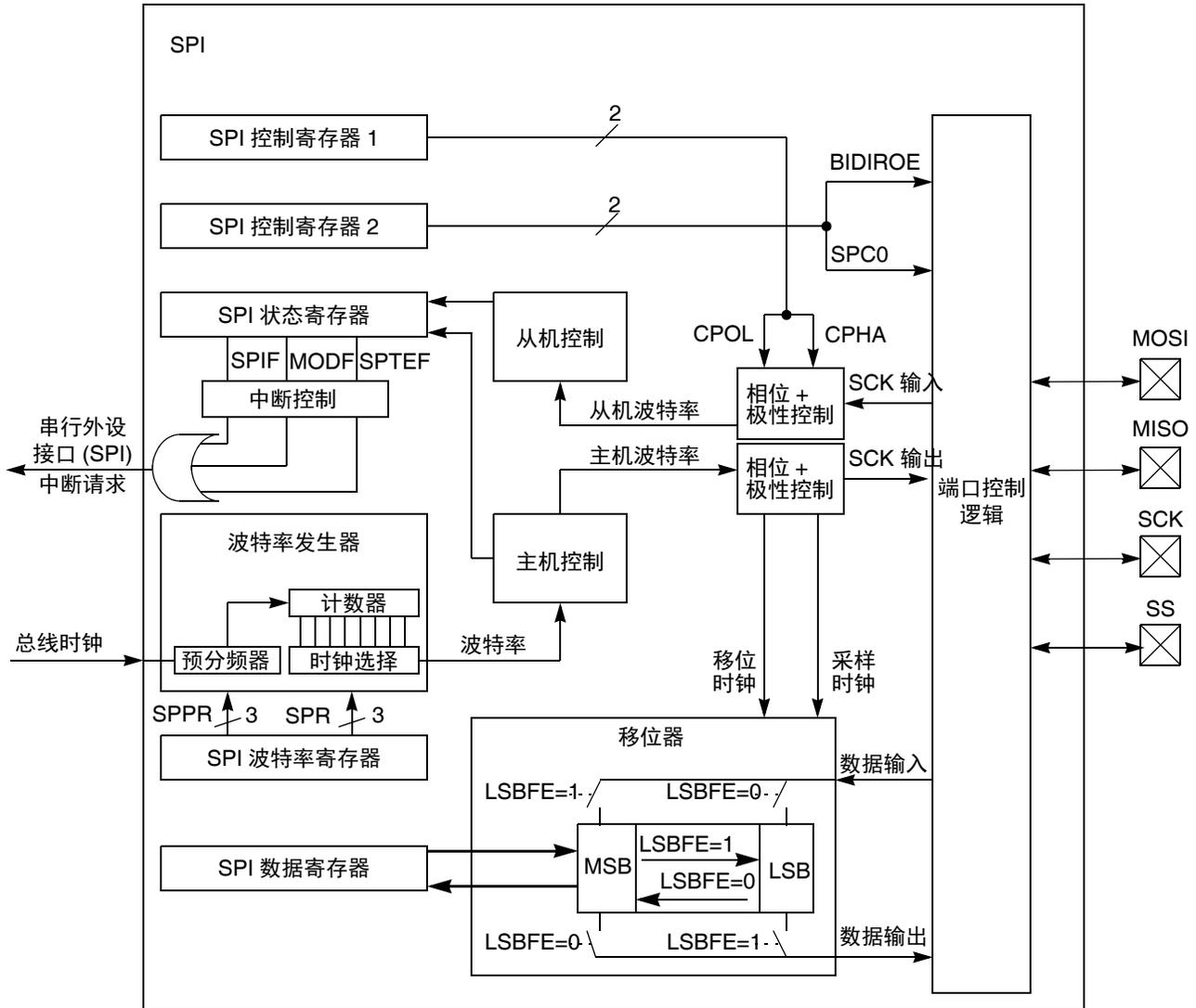


图 15-1. SPI 框图

第 16 章

内部集成电路 (IICV3)

16.1 简介

I2C 总线 (IIC) 是一种双线、双向串行总线，可用于在器件之间实现简单、有效的数据交换。作为一种双线式器件，IIC 总线最大限度地避免了器件之间大量连接的需求，也消除了对地址解码器的需求。

此总线适合需要在大量器件之间偶尔进行短距离通信的应用。它还具备灵活性，允许向总线连接额外器件，以便将来进行扩展和系统开发。

根据设计，该接口最高负荷时运行速度为 100kbps。该器件能够以更高的波特率运行，最高波特率为时钟 /20，但需要降低总线负荷。最大通信长度和可连接的器件数量受限于 400 pF 的最大总线电容。

16.1.1 特性

IIC 模块的主要特性如下：

- 兼容 I2C 总线标准
- 多主机运行
- 可通过软件编程为 256 种不同的串行时钟频率之一
- 可软件选择的应答位
- 中断驱动的逐字节数据传输
- 仲裁丢失中断，可从主机模式自动切换到从机模式
- 广播地址识别中断
- 生成 / 检测开始和停止信号
- 生成重复开始信号
- 生成 / 检测应答位
- 可检测总线忙状态
- 通用广播地址检测
- 兼容 10 位地址规范

16.1.2 工作模式

IIC 功能在正常模式、特殊模式和仿真模式下相同。它有两个低功耗模式：等待和停止模式。

16.1.3 框图

IIC 模块的框图如图 16-1 中所示。

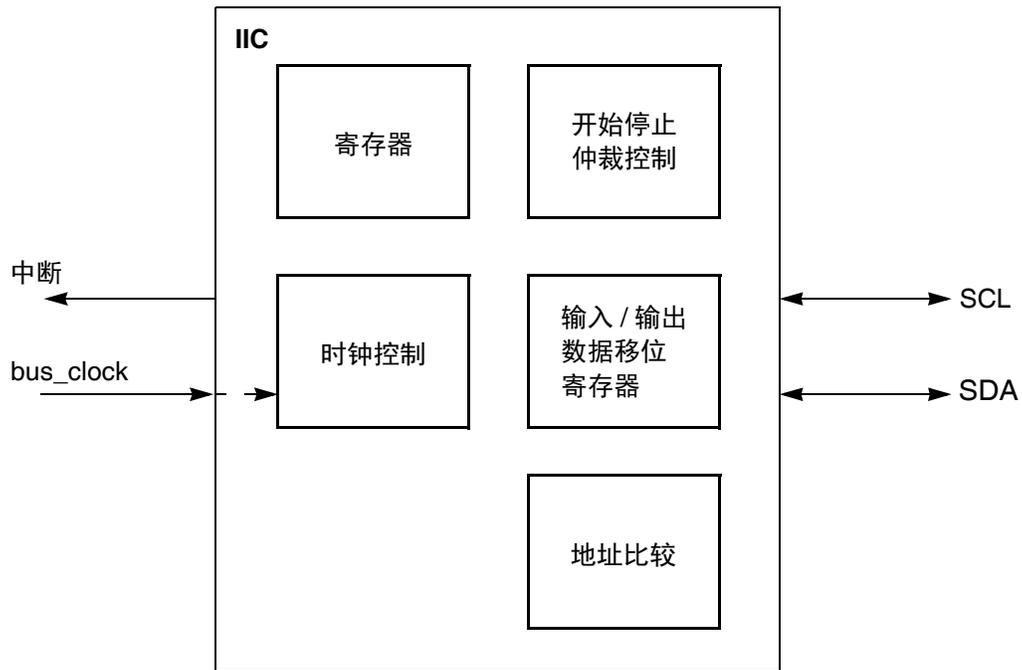


图 16-1. IIC 框图

第 17 章

LIN 物理层 (S12LINPHYV2)

17.1 简介

LIN（局域互连网络）总线引脚在汽车应用中提供单线通信的物理层。LIN 物理层设计用于满足 LIN 联合的 S12LINPHY2.2 规格。

17.1.1 特性

LIN 物理层模块包括下列独特的功能：

- 符合 LIN 物理层 2.2 规格。
- 符合 SAE J2602-2 LIN 标准。
- 带干扰滤波唤醒的待机模式。
- 波特率的转换速率选择优化：10.4 kBit/s、20 kBit/s 和快速模式（最多 250 kBit/s）。
- 可切换的 34 k Ω /330 k Ω 上拉电阻（关闭模式下，仅为 330 k Ω ）
- LIN 总线引脚下降沿的限流。
- 过载电流保护。
- 监控 LPTxD 信号的 LIN TxD 显性超时功能。
- 在过载电流或 TxD 显性超时情况下，自动发送器关闭。
- 满足 OEM “汽车应用中 LIN（CAN 和 FlexRay）接口的硬件要求” v1.3。

限流和过电流发送器关闭时，LIN 发送器为低的一侧 MOSFET。集成的带串行二极管结构中可选择内部上拉电阻器，因此在从机节点中的应用不需要外部上拉组件。要用作主节点，必须将 1 k Ω 的外部电阻器在 VLINSUP 和 LIN 总线引脚之间平行放置，在 VLINSUP 和电阻器之间有二极管。从隐性到主导的下降时间和从主导到隐性的上升时间皆可选可控，以保证通信质量和减少 EMC 辐射。保证斜率之间的对称。

17.1.2 操作模式

LIN 物理层可在以下四种模式下操作：

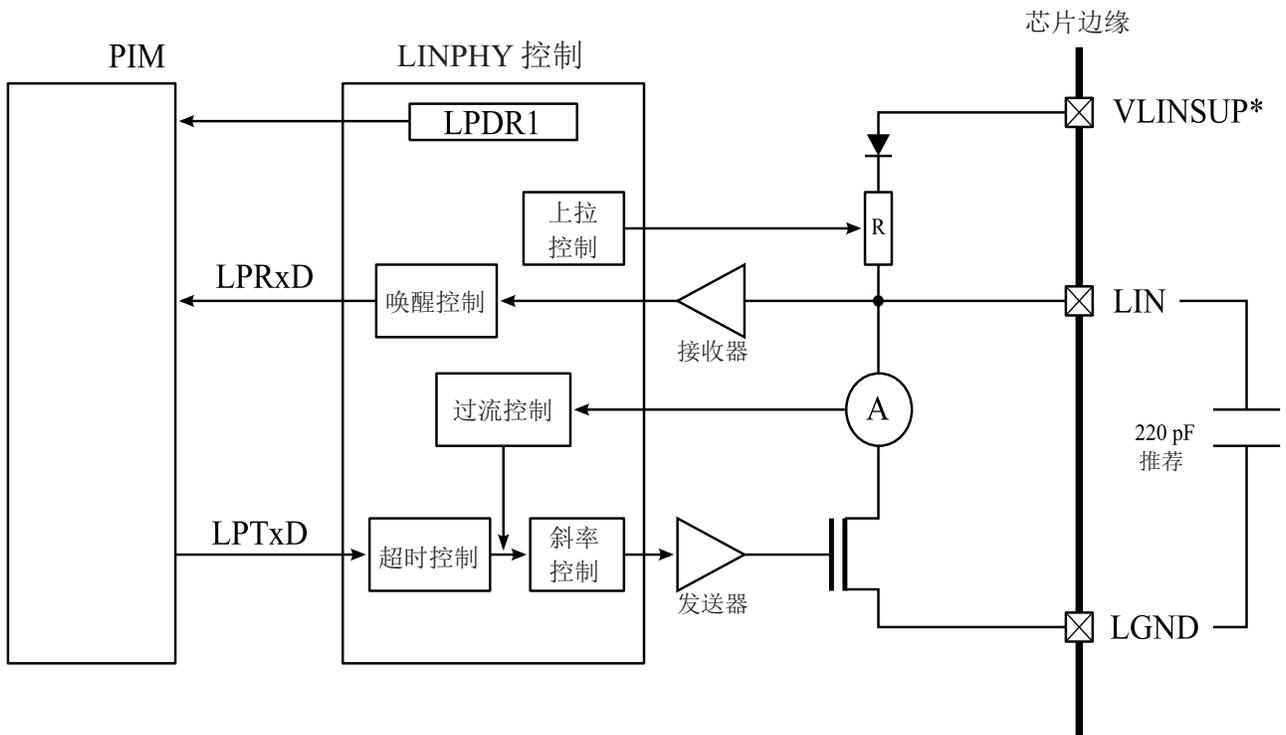
1. 关断模式

完全禁用 LIN 物理层。无唤醒功能可用。高电阻电阻器 (330 k Ω) 替换内部上拉电阻器以在隐性状态下维持 LIN 总线引脚。可访问所有寄存器。

2. 正常模式
全部功能可用。接收器和发送器均启用。
3. 仅接收模式
禁用发送器，并且接收器在完全性能模式下运行。
4. 待机模式
禁用 LIN 物理层的发送器。如果已启用唤醒特性，则可选择内部上拉电阻（330 k Ω 或 34 k Ω ）。接收器进入低功耗模式，并且可选择性地将唤醒事件传递到串行通信接口 (SCI)。如果已启用唤醒特性且 LIN 总线引脚由后跟上升沿并长于 t_{WUFR} 的主导级别驱动，则 LIN 物理层会将唤醒脉冲发送到 SCI，以请求唤醒中断。（只有将 LIN 物理层传送到 SCI 时，此功能才可用）。

17.1.3 框图

图 17-1 给出了 LIN 物理层的框图。模块包括带有唤醒控制的接收器、带有斜率的发送器和超时控制、带过载电流保护的电流传感器以及寄存器控制模块。



*VLINSUP 电源映射在器件级别文档中进行了介绍

图 17-1. S12LINPHY 框图

附注

强烈建议正确操作 LIN 和 LGND 之间的外部 220 pF 电容。

第 18 章

32 KBFash 模块 (S12ZFTMRZ128K512V2)

18.1 简介

FTMRZ32K128 模块实现以下内容：

- P-Flash（程序 Flash）的 32 KB 存储器
- EEPROM 存储器的 128 字节

Flash 存储器非常适合单电源供电应用，可对字段重新编程以实现编程或擦除操作，而无需外部高压电源。Flash 模块包括用于执行命令以修改 Flash 存储器内容的存储控制器。存储控制器的用户接口由索引的 Flash 常用命令对象 (FCCOB) 寄存器组成，该寄存器使用命令、全局地址、数据和任何需要的命令参数进行写入。存储控制器必须先完成命令执行，然后才可使用新命令对 FCCOB 寄存器进行写入。

小心

Flash 字或短语在编程之前必须处于擦除状态。Flash 字或短语内不允许进行位累计编程。

Flash 存储器可按字节和对齐字读取。字节和对齐字的读取访问时间为一个总线周期。对于未对齐字的访问，CPU 必须执行两次字节读取访问命令。对于 Flash 存储器，已擦除的位读 1，已编程的位读 0。

在 EEPROM 存储器上执行一些命令的同时可读取 P-Flash 存储器。在 P-Flash 上执行命令的同时不能读取 EEPROM 存储器。

P-Flash 和 EEPROM 存储器都采用纠错码 (ECC) 实施，该代码可解决单个位故障和检测双位故障。对于 P-Flash 存储器，ECC 实施要求以对齐的 8 字节 (Flash 短语) 为基础进行编程。因为 P-Flash 存储器始终由半个短语读取，所以仅纠正包含所访问字节或字的 4 字节对齐半个短语中的一个单个位故障。

18.1.1 术语表

命令写入序列 — MCU 指令序列用于在 Flash 存储器上执行内置算法（包括编程和擦除）。

EEPROM 存储器 — EEPROM 存储器构成非易失性数据存储。

EEPROM 扇区 — EEPROM 扇区是 EEPROM 存储器中可供擦除的最小部分。EEPROM 扇区包含 4 个字节。

NVM 命令模式 — 一种 NVM 模式，其使用 CPU 设置 FCCOB 寄存器以传递执行 Flash 命令所需的参数。

短语 — P-Flash 存储器中四个 16 位字的对齐组。每个短语包括两组对齐的双字，每组包括 7 个用于每个双字内单个位故障纠正和双位故障检测的 ECC 位。

P-Flash 存储器 — P-Flash 存储器构成应用的主非易失性存储器。

P-Flash 扇区 — P-Flash 扇区是 P-Flash 存储器上可供擦除的最小部分。每一 P-Flash 扇区包含 512 个字节。

程序 IFR — P-Flash 模块中的非易失性信息寄存器，其中包含版本 ID 和一次性编程字段。

18.1.2 特性

18.1.2.1 P-Flash 特性

- 32KB P-Flash 存储器由一个 32KB 的 Flash 块组成，它分成 64 个扇区，每个扇区 512 字节
- 读取操作过程中一个 32 位双字中的单个位故障纠正和双位故障检测
- 自动化编程和擦除算法，以及 ECC 奇偶校验位的验证和生成
- 快速扇区擦除和短语编程操作
- 可在对 EEPROM 存储进行编程的同时读取 P-Flash 存储器
- 灵活的保护方案以防止 P-Flash 的意外编程或擦除操作

18.1.2.2 EEPROM 特性

- 128 字节的 EEPROM 存储器包含一个 128 字节 Flash 模块，此模块又分为 32 个 4 字节扇区
- 读取操作过程中一个字中的单个位故障纠正和双位故障检测
- 自动化编程和擦除算法，以及 ECC 奇偶校验位的验证和生成
- 快速扇区擦除和字编程操作
- 保护方案以防止 EEPROM 存储器的意外编程或擦除操作
- 可在突发序列中对最多四个字进行编程

18.1.2.3 其他 Flash 模块功能

- Flash 存储器编程和擦除操作无需外部高压电源
- 在 Flash 命令完成和检测到 Flash 错误时将生成中断
- 安全机制以防止对 Flash 存储器进行未经授权的访问

18.1.3 框图

Flash 模块的框图显示在图 18-1 中。

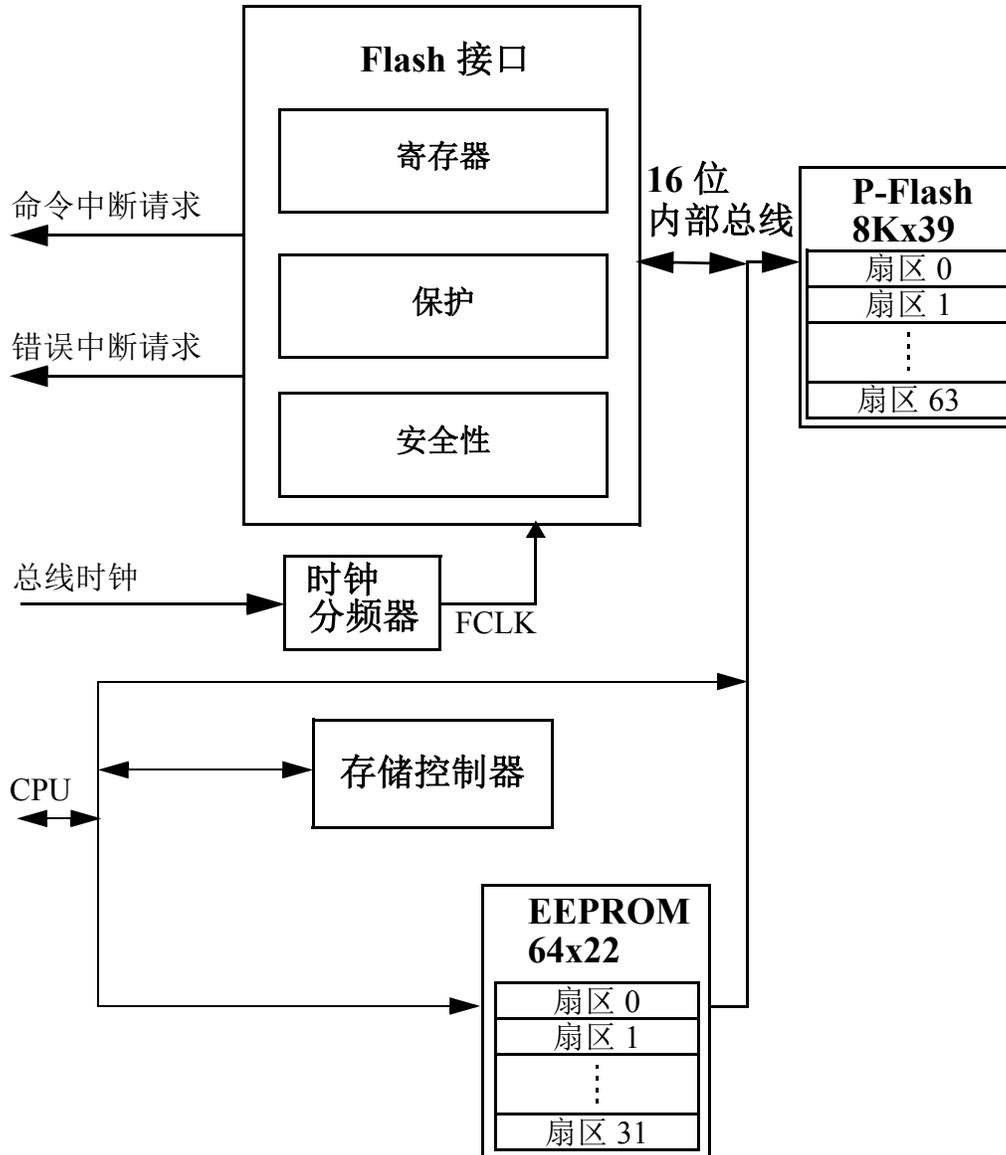


图 18-1. FTMRZ32K128 框图

第 19 章

16 KBFash 模块 (S12ZFTMRZ128K512V2)

19.1 简介

FTMRZ16K128 模块实现以下内容：

- P-Flash（程序 Flash）的 16 KB 存储器
- EEPROM 存储器的 128 字节

Flash 存储器非常适合单电源供电应用，可对字段重新编程以实现编程或擦除操作，而无需外部高压电源。Flash 模块包括用于执行命令以修改 Flash 存储器内容的存储控制器。存储控制器的用户接口由索引的 Flash 常用命令对象 (FCCOB) 寄存器组成，该寄存器使用命令、全局地址、数据和任何需要的命令参数进行写入。存储控制器必须先完成命令执行，然后才可使用新命令对 FCCOB 寄存器进行写入。

小心

Flash 字或短语在编程之前必须处于擦除状态。Flash 字或短语内不允许进行位累计编程。

Flash 存储器可按字节和对齐字读取。字节和对齐字的读取访问时间为一个总线周期。对于未对齐字的访问，CPU 必须执行两次字节读取访问命令。对于 Flash 存储器，已擦除的位读 1，已编程的位读 0。

在 EEPROM 存储器上执行一些命令的同时可读取 P-Flash 存储器。在 P-Flash 上执行命令的同时不能读取 EEPROM 存储器。

P-Flash 和 EEPROM 存储器都采用纠错码 (ECC) 实施，该代码可解决单个位故障和检测双位故障。对于 P-Flash 存储器，ECC 实施要求以对齐的 8 字节（Flash 短语）为基础进行编程。因为 P-Flash 存储器始终由半个短语读取，所以仅纠正包含所访问字节或字的 4 字节对齐半个短语中的一个单个位故障。

19.1.1 术语表

命令写入序列 — MCU 指令序列用于在 Flash 存储器上执行内置算法（包括编程和擦除）。

EEPROM 存储器 — EEPROM 存储器构成非易失性数据存储。

EEPROM 扇区 — EEPROM 扇区是 EEPROM 存储器中可供擦除的最小部分。EEPROM 扇区包含 4 个字节。

NVM 命令模式 — 一种 NVM 模式，其使用 CPU 设置 FCCOB 寄存器以传递执行 Flash 命令所需的参数。

短语 — P-Flash 存储器中四个 16 位字的对齐组。每个短语包括两组对齐的双字，每组包括 7 个用于每个双字内单个位故障纠正和双位故障检测的 ECC 位。

P-Flash 存储器 — P-Flash 存储器构成应用的主非易失性存储器。

P-Flash 扇区 — P-Flash 扇区是 P-Flash 存储器上可供擦除的最小部分。每一 P-Flash 扇区包含 512 个字节。

程序 IFR — P-Flash 模块中的非易失性信息寄存器，其中包含版本 ID 和一次性编程字段。

19.1.2 特性

19.1.2.1 P-Flash 特性

- 16KB P-Flash 存储器由一个 16KB 的 Flash 块组成，它分成 32 个扇区，每个扇区 512 字节
- 读取操作过程中一个 32 位双字中的单个位故障纠正和双位故障检测
- 自动化编程和擦除算法，以及 ECC 奇偶校验位的验证和生成
- 快速扇区擦除和短语编程操作
- 可在对 EEPROM 存储进行编程的同时读取 P-Flash 存储器
- 灵活的保护方案以防止 P-Flash 的意外编程或擦除操作

19.1.2.2 EEPROM 特性

- 128 字节的 EEPROM 存储器包含一个 128 字节 Flash 模块，此模块又分为 32 个 4 字节扇区
- 读取操作过程中一个字中的单个位故障纠正和双位故障检测
- 自动化编程和擦除算法，以及 ECC 奇偶校验位的验证和生成
- 快速扇区擦除和字编程操作
- 保护方案以防止 EEPROM 存储器的意外编程或擦除操作
- 可在突发序列中对最多四个字进行编程

19.1.2.3 其他 Flash 模块功能

- Flash 存储器编程和擦除操作无需外部高压电源
- 在 Flash 命令完成和检测到 Flash 错误时将生成中断
- 安全机制以防止对 Flash 存储器进行未经授权的访问

19.1.3 框图

Flash 模块的框图显示在图 19-1 中。

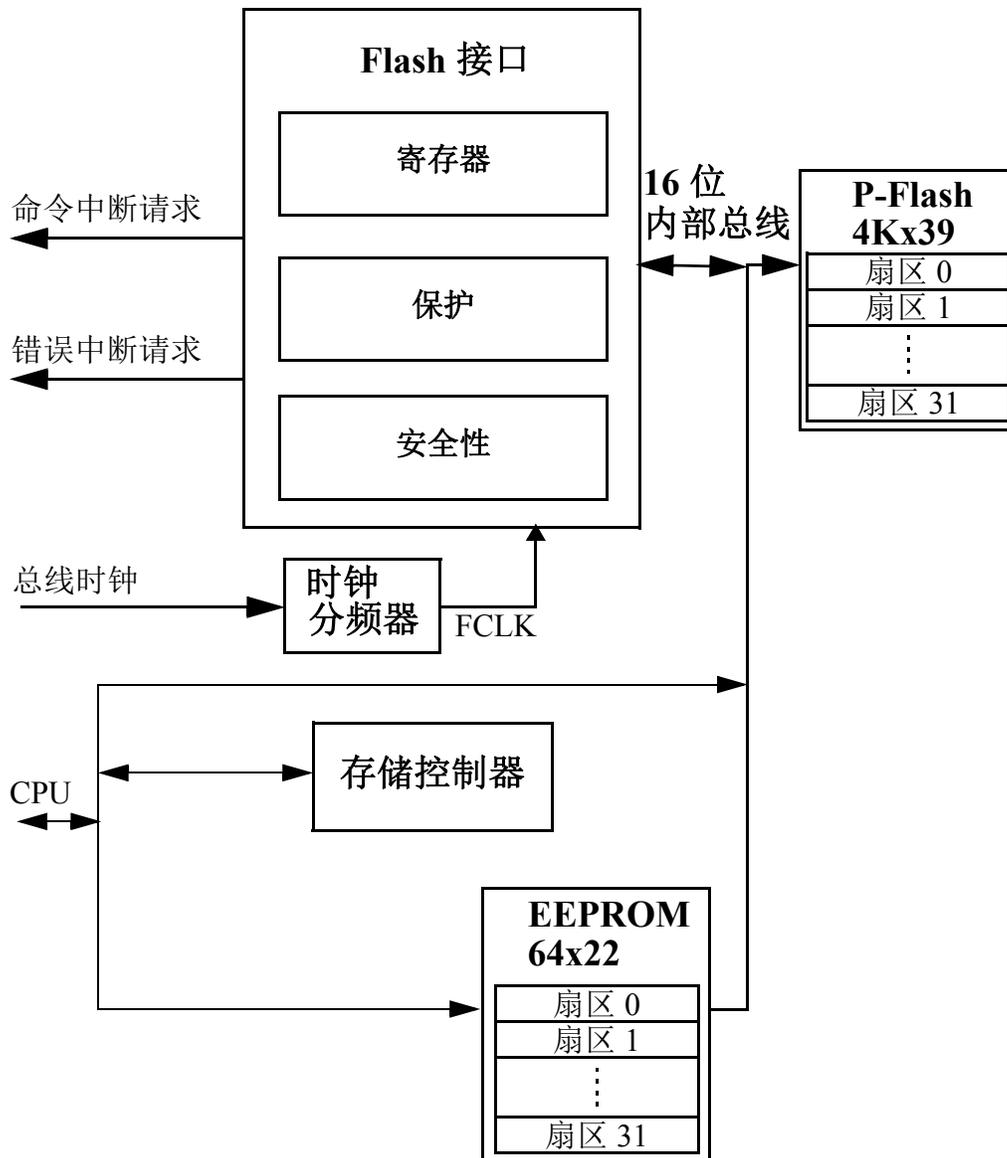


图 19-1. FTMRZ16K128 框图

第 20 章

8 KBFash 模块 (S12ZFTMRZ128K512V2)

20.1 简介

FTMRZ8K128 模块实现以下内容：

- P-Flash（程序 Flash）的 8 KB 存储器
- EEPROM 存储器的 128 字节

Flash 存储器非常适合单电源供电应用，可对字段重新编程以实现编程或擦除操作，而无需外部高压电源。Flash 模块包括用于执行命令以修改 Flash 存储器内容的存储控制器。存储控制器的用户接口由索引的 Flash 常用命令对象 (FCCOB) 寄存器组成，该寄存器使用命令、全局地址、数据和任何需要的命令参数进行写入。存储控制器必须先完成命令执行，然后才可使用新命令对 FCCOB 寄存器进行写入。

小心

Flash 字或短语在编程之前必须处于擦除状态。Flash 字或短语内不允许进行位累计编程。

Flash 存储器可按字节和对齐字读取。字节和对齐字的读取访问时间为一个总线周期。对于未对齐字的访问，CPU 必须执行两次字节读取访问命令。对于 Flash 存储器，已擦除的位读 1，已编程的位读 0。

在 EEPROM 存储器上执行一些命令的同时可读取 P-Flash 存储器。在 P-Flash 上执行命令的同时不能读取 EEPROM 存储器。

P-Flash 和 EEPROM 存储器都采用纠错码 (ECC) 实施，该代码可解决单个位故障和检测双位故障。对于 P-Flash 存储器，ECC 实施要求以对齐的 8 字节 (Flash 短语) 为基础进行编程。因为 P-Flash 存储器始终由半个短语读取，所以仅纠正包含所访问字节或字的 4 字节对齐半个短语中的一个单个位故障。

20.1.1 术语表

命令写入序列 — MCU 指令序列用于在 Flash 存储器上执行内置算法（包括编程和擦除）。

EEPROM 存储器 — EEPROM 存储器构成非易失性数据存储。

EEPROM 扇区 — EEPROM 扇区是 EEPROM 存储器中可供擦除的最小部分。EEPROM 扇区包含 4 个字节。

NVM 命令模式 — 一种 NVM 模式，其使用 CPU 设置 FCCOB 寄存器以传递执行 Flash 命令所需的参数。

短语 — P-Flash 存储器中四个 16 位字的对齐组。每个短语包括两组对齐的双字，每组包括 7 个用于每个双字内单个位故障纠正和双位故障检测的 ECC 位。

P-Flash 存储器 — P-Flash 存储器构成应用的主非易失性存储器。

P-Flash 扇区 — P-Flash 扇区是 P-Flash 存储器上可供擦除的最小部分。每一 P-Flash 扇区包含 512 个字节。

程序 IFR — P-Flash 模块中的非易失性信息寄存器，其中包含版本 ID 和一次性编程字段。

20.1.2 特性

20.1.2.1 P-Flash 特性

- 8KB P-Flash 存储器由一个 8KB 的 Flash 块组成，它分成 16 个扇区，每个扇区 512 字节
- 读取操作过程中一个 32 位双字中的单个位故障纠正和双位故障检测
- 自动化编程和擦除算法，以及 ECC 奇偶校验位的验证和生成
- 快速扇区擦除和短语编程操作
- 可在对 EEPROM 存储进行编程的同时读取 P-Flash 存储器
- 灵活的保护方案以防止 P-Flash 的意外编程或擦除操作

20.1.2.2 EEPROM 特性

- 128 字节的 EEPROM 存储器包含一个 128 字节 Flash 模块，此模块又分为 32 个 4 字节扇区
- 读取操作过程中一个字中的单个位故障纠正和双位故障检测
- 自动化编程和擦除算法，以及 ECC 奇偶校验位的验证和生成
- 快速扇区擦除和字编程操作
- 保护方案以防止 EEPROM 存储器的意外编程或擦除操作
- 可在突发序列中对最多四个字进行编程

20.1.2.3 其他 Flash 模块功能

- Flash 存储器编程和擦除操作无需外部高压电源
- 在 Flash 命令完成和检测到 Flash 错误时将生成中断
- 安全机制以防止对 Flash 存储器进行未经授权的访问

20.1.3 框图

Flash 模块的框图显示在图 20-1 中。

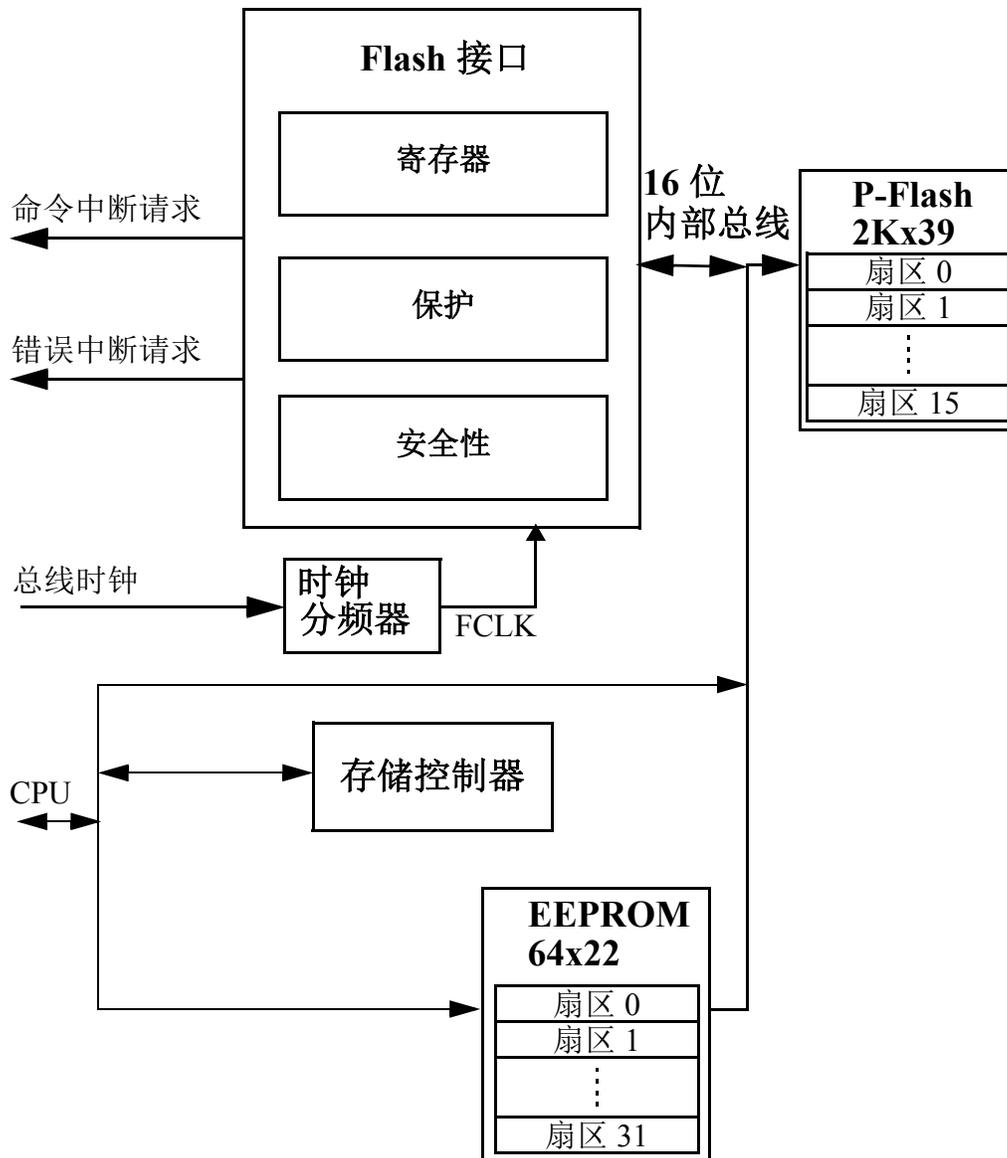


图 20-1. FTMRZ8K128 框图

附录 A

MCU 电气规格

A.1 概述

此附录包含出版时有关 MC9S12ZVL 系列最精确的电气信息。

此简介旨在概述电源、电流注入等若干个常见主题。

表 A-1. 电源

助记符	标称电压	说明
VSS	0V	适用于由芯片电压调节器生成的 1.8V 内核供电电压的接地引脚
VDDX	5.0 V	由芯片电压调节器生成的适用于 I/O 驱动器的 5V 电源
VSSX1	0V	I/O 驱动器的接地引脚
VSSX2	0V	I/O 驱动器的接地引脚
VDDA	5.0 V	适用于模数转换器和内部电压调节器参考电路的 5V 电源
VSSA	0V	VDDA 模拟电源的接地引脚
LGND	0V	LIN 物理接口的接地引脚
VSUP	12V/18V	电压调节器的外部电源

附注

VDDA 通过用于 ESD 保护的二极管连接到 VDDX 引脚，这样 VDDA 超过 VDDX 的电压值一定不会大于二极管的压降值。VSSA 和 VSSX 通过用于 ESD 保护的反平行二极管相连。

A.1.1 引脚

有 4 组功能引脚。

A.1.1.1 通用 I/O 引脚 (GPIO)

I/O 引脚具有一个 VDDX/VDDA 范围为 5V 的电平。这类引脚由所有端口 I/O 引脚、BKGD 和 RESET 引脚组成。

A.1.1.2 高电压引脚

这些包括 LIN 和 BCTL 引脚。这些引脚用来与采用汽车电池供电运行的外部组件相接。其标称电压高于标准 5V I/O 电压范围。

A.1.1.3 振荡器

如果已使能外部振荡器，则 EXTAL 和 XTAL 引脚的工作电压范围为 1.8V。

如果为外部振荡器操作配置指定的 EXTAL 和 XTAL 引脚，则这些引脚的标称电压为 1.8V。

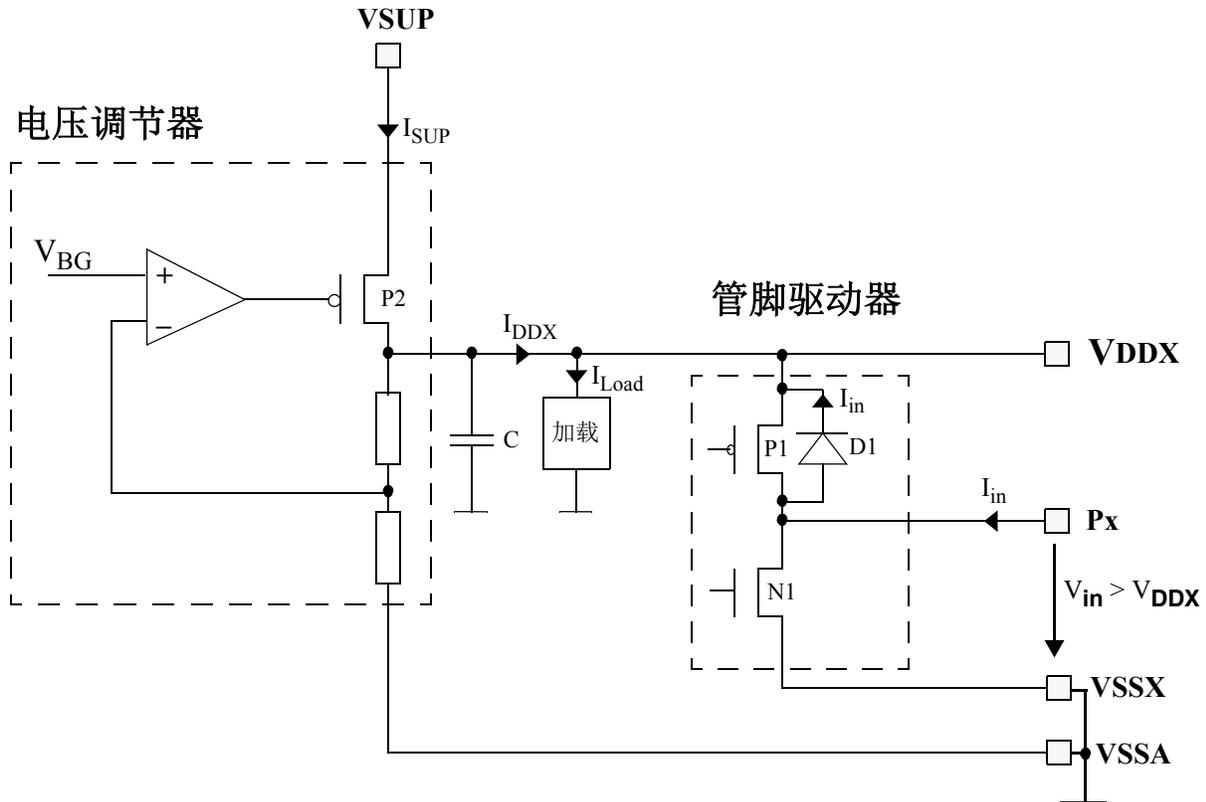
A.1.1.4 TEST

该引脚仅用于生产测试。在所有应用中，该测试引脚必须接地。

A.1.2 电流注入

在瞬时和工作最大电流条件下，电源必须在工作 V_{DDX} 或 V_{DD} 范围内保持调节。图 A-1 给出了 5V GPIO 管脚驱动器和带 VDDX 输出的片上电压调节器。它还给出了电源和接地引脚 VSUP、VDDX、VSSX 和 VSSA。Px 表示任意的 5V GPIO 引脚。假设 Px 配置为输出。管脚驱动器晶体管 P1 和 N1 均已关闭（高阻抗）。如果 Px 上的电压 V_{in} 大于 V_{DDX} ，则正注入电流 I_{in} 将通过二极管 D1 流入 VDDX 节点。如果此注入电流 I_{in} 大于 I_{Load} ，则内部电源 VDDX 可能失调。确保外部 V_{DDX} 负载将分流高于最大注入电流的电流。MCU 不消耗电能时风险最大；例如无系统时钟，或时钟频率极低（这将降低整体电量消耗）。

图 A-1. 如果 $V_{in} > V_{DDX}$ ，则电流注入 GPIO 端口



A.1.3 绝对最大额定值

绝对最大额定值仅为应力极限。未保证超过此范围的功能操作。超出限值的应力可能影响器件的可靠性或对器件造成永久性损坏。

该器件包含防止高静态电压或电场造成损坏的电路，但建议采取预防措施，以避免实际应用中高于额定电压的输入造成这部分电路的损坏。未使用的输入引脚连接到适当的逻辑电压电平，则会增强操作的可靠性。

表 A-2. 绝对最大额定值¹

编号	极限	符号	最小值	最大值	单位
1	稳压器和 LINPHY 电源电压	V_{SUP}	-0.3	42	V
2	LIN 上的直流电压	V_{LIN}	-32	42	V
3	稳压器镇流器连接	V_{BCTL}	-0.3	42	V
4	为 VDDA、VDDX 供电	V_{VDDACX}	-0.3	6	V
5	V_{DDX} 到 V_{DDA}^2 的电压差	ΔV_{DDX}	-0.3	0.3	V
6	V_{SSX} 到 V_{SSA} 的电压差	ΔV_{SSX}	-0.3	0.3	V
7	数字 I/O 输入电压	V_{IN}	-0.3	6.0	V
8	HVI PL0 输入电压	V_{Lx}	-27	42.0	V
9	EXTAL、XTAL ³	V_{ILV}	-0.3	2.16	V
10	TEST 输入	V_{TEST}	-0.3	10.0	V
11	瞬时最大电流适用于 所有数字 I/O 引脚的单引脚限值 ⁴	I_D	-25	+25	mA
12	LIN 上的持续电流	I_{LIN}		± 200 ⁵	mA
13	PP7 上的瞬时最大电流	I_{PP7}	-80	+25	mA
14	PP1、PP3 ⁶ 和 PP5 ⁶ 上的瞬时最大电流	I_{PP135}	-30	+80	mA
15	瞬时最大电流 适用于 EXTAL、XTAL 引脚的单引脚限值	I_{DL}	-25	+25	mA
16	存储温度范围	T_{stg}	-65	155	°C

¹ 超出绝对最大额定值的器件可能已损坏。

² 必须短接 VDDX 和 VDDA。

³ 仅配置用于外部振荡器运行的 EXTAL 和 XTAL 引脚。

⁴ 所有数字 I/O 引脚均在内部将电压钳位到 V_{SSX} 和 V_{DDX} ，或者 V_{SSA} 和 V_{DDA} 。

⁵ LIN 引脚上的电流从内部限制。因此，无论如何也不可能达到 200mA。

⁶ 如果引脚 VSSX2 可用，则仅适用于 PP3 和 PP5。

A.1.4 ESD 保护和闭锁抗扰度

所有 ESD 测试均达到汽车级集成电路的 CDF-AEC-Q100 应力测试资格。设备资格认证期间，ESD 应力适合人体模型 (HBM) 和器件充电模型。

器件在暴露于 ESD 脉冲后，如果不再满足其技术规格，那么将会被定义为故障器件。除非器件规格中另有规定，否则根据适用的器件技术规格先在室温然后在高温下完成直流参数和功能测试。

表 A-3. ESD 和锁定效应测试条件

模型	技术规范	说明	符号	值	单位
人体	JESD22-A114	串联电阻	R	1500	W
		存储电容	C	100	pF
		每个引脚的脉冲数 正极 负极	-	- 1 1	
充电器件	JESD22-C101	串联电阻	R	0	W
		存储电容	C	4	pF
适用于 5V GPIO 的锁定效应		最小输入电压限值		-2.5	V
		最大输入电压限值		+7.5	V
适用于 LIN 的锁闭装置		最小输入电压限值		-7	V
		最大输入电压限值		+27	V

表 A-4. ESD 保护和锁定效应特性

编号	极限	符号	最小值	最大值	单位
1	人体模型 (HBM): -LIN 与 LGND -PL0 -所有其他引脚	V_{HBM} V_{HBM} V_{HBM}	+/-6 +/-4 +/-2	-	KV
2	器件充电模型 (CDM): 边角引脚	V_{CDM}	+/-750	-	V
3	器件充电模式 (CDM): 所有其他引脚	V_{CDM}	+/-500	-	V
4	采用与不采用 220pF 电容器的直接接触放电标准 IEC61000-4-2 (R=330、C=150pF): LIN 与 LGND	V_{ESDIEC}	+/-6	-	KV
5	T=125°C 时 5V GPIO 的闭锁电流 正极 负极	I_{LAT}	+100 -100	-	mA
6	27°C 时的闭锁电流 正极 负极	I_{LAT}	+200 -200	-	mA

A.1.5 操作条件

本节介绍器件的工作条件。除非另有说明，否则这些条件均适用于以下数据。

附注

请参阅与环境温度 T_A 和结温 T_J 相关的器件温度极限。要了解功耗计算的信息，请参阅 A.1.6 节，“功耗和热特性”。

表 A-5. 操作条件

编号	极限	符号	最小值	典型值	最大值	单位
1	稳压器和 LINPHY 电源电压	V_{SUP}	5.5	12	40 ¹	V
2	V_{DDX} 到 V_{DDA} 的电压差	ΔV_{DDX}	-0.1	—	0.1	V
3	V_{SSX} 到 V_{SSA} 的电压差	ΔV_{SSX}	-0.3	—	0.3	V
5	振荡器	f_{osc}	4	—	20	MHz
6	总线频率 ²	f_{bus}	3	—	32	MHz
7	无等待状态的总线频率	f_{WSTAT}	—	—	25	MHz
8a	操作结温度范围 操作环境温度范围 ⁴ (选项 C)	T_J T_A	-40 -40	— —	105 85	°C
8b	操作结温度范围 操作环境温度范围 ⁴ (选项 V)	T_J T_A	-40 -40	— —	125 105	°C
8c	操作结温度范围 操作环境温度范围 ⁴ (选项 M)	T_J T_A	-40 -40	— —	150 125	°C

¹ 正常操作范围介于 5.5 V - 18 V 之间。电压高达 40 V 时不允许继续工作。仅瞬态条件（负载突降）单脉冲 $t_{max} < 400$ ms。

² 必需根据 NVM 电气一节中的说明为 Flash 程序和擦除操作配置 f_{NVMOP} 。

³ 要了解最小 ADC 操作频率的详情，请参阅 f_{ATDCLK} 。源自总线时钟。

⁴ 请参阅 A.1.6 节，“功耗和热特性”，更为详细地了解有关环境温度 T_A 与器件结温 T_J 之间的关系。

附注

停止供电后至低电压复位电平变为有效之前，依旧可以保证正常操作。

A.1.6 功耗和热特性

功耗和热特性密切相关。用户必须确保不超过最高工作结温。可通过以下公式计算平均片结温度 (T_J)（以 °C 为单位）：

$$T_J = T_A + (P_D \cdot \Theta_{JA})$$

T_J = Junction Temperature, [°C]

T_A = Ambient Temperature, [°C]

P_D = Total Chip Power Dissipation, [W]

Θ_{JA} = Package Thermal Resistance, [°C/W]

可通过以下公式计算总功耗 P_D 。下表 A-6 列出了功耗组件。表 A-6 概述了供电电流。

$$P_D = P_{VSUP} + P_{BCTL} + P_{INT} - P_{GPIO} + P_{LIN} - P_{PP7}$$

表 A-6. 功耗组件

功率组件	说明
$P_{SUP} = V_{SUP} I_{SUP}$	整个 VSUP 引脚的内部功率。
$P_{BCTL} = V_{BCTL} I_{BCTL}$	整个 BCTL 引脚的内部功率。
$P_{INT} = V_{DDX} I_{VDDX} + V_{DDA} I_{VDDA}$	通过 VDDX/A 引脚的内部功率。
$P_{GPIO} = V_{I/O} I_{I/O}$	由 GPIO 端口驱动的外部负载功耗。假定该负载在 GPIO 和地之间连接。 P_{INT} 包括此功率组件，并将其从 MCU 总功耗 P_D 中减去。
$P_{LIN} = V_{LIN} I_{LIN}$	LINPHY 的功耗。
$P_{PP7} = V_{DDX} I_{PP7}$	PP7 引脚的功耗。假定该负载在 PP7 和地之间连接。 P_{INT} 包括此功率组件，并将其从 MCU 总功耗 P_D 中减去。

图 A-2. 电源电流概述

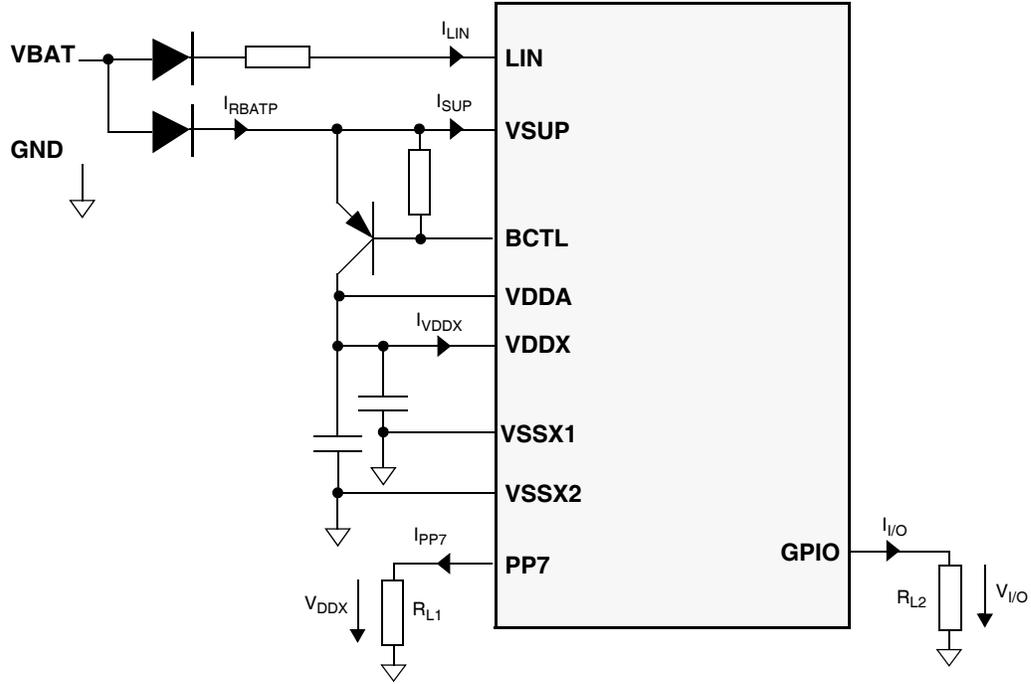


表 A-7. 热封装特性¹

编号	极限	符号	最小值	典型值	最大值	单位
48LQFP						
1	热阻 48LQFP, 单侧 PCB ¹ 自然对流	θ_{JA}	—	80	—	°C/W
2	热阻 48LQFP, 双侧 PCB 带 2 个内部平面 ² 。自然对流	θ_{JA}	—	56	—	°C/W
3	热阻 48LQFP, 单侧 PCB ¹ (@200 ft./min)	θ_{JA}	—	67	—	°C/W
4	热阻 48LQFP, 双侧 PCB 带 2 个内部平面 ² (@200 ft/min)	θ_{JA}	—	50	—	°C/W
5	结至板 48LQFP ³	θ_{JB}	—	34	—	°C/W
6	结至管壳顶部 48LQFP ⁴	θ_{JCTop}	—	24	—	°C/W
7	结合至封装顶部 48LQFP ⁵	Ψ_{JT}	—	6	—	°C/W
32LQFP						
8	热阻 32LQFP, 单侧 PCB ¹ 自然对流	θ_{JA}	—	84	—	°C/W
9	热阻 32LQFP, 双侧 PCB 带 2 个内部平面 ² 。自然对流	θ_{JA}	—	56	—	°C/W
10	热阻 32LQFP, 单侧 PCB ¹ (@200 ft/min)	θ_{JA}	—	71	—	°C/W
11	热阻 32LQFP, 双侧 PCB 带 2 个内部平面 ² (@200 ft/min)	θ_{JA}	—	49	—	°C/W
12	结至板 32LQFP ³	θ_{JB}	—	32	—	°C/W
13	结至管壳顶部 32LQFP ⁴	θ_{JCTop}	—	23	—	°C/W
14	结合至封装顶部 32LQFP ⁵	Ψ_{JT}	—	6	—	°C/W
32QFN-EP						
15	热阻 32QFN-EP, 单侧 PCB ¹ 自然对流	θ_{JA}	—	96	—	°C/W
16	热阻 32QFN-EP, 双侧 PCB 带 2 个内部平面 ³ 。自然对流	θ_{JA}	—	33	—	°C/W
17	热阻 32QFN-EP, 单侧 PCB ¹ (@200 ft/min)	θ_{JA}	—	80	—	°C/W
18	热阻 32QFN-EP, 双侧 PCB 带 2 个内部平面 ³ (@200 ft/min)	θ_{JA}	—	28	—	°C/W
19	结至板 32QFN-EP ⁴	θ_{JB}	—	13	—	°C/W
20	结至管壳顶部 32QFN-EP ⁵	θ_{JCTop}	—	25	—	°C/W
21	结至管壳底部 32QFN-EP ⁵	$\theta_{JCbottom}$	—	2.22	—	°C/W
22	结到封装顶部 32QFN-EP ⁵	Ψ_{JT}	—	3	—	°C/W

¹ θ_{JA} (结到环境热阻) 模拟等同于单层板 (JESD51-3) 处于水平状态的 JEDEC JESD51-2。

² θ_{JA} (结到环境热阻) 模拟等同于单层板 (JESD51-7) 处于水平状态的 JEDEC 规范 JESD51-6。

³ 每个 JEDEC JESD51-8 裸片和印刷电路板之间的热阻。板温度在封装附近的板上表面测量。

⁴ 通过冷板方法测量裸片和外壳顶面之间的热阻 (MIL SPEC-883 Method 1012.1)。

⁵ 基于 JEDEC JESD51-2 标准, 热特性参数表示封装顶部和结温之间的温差。

1. 热阻值可通过封装模拟实现

A.1.7 I/O 特性

本节将介绍 I/O 引脚的特性。

表 A-8. 5V I/O 特性 (结温度介于 -40°C 至 $+150^{\circ}\text{C}$ 之间)

除非另有说明, 条件为 $4.5\text{ V} < V_{\text{DDX}} < 5.5\text{ V}$ 。所有 GPIO 引脚的 I/O 特性 (在 A.1.1.1/A-110 中定义)。						
编号	极限	符号	最小值	典型值	最大值	单位
1a	输入高电压	V_{IH}	$0.65 \cdot V_{\text{DDX}}$	—	—	V
1b	输入高电压 BKGD 引脚, $3.15\text{ V} < V_{\text{DDX}} < 5.5\text{ V}$	V_{IH}	$0.65 \cdot V_{\text{DDX}}$	—	—	V
2	输入高电压	V_{IH}	—	—	$V_{\text{DDX}} + 0.3$	V
3a	输入低电压	V_{IL}	—	—	$0.35 \cdot V_{\text{DDX}}$	V
3b	输入低电压 BKGD 引脚, $3.15\text{ V} < V_{\text{DDX}} < 5.5\text{ V}$	V_{IL}	—	—	$0.35 \cdot V_{\text{DDX}}$	V
4	输入低电压	V_{IL}	$V_{\text{SSX}} - 0.3$	—	—	V
5	输入迟滞	V_{HYS}	—	250	—	mV
6	除了 PP1、PP3、PP5 和 PP7 的所有 GPIO 上的输入漏电流 (高阻抗输入模式下的引脚) ¹ $V_{\text{in}} = V_{\text{DDX}}$ 或 V_{SSX}	I_{in}	-1	—	1	μA
7	PP1、PP3、PP5 和 PP7 上的输入漏电流 (高阻抗输入模式下的引脚) ¹ $V_{\text{in}} = V_{\text{DDX}}$ 或 V_{SSX}	I_{in}	-2.5	—	2.5	μA
8	输出高电压 (除了 PP1、PP3 ² 、PP5 ² 和 PP7 外的所有 GPIO) $I_{\text{OH}} = -4\text{ mA}$	V_{OH}	$V_{\text{DDX}} - 0.8$	—	—	V
9	输出低电压 (除了 PP1、PP3 ² 、PP5 ² 和 PP7 外的所有 GPIO) $I_{\text{OL}} = +4\text{ mA}$	V_{OL}	—	—	0.8	V
I/O 特性 PP1, 如果 VSSX2 可用, 则也对 PP3 和 PP5 有效						
10	输出高电压 部分驱动 $I_{\text{OH}} = -2\text{ mA}$ 全部驱动 $I_{\text{OH}} = -18\text{ mA}$ ³	V_{OH}	$V_{\text{DDX}} - 0.8$	—	—	V
11	输入低电压, 部分驱动 $I_{\text{OL}} = +2\text{ mA}$ 全部驱动 $I_{\text{OL}} = +25\text{ mA}$ ³	V_{OL}	—	—	0.8 0.25	V
12	允许的最高持续电流	I_{PP}	-10	—	+25	mA
13	过流检测阈值	I_{OCD}	+40	—	+80	mA
I/O 特性 PP7						
14	输出高电压 部分驱动 $I_{\text{OH}} = -2\text{ mA}$ 全部驱动 $I_{\text{OH}} = -10\text{ mA}$ ³ 全部驱动 $I_{\text{OH}} = -18\text{ mA}$ ³	V_{OH}	$V_{\text{DDX}} - 0.8$ $V_{\text{DDX}} - 0.1$ $V_{\text{DDX}} - 0.2$	—	—	V
15	输出低电压 部分驱动 $I_{\text{OL}} = +2\text{ mA}$ 全部驱动 $I_{\text{OL}} = +20\text{ mA}$ ³	V_{OL}	—	—	0.8	V
16	允许的最高持续电流	I_{PP}	-20	—	10	mA

表 A-8. 5V I/O 特性（结温度介于 -40°C 至 $+150^{\circ}\text{C}$ 之间）

除非另有说明，条件为 $4.5\text{ V} < V_{\text{DDX}} < 5.5\text{ V}$ 。所有 GPIO 引脚的 I/O 特性（在 A.1.1.1/A-110 中定义）。						
17	过流检测阈值	I_{OCD}	-80	—	-40	mA
18	内部上拉电流（除 RESET 以外的所有 GPIO） V_{IH} 最小值 > 输入电压 > V_{IL} 最大值	I_{PUL}	-10	—	-130	μA
19	内部上拉电阻（RESET 引脚）	R_{PUL}	2.5	5	10	K Ω
20	内部下拉电流 V_{IH} 最小值 > 输入电压 > V_{IL} 最大值	I_{PDH}	10	—	130	μA
21	输入电容	C_{in}	—	7	—	pF
22	注入电流 ⁴ 单引脚限值 总设备限制值，所有已注入电流的总和	I_{ICS} I_{ICP}	-2.5 -25	—	2.5 25	mA

¹ 操作温度达到最大值时出现最大漏电流。温度范围介于 50°C 到 125°C 之间时，温度每降低 8°C 到 12°C ，电流约降低一半。

² 如果引脚 VSSX2 不可用，则不适用于 PP3 和 PP5。

³ 此值源自 SPICE 仿真，不受测试保障。

⁴ 为确保 ADC 转换精度，应用程序应避免将任何电流注入引脚 PAD0/VRH 和 PAD1/VRL。若要了解更多详情，请参阅 A.1.2 节，“电流注入”。

表 A-9. 引脚时序特性

除非另有说明，否则条件为 $4.5\text{ V} < V_{\text{DDX}} < 5.5\text{ V}$ ，结温范围为 -40°C 至 $+150^{\circ}\text{C}$ 所有 GPIO 引脚的 I/O 特性（在 A.1.1.1/A-110 中定义）。						
编号	极限	符号	最小值	典型值	最大值	单位
1	端口 P、S、AD 中断输入脉冲被过滤掉 (STOP) ¹	$t_{\text{P_MASK}}$	—	—	3	μs
2	端口 P、S、AD 中断输入脉冲可传送 (STOP) ¹	$t_{\text{P_PASS}}$	10	—	—	μs
3	周期 $1/f_{\text{bus}}$ 的众多总线时钟周期中已过滤的端口 P、S、AD 中断输入脉冲 (STOP)	$n_{\text{P_MASK}}$	—	—	3	
4	周期 $1/f_{\text{bus}}$ 的众多总线时钟周期中已传送的端口 P、S、AD 中断输入脉冲 (STOP)	$n_{\text{P_PASS}}$	4	—	—	
5	$\overline{\text{IRQ}}$ 脉冲宽度在边沿敏感模式 (STOP) 基于 $1/f_{\text{bus}}$ 总线时钟周期可通过的个数	n_{IRQ}	1	—	—	
6	$\overline{\text{RESET}}$ 引脚输入脉冲已过滤	$R_{\text{P_MASK}}$	—	—	12	ns
7	$\overline{\text{RESET}}$ 引脚输入脉冲已传送	$R_{\text{P_PASS}}$	18	—	—	ns

¹ 参数仅在停止或伪停止模式下适用。

A.1.8 电源电流

本节介绍器件的电流消耗特性以及测量条件。

A.1.8.1 测量条件

电流在 VSUP 上测量。VDDX 与 VDDA 相连。不包括驱动外部负载的电流。除非另有说明，否则在特殊的单芯片模式下测量电流，并从 RAM 中执行 CPU 代码。对于运行和等待模式中的电流测量，PLL 要打开且参考时钟为调整至 1MHz 的 IRC1M。总线时钟频率设置为最大值 32MHz。表 A-10、表 A-11 和表 A-12 显示 CPU 模块的配置，以及运行、等待和停止模式中电流测量的外设。

表 A-10. 适用于伪停止电流测量的 CPMU 配置

CPMU 寄存器	位设置 / 条件
CPMUCLKS	PLLSEL=0, PSTP=1, CSAD=0, PRE=PCE=RTIOSCSEL=1 COPOSCSEL[1:0]=01
CPMUOSC	OSCE=1, EXTAL 的外部方波 $f_{EXTAL}=4$ MHz, $V_{IH}=1.8$ V, $V_{IL}=0$ V
CPMURTI	RTDEC=0, RTR[6:4]=111, RTR[3:0]=1111;
CPMUCOP	WCOP=1, CR[2:0]=111

表 A-11. 适用于运行 / 等待与完全停止模式电流测量的 CPMU 配置

CPMU 寄存器	位设置 / 条件
CPMUSYNR	VCOFRQ[1:0]= 1, SYNDIV[5:0] = 31
CPMUPOSTDIV	POSTDIV[4:0]=0
CPMUCLKS	PLLSEL=1, CSAD=0
CPMUOSC	OSCE=0, PLL 的参考时钟为被调整至 1 MHz 的 $f_{ref}=f_{irc1m}$
停止模式电流测量的 API 设置	
CPMUAPICTL	APIEA=0、APIFE=1、APIE=0
CPMUACLKTR	微调至 ≥ 20 KHz
CPMUAPIRH/RL	置位为 0xFFFF

表 A-12. 运行和等待模式电流测量的外设置

外设	配置寄存器
SCI	以 19200 波特的速率持续发送数据 (0x55)
SPI	配置为主机模式，以 1 Mbit/s 的速度持续发送数据 (0x55)
ADC	外围设备配置为以其最大指定频率运行，并连续在单个输入通道上转换电压

表 A-12. 运行和等待模式电流测量的外设配置

外设	配置寄存器
DBG	以典型终端应用中的方式禁用该模块
PWM	以 10 kHz 模数率配置该模块
TIM	配置该外围设备以输出比较模式
COP 和 RTI	使能
BATS	启用
LINPHY	连接至 SCI 并以 19200 波特的速度持续传输数据 (0x55)

表 A-13. 运行和等待模式的电流特性

条件是: $V_{SUP}=18V$, $-40^{\circ}C < T_J < 150^{\circ}C$, 请参阅表 A-11 和表 A-12

编号	极限	符号	最小值	典型值	最大值	单位
1	运行模式电流	I_{SUPR}	—	16	26	mA
2	等待模式电流	I_{SUPW}	—	10	18	mA

表 A-14. 停止模式电流特性

条件: $V_{SUP}=12V$

编号	额定值 ¹	符号	最小值	典型值	最大值	单位
停止模式电流, 所有模块关闭						
1	$T_J = -40^{\circ}C$	I_{SUPS}	—	20	28	μA
2	$T_J = 25^{\circ}C$	I_{SUPS}	—	23	33	μA
3	$T_J = 85^{\circ}C$	I_{SUPS}	—	44	55	μA
4	$T_J = 105^{\circ}C$	I_{SUPS}	—	63	85	μA
5	$T_J = 125^{\circ}C$	I_{SUPS}	—	115	156	μA
已启用停止电流 API 且 LINPHY 处于待机状态						
6	$T_J = 25^{\circ}C$	I_{SUPS}	—	38	—	μA

¹ 如果 MCU 处于停止模式的时间足够长, 则 $T_A = T_J$ 。由于停止模式电流可以忽略不计, 因此裸片会自加热。

表 A-15. 伪停止模式电流特性

条件: $V_{SUP}=12V$, API、COP 和 RTI 使能

编号	极限	符号	最小值	典型值	最大值	单位
1	$T_J = 25^{\circ}C$	I_{SUPPS}	—	155	350	μA

A.2 CPMU 电气特性 (VREG、OSC、IRC、PLL)

A.2.1 VREG 电气规格

表 A-16. 电压调节器电气特性

-40°C ≤ T _J ≤ 150°C (除非另有说明), VDDA 和 VDDX 在应用板上必须短接。						
编号	特性	符号	最小值	典型值	最大值	单位
1	输入电压	V _{SUP}	3.5	—	40	V
2a	输出电压 VDDX (具有外部 PNP) 全性能模式 V _{SUP} > =6V 全性能模式 5.5V ≤ V _{SUP} ≤ 6V 全性能模式 3.5V ≤ V _{SUP} ≤ 5.5V 低性能模式 (停止模式) V _{SUP} > =3.5V	V _{DDX}	4.85 4.50 3.13 2.5	5.0 5.0 - 5.5	5.15 5.25 5.25 5.75	V V V V
2b	输出电压 VDDX (不具有外部 PNP) 全性能模式 V _{SUP} > =6V 全性能模式 5.5V ≤ V _{SUP} ≤ 6V 全性能模式 3.5V ≤ V _{SUP} ≤ 5.5V 低性能模式 (停止模式) V _{SUP} > =3.5V	V _{DDX}	4.80 4.50 3.13 2.5	4.95 4.95 - 5.5	5.10 5.20 5.20 5.75	V V V V
3	负载电流 VDDX ^{1, 2, 3} 不具有外部 PNP 完全性能模式 V _{SUP} > 6V 全性能模式 3.5V ≤ V _{SUP} ≤ 6V 低性能模式 (停止模式)	I _{DDX}	0 0 0	- - -	70 25 5	mA mA mA
4	短路 VDDX 回调电流 V _{DDX} ≤ 0.5V	I _{DDX}	—	100	—	mA
5	低电压中断有效电平 ⁴ 低电压中断无效电平	V _{LVIA} V _{LVID}	4.04 4.19	4.23 4.38	4.40 4.49	V V
6a	VDDX 低电压复位变为无效 ⁵	V _{LVRXD}	—	—	3.13	V
6b	VDDX 低电压复位变为有效	V _{LVRXA}	2.95	3.02	—	V
7	已调整的 ACLK 输出频率	f _{ACLK}	—	20	—	KHz
8	已调整的 ACLK 内部时钟 Δf / f _{nominal} ⁶	df _{ACLK}	- 6%	—	+ 6%	—
9	APIFE 使能计数器之后的首个周期可能会因为 API 启动延迟而缩短	t _{sdel}	—	—	100	μs
10	温度传感器压摆率	dV _{HT}	4.8	5.05	5.3	mV/°C
11	温度传感器输出电压 (150°C)	V _{HT}	—	2.3	—	V
12	高温中断变为有效 ⁷ 高温中断变为无效	T _{HTIA} T _{HTID}	120 110	132 122	144 134	°C °C
13	带隙输出电压	V _{BG}	1.13	1.22	1.32	V

表 A-16. 电压调节器电气特性

-40°C ≤ T _J ≤ 150°C (除非另有说明), VDDA 和 VDDX 在应用板上必须短接。						
编号	特性	符号	最小值	典型值	最大值	单位
14	在输入电压 V _{SUP} 3.5V ≤ V _{SUP} ≤ 18V、T _J = 125°C 内的 V _{BG} 电压变化	ΔV _{BGV}	-5		5	mV
15	在温度 T _J V _{SUP} = 12V、-40°C ≤ T _J ≤ 150°C 内的 V _{BG} 电压分配	ΔV _{BGV}	-20		20	mV
16	外部 PNP (VDDX) 的基极电流 ⁸	I _{BCTLMAX}	2.3	—	—	mA
17	从“停止”模式恢复的时间	t _{STP_REC}	—	23	—	μs

¹ 对于给定的最大负载电流和 V_{SUP} 输入电压, MCU 将不会复位。

² 请注意, 内核电流来自 VDDX。

³ 由于最大允许 T_J, 因此可应用进一步限制。

⁴ 在 VDDA 电源域上监测 LVI。

⁵ 在 VDDX 电源域上监测 LVRX, 仅在全性能模式下处于有效状态。在低性能模式 (停止模式) 下, 电压管理仅由监测内核 VDD 的 POR 区块执行。

⁶ 必须调整 ACLK, 以使最小周期等于 0.2ms。

⁷ VREGHTTR=0x88。

⁸ 外部 PNP 提供最大电流时, 这是可以确保的最小基极电流。

附注

LVR 监测 VDD、VDDF 和 VDDX 电压。如果这些电源上的电压降至可能干扰微控制器正确功能 (如执行代码) 的级别, 则触发 LVR。

表 A-17. 建议的电容量

-40°C ≤ T _J ≤ 150°C (除非另有说明), VDDA 和 VDDX 在应用板上必须短接。				
编号	特性	符号	典型值 ¹	单位
1	VDDX 电容 ²	C _{VDDX}	100-220	nF
2	VDDA 电容 ³	C _{VDDA}	100-220	nF
3	稳定电容 ^{4,5}	C _{VDD5}	4.7-10	μF

¹ 值为组件标称值

² X7R 陶瓷

³ X7R 陶瓷

⁴ 可置于 5V 电源节点上 (VDDA、VDDX) 的任何位置

⁵ 4.7μF X7R 陶瓷或 10μF 钽

A.2.2 IRC 和 OSC 电气规格

表 A-18. IRC 电气特性

编号	极限	符号	最小值	典型值	最大值	单位
1	结温 - 40 到 150 摄氏度 内部参考频率, 出厂微调	f_{IRC1M_TRIM}	0.987	1	1.013	MHz

表 A-19. OSC 电气特性

编号	极限	符号	最小值	典型值	最大值	单位
1	标称晶振和谐振器频率	f_{OSC}	4.0	—	20	MHz
2	启动电流	i_{OSC}	100	—	—	μA
3a	振荡器启动时间 (4MHz) ¹	t_{UPOSC}	—	2	10	ms
3b	振荡器启动时间 (8 MHz) ¹	t_{UPOSC}	—	1.6	8	ms
3c	振荡器启动时间 (16 MHz) ¹	t_{UPOSC}	—	1	5	ms
3d	振荡器启动时间 (20 MHz) ¹	t_{UPOSC}	—	1	4	ms
4	时钟监视器故障确认频率	f_{CMFA}	200	450	1200	KHz
5	输入电容 (EXTAL、XTAL 引脚)	C_{IN}	—	7	—	pF
6	EXTAL 引脚输入迟滞	$V_{HYS,EXTAL}$	—	120	—	mV
7	EXTAL 引脚振幅 (环路控制皮尔斯模式)	$V_{PP,EXTAL}$	—	1.0	—	V
8	EXTAL 引脚所需振幅 ²	$V_{PP,EXTAL}$	0.8	—	1.5	V

¹ 这些值适用于精心设计的 PCB 布局, 具有与晶振 / 谐振器需求相匹配的电容器。

² 需要在室温条件下, 在应用板上使用具有非常低 (≤ 5 pF) 输入电容的探头测量。

A.2.3 锁相环

A.2.3.1 抖动信息

在反馈时钟每一次转换时, 测量参考时钟的偏差, 并相应地调整 VCO 的输入电压。如果在 VCOCLK 频率中无突变, 则继续进行调整。噪音、电压、温度和其他因素导致控制循环中发生轻微变化, 从而造成时钟抖动。如图 A-4 所示, 这种抖动会影响实际的最小和最大时钟周期。

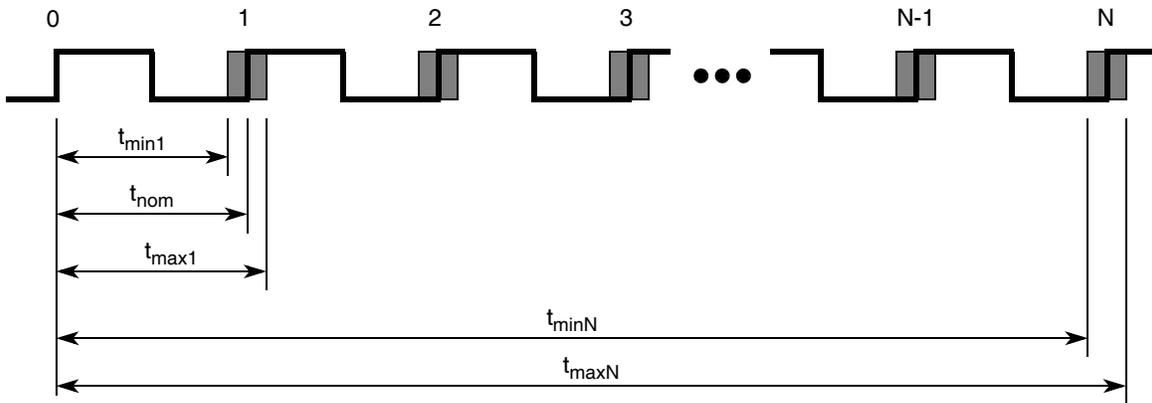


图 A-3. 抖动定义

对于一个时钟周期， t_{nom} 的相对偏差位于其最大值处，大多数时钟周期 (N) 会减少至零。将抖动定义为：

$$J(N) = \max\left(\left|1 - \frac{t_{\text{max}}(N)}{N \cdot t_{\text{nom}}}\right|, \left|1 - \frac{t_{\text{min}}(N)}{N \cdot t_{\text{nom}}}\right|\right)$$

下列公式适用于最大抖动：

$$J(N) = \frac{j_1}{\sqrt{N}}$$

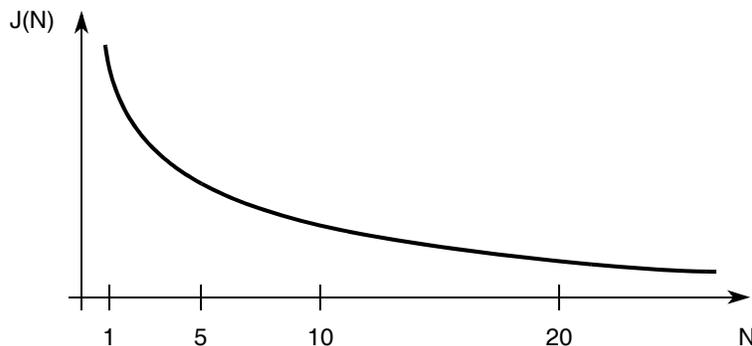


图 A-4. 最大总线时钟抖动近似值

附注

定时器和串行模块上的预分频器在很大程度上可消除抖动的效果。

表 A-20. ipll_1vdd_1l18 特性

除非另有说明，否则条件为 $4.5\text{ V} < V_{DDX} < 5.5\text{ V}$ ，结温范围为 -40°C 至 $+150^{\circ}\text{C}$						
编号	极限	符号	最小值	典型值	最大值	单位
1	系统复位期间的 VCO 频率	$f_{VCO\text{RST}}$	8	—	32	MHz
2	VCO 锁定范围	f_{VCO}	32	—	64	MHz
3	参考时钟	f_{REF}	1	—	—	MHz
4	锁定检测	$ \Delta_{\text{Lock}} $	0	—	1.5	% ¹
5	解锁检测	$ \Delta_{\text{unl}} $	0.5	—	2.5	% ¹
7	锁定时间	t_{lock}	—	—	$150 + 256/f_{\text{REF}}$	μs
8	抖动适合参数 1 ²	j_1	—	—	2	%
9	PLL 时钟监视器故障确认频率	f_{PMFA}	0.45	0.8	1.6	MHz

¹ 距目标频率的偏差 %

² $f_{\text{REF}} = 1\text{MHz}$, $f_{\text{BUS}} = 32\text{MHz}$

A.3 ADC 规格

本节将介绍模数转换器的特性。

A.3.1 ADC 操作特性

表 A-21 和表 A-22 给出了 ADC 运行的条件。

要获取满刻度，满量程的结果还需满足以下约束条件：

$$V_{\text{SSA}} \leq V_{\text{RL}} \leq V_{\text{IN}} \leq V_{\text{RH}} \leq V_{\text{DDA}}$$

因为采样缓冲放大器无法在超过与其相连的电源级别上进行驱动，所以存在此约束。如果输入超出此范围，实际上会对电压进行截断。

表 A-21. ADC 操作特性

供电电压 $3.13\text{ V} < V_{\text{DDA}} < 5.5\text{ V}$, $-40^{\circ}\text{C} < T_{\text{J}} < 150^{\circ}\text{C}$						
编号	极限	符号	最小值	典型值	最大值	单位
1	参考电位 低 高	V_{RL}	V_{SSA}	—	$V_{\text{DDA}}/2$	V
		V_{RH}	$V_{\text{DDA}}/2$	—	V_{DDA}	V
2	V_{DDX} 到 V_{DDA} 的电压差	ΔV_{DDX}	-0.1	0	0.1	V
3	V_{SSX} 到 V_{SSA} 的电压差	ΔV_{SSX}	-0.1	0	0.1	V
4	差分参考电压 ¹	$V_{\text{RH}} - V_{\text{RL}}$	3.13	5.0	5.5	V
5	ATD 时钟频率（由总线时钟通过预分频器总线生成）	f_{ATDCLK}	0.25		8.34	MHz
6	缓冲放大器恢复时间（模块开始 / 从停止模式下恢复后的延迟）	t_{REC}			1	μs
7	ATD 转换周期 ² 10 位分辨率： 8 位分辨率：	N_{CONV10}	18		38	ATD 时钟周期
		N_{CONV8}	16		36	

¹ 如果在 3.3V 范围内使用 ATD 时差分参考电压小于 3.13V，或者如果在 5V 范围内使用 ATD 时差分参考电压小于 4.5V，则精度将降低。

² 最短时间假定为 4 ATD 时钟周期的采样时间。最长时间假定为 24 ATD 时钟周期的采样时间。

A.3.2 影响精度的因素

源电阻、源电容和电流注入对 ADC 精度的影响，请参阅图 A-5。另一因素是配置为输出驱动器开关的端口 AD 引脚。

A.3.2.1 端口 AD 输出驱动器切换

因为输出驱动器由 $V_{\text{DDA}}/V_{\text{SSA}}$ ADC 电源引脚供电，所以在其他端口 AD 引脚上转换模拟电压时，端口 AD 输出驱动器切换反过来会影响 ADC 精度。尽管采取的内部设计措施可以最大程度地减少输出驱动器噪声的影响，但仍建议将端口 AD 引脚配置为仅供低频、低负载输出的输出引脚。对 ADC 精度的影响取决于负载，但并未对其详述。转换期间，在没有端口 AD 输出驱动器开关的条件下，指定的值有效。

A.3.2.2 源电阻

由于所指定输入引脚漏电流与源电阻的协同作用，从信号源到 ADC 输入会出现一个压降。最大源电阻 R_{S} 明确指出最大漏电流导致的误差（10 位分辨率）将小于 1/2 LSB (2.5 mV)。如果设备或运行条件还未达到最坏的状况，或漏电造成的误差在可接受范围内，则允许电源内阻的较大值可高达 10Kohm。

A.3.2.3 源电容

采样时，其他内部电容器则转至输入。由于与外部和引脚电容的电荷共享，可能会导致压降。对于输入电压 $\leq 1\text{LSB}$ （10 位分辨率）以及外部滤波器电容， $C_f \geq 1024 * (C_{\text{INS}} - C_{\text{INN}})$ 的最大采样误差。

A.3.2.4 电流注入

需要考虑两种情况。

1. 将电流注入正在转换的通道。除非电流高于指定的破坏性条件，否则对于模拟输入大于 V_{RH} 其转换值为 \$3FF，对于小于 V_{RL} 的转换值为 \$000（在 10 位模式下）。
2. 电流注入正在转换的通道附近的引脚。此电流的一部分通过通道（耦合比 K ）得到。此额外电流对转换精度的影响取决于源电阻。

在已转换通道上的其他输入电压的误差计算公式是：

$$V_{\text{ERR}} = K * R_S * I_{\text{INJ}}$$

其中 I_{INJ} 是注入两个临近已转换通道引脚电流的总和。

表 A-22. ADC 电气特性

供电电压 $3.13\text{ V} < V_{\text{DDA}} < 5.5\text{ V}$, $-40^{\circ}\text{C} < T_{\text{J}} < 150^{\circ}\text{C}$						
编号	极限	符号	最小值	典型值	最大值	单位
1	最大输入源电阻 ¹	R_{S}	—	—	1	$\text{K}\Omega$
2	总输入电容无采样 总输入电容有采样	C_{INN} C_{INS}	— —	— —	10 16	pF
3	输入内阻	R_{INA}	-	5	15	$\text{k}\Omega$
4	破坏性模拟输入电流	I_{NA}	-2.5	—	2.5	mA
5	正电流注入耦合比	K_{p}	—	—	$1\text{E-}4$	A/A
6	负电流注入耦合比	K_{n}	—	—	$5\text{E-}3$	A/A

¹ 1 请参阅 A.3.2.2, 以了解与源电阻相关的其他信息

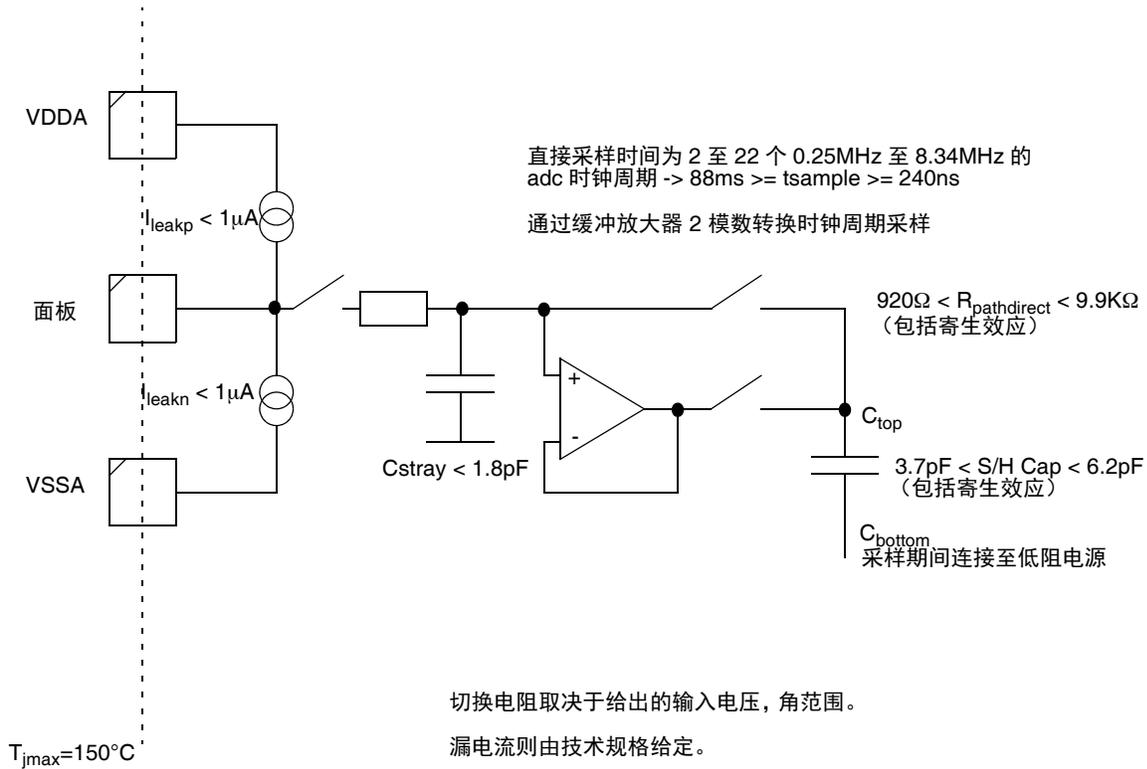


图 A-5. ADC 输入逻辑

A.3.3 ADC 精度

表 A-23 和表 A-22 所指定的 ADC 转换性能不包括由于电流注入、输入电容和源电阻而导致的任何误差。

A.3.3.1 ADC 精度定义

基于下列定义，另请参见图 A-6。

将差分非线性 (DNL) 定义为两个相邻切换步骤之间的差值。

$$\text{DNL}(i) = \frac{V_i - V_{i-1}}{1\text{LSB}} - 1$$

将积分非线性 (INL) 定义为所有 DNL 的总和：

$$\text{INL}(n) = \sum_{i=1}^n \text{DNL}(i) = \frac{V_n - V_0}{1\text{LSB}} - n$$

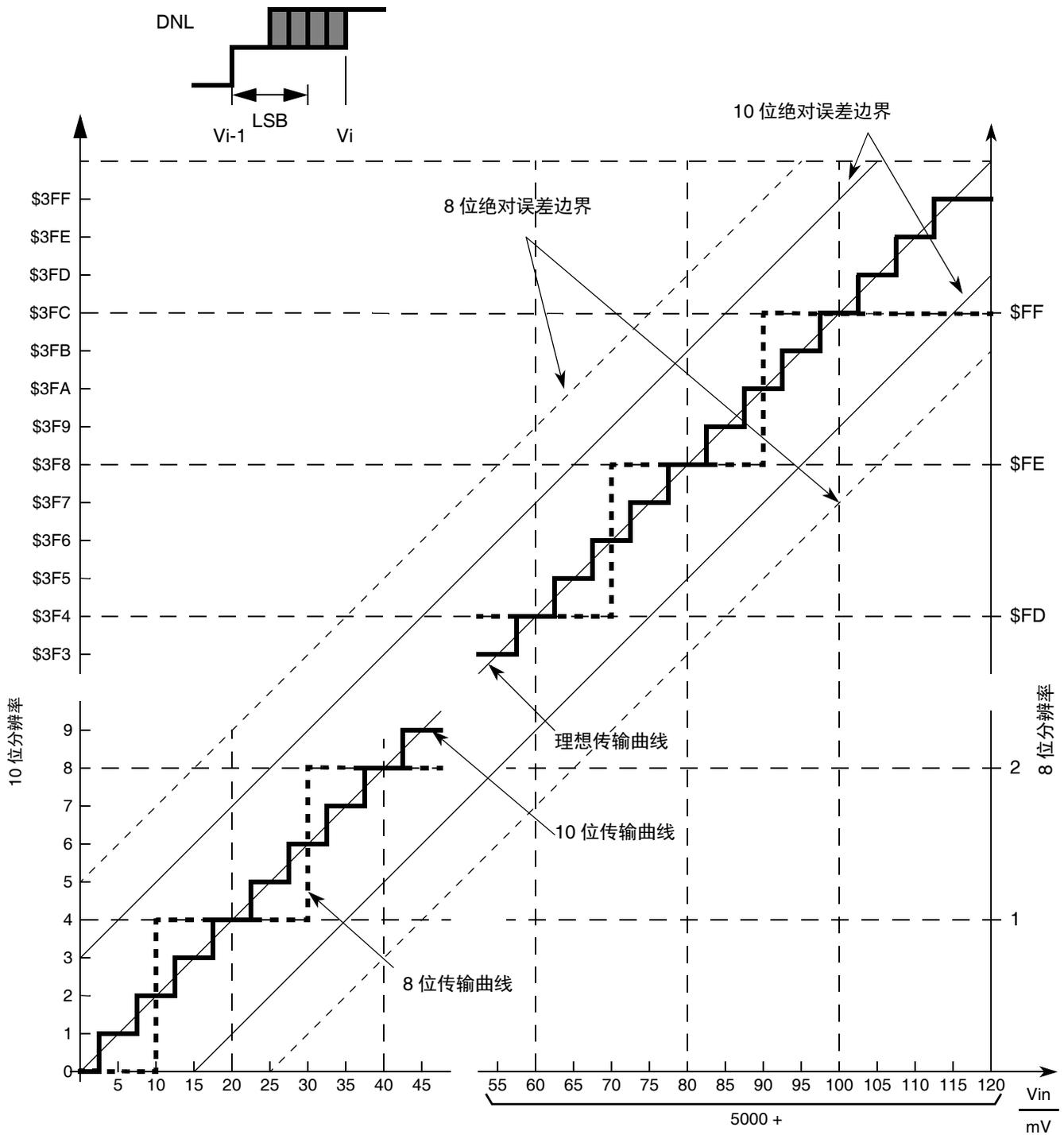


图 A-6. ADC 精度定义

附注

图 A-6 仅显示定义，如需了解规格值，请参阅表 A-23 和表 A-22。

表 A-23. ADC 转换性能 5 V 范围

供电电压 $4.5\text{ V} < V_{\text{DDA}} < 5.5\text{ V}$, $-40^{\circ}\text{C} < T_{\text{J}} < 150^{\circ}\text{C}$, $4.5\text{ V} < V_{\text{REF}} < 5.5\text{ V}$, $V_{\text{REF}} = V_{\text{RH}} - V_{\text{RL}}$, $f_{\text{ADCCLK}} = 8.0\text{MHz}$
 如果没有端口 AD 输出驱动器切换与转换同步, 那么这些值的测试有效。

编号	极限 ¹		符号	最小值	典型值	最大值	单位
8	分辨率	10 位	LSB		5		mV
9	差分非线性	10 位	DNL	-1	±0.5	1	计数
10	积分非线性	10 位	INL	-2	±1	2	计数
11	绝对误差 ²	10 位	AE	-3	±2	3	计数
12	分辨率	8 位	LSB		20		mV
13	差分非线性	8 位	DNL	-0.5	±0.3	0.5	计数
14	积分非线性	8 位	INL	-1	±0.5	1	计数
15	绝对误差 ²	8 位	AE	-1.5	±1	1.5	计数

¹ 8 位和 10 位模式操作在生产测试中进行结构化测试。在 12 位模式下, 测试绝对值。

A.4 LINPHY 电气规范

A.4.1 最大额定值

表 A-24. 最大额定值 LINPHY

编号	额定值	符号	值	单位
1	LIN 上的直流电压	V_{LIN}	-32 至 +42	V
2	LIN 上的持续电流	I_{LIN}	200 ¹	mA

¹ LIN 引脚上的电流从内部限制。因此, 无论如何也不可能达到 200mA。

A.4.2 静态电气特性

表 A-25. LINPHY 的静态电气特性

除非另有说明, 否则所述特性的条件为: $5.5\text{V} \leq V_{\text{LINSUP}} \leq 18\text{V}$ ^{1 2 3}。除非另有说明, 否则提及的典型值反映处于标称条件下 $T_{\text{A}} = 25^{\circ}\text{C}$ 的近似参数平均值。

编号	额定值	符号	最小值	典型值	最大值	单位
1	V_{LINSUP} 工作电压	$V_{\text{LINSUP_LIN}}$	5.5 ^{1 2}	12	18	V
2	处于显性状态时, 流经 LIN 引脚的电流受限 ⁴ $V_{\text{LIN}} = V_{\text{LINSUP_LIN_MAX}}$	$I_{\text{LIN_LIM}}$	40		200	mA
3	处于显性状态、驱动器关闭、内部上拉电阻开启状态时的输入漏电流 $V_{\text{LIN}} = 0\text{V}$, $V_{\text{LINSUP}} = 12\text{V}$	$I_{\text{LIN_PAS_dom}}$	-1			mA
4	处于隐性状态、驱动器关闭状态时的输入漏电流 $5.5\text{V} < V_{\text{LINSUP}} < 18\text{V}$, $5.5\text{V} < V_{\text{LIN}} < 18\text{V}$, $V_{\text{LIN}} > V_{\text{LINSUP}}$	$I_{\text{LIN_PAS_rec}}$			20	μA

5	接地断开后的输入漏电流 $GND_{Device} = V_{LINSUP}, 0V < V_{LIN} < 18V, V_{LINSUP} = 12V$	$I_{LIN_NO_GND}$	-1		1	mA
6	电池断开后的输入漏电流 $V_{LINSUP} = GND_{Device}, 0 < V_{LIN} < 18V$	$I_{LIN_NO_BAT}$			30	μA
7	接收器显性状态	V_{LINdom}			0.4	V_{LINSUP}
8	接收器隐性状态	V_{LINrec}	0.6			V_{LINSUP}
9	$V_{LIN_CNT} = (V_{th_dom} + V_{th_rec})/2$	V_{LIN_CNT}	0.475	0.5	0.525	V_{LINSUP}
10	$V_{HYS} = V_{th_rec} - V_{th_dom}$	V_{HYS}			0.175	V_{LINSUP}
11	从机节点（包括外部组件）上允许的最大电容	C_{slave}		220	250	pF
12a	LIN 引脚电容， 隐性状态	C_{LIN}		20		pF
12b	LIN 引脚电容， 隐性状态	C_{LIN}			45	pF
13	内部上拉（从机）	R_{slave}	27	34	40	k Ω

¹ 若 $3.5V \leq V_{LINSUP} < 5V$ ，LINPHY 以退化参数运行。

² 如 $5V \leq V_{LINSUP} < 5.5V$ ，特性显示所有参数通常保持在所示规格内，除了占空比 D2 和 D4，这两者在高负载总线时可能会升高并且超出其最大值。

³ V_{LINSUP} 电压由 VLINSUP 电源提供。器件级文档中对此电源映射进行了介绍。

⁴ 温度高于 25°C 时，驱动器将顺理成章地对电流进行限制，在这种情况下既不使用限流电路也不设置标记。

A.4.3 动态电气特性

表 A-26. LINPHY 的动态电气特性

除非另有说明，否则所述特性的条件为： $5.5V \leq V_{LINSUP} \leq 18V$ ^{1 2 3} 。除非另有说明，否则提及的典型值反映处于标称条件下 $T_A = 25^\circ C$ 的近似参数平均值。						
编号	额定值	符号	最小值	典型值	最大值	单位
1	用于生成唤醒中断的唤醒脉冲最短时长	t_{WUFR}	56	72	120	μs
2	TxD 显性超时（处于 IRC 周期中）	t_{DTLIM}	16388		16389	t_{IRC}
3	接收器的传播延迟	t_{rx_pd}			6	μs
4	接收器传播延迟上升沿 w.r.t. 下降沿的对称性	t_{rx_sym}	-2		2	μs
LIN 物理层：正常转换率的驱动器特性 - 20.0KBIT/S						
5	上升/下降沿时间（最小值到最大值/最大值到最小值）	t_{rise}		6.5		μs
6	过流掩蔽窗口（1MHz 时已调整 IRC）	t_{OCLIM}	15		16	μs

除非另有说明，否则所述特性的条件为：5.5V ≤ V_{LINSUP} ≤ 18V^{1 2 3}。除非另有说明，否则提及的典型值反映处于标称条件下 T_A = 25°C 的近似参数平均值。

编号	额定值	符号	最小值	典型值	最大值	单位
7	占空比 1 $T_{HRec(max)} = 0.744 \times V_{LINSUP}$ $T_{HDom(max)} = 0.581 \times V_{LINSUP}$ $V_{LINSUP} = 5.5V \dots 18V$ $t_{Bit} = 50\mu s$ $D1 = t_{Bus_rec(min)} / (2 \times t_{Bit})$	D1	0.396			
8	占空比 2 $T_{HRec(min)} = 0.422 \times V_{LINSUP}$ $T_{HDom(min)} = 0.284 \times V_{LINSUP}$ $V_{LINSUP} = 5.5V \dots 18V$ $t_{Bit} = 50\mu s$ $D2 = t_{Bus_rec(max)} / (2 \times t_{Bit})$	D2			0.581	
LIN 物理层：低转换率的驱动器特性 - 10.4KBIT/S						
9	上升/下降沿时间（最小值到最大值/最大值到最小值）	t _{rise}		13		μs
10	过流掩蔽窗口（1MHz 时已调整 IRC）	t _{OCLIM}	31		32	μs
11	占空比 3 $T_{HRec(max)} = 0.778 \times V_{LINSUP}$ $T_{HDom(max)} = 0.616 \times V_{LINSUP}$ $V_{LINSUP} = 5.5V \dots 18V$ $t_{Bit} = 96\mu s$ $D3 = t_{Bus_rec(min)} / (2 \times t_{Bit})$	D3	0.417			
12	占空比 4 $T_{HRec(min)} = 0.389 \times V_{LINSUP}$ $T_{HDom(min)} = 0.251 \times V_{LINSUP}$ $V_{LINSUP} = 5.5V \dots 18V$ $t_{Bit} = 96\mu s$ $D4 = t_{Bus_rec(max)} / (2 \times t_{Bit})$	D4			0.590	
LIN 物理层：快速模式转换率的驱动器特性 - 100KBIT/S 至 250KBIT/S						
13	上升/下降沿时间（最小值到最大值/最大值到最小值）	t _{rise}		0.5		μs
14	过流掩蔽窗口（1MHz 时已调整 IRC）	t _{OCLIM}	5		6	μs

¹ 若 3.5V ≤ V_{LINSUP} < 5V，LINPHY 以退化参数运行。

² 如 5V ≤ V_{LINSUP} < 5.5V，特性显示所有参数通常保持在所示规格内，除了占空比 D2 和 D4，这两者在高负载总线时可能会升高并且超出其最大限值。

³ V_{LINSUP} 电压由 VLINSUP 电源提供。器件级文档中对此电源映射进行了介绍。

A.5 NVM 电气参数

A.5.1 NVM 时序参数

所有 NVM 编程或擦除操作的时基源自于使用 FCLKDIV 寄存器分频总线时钟。该衍生时钟的频率必须设在 f_{NVMOP} 的指定限值范围内。NVM 模块无法监测频率，因而将无法阻止频率高于或低于指定最小值的编程和擦除操作。尝试以较低的频率编程或擦除 NVM 模块时，无法确保执行完整的编程和擦除。

器件总线频率 f_{WSTAT} 在器件操作表 [表 A-5](#) 中指定，低于该频率时可禁用 flash 等待状态。

以下各节介绍的是可用于决定执行指定 Flash 命令所需时间的公式。所有时序参数都是总线时钟频率 f_{NVMBUS} 的函数。所有编程和擦除时间也为 NVM 操作频率 f_{NVMOP} 的函数。[表 A-27](#) 中汇总了关键时序参数。

表 A-27. NVM 时序特性

编号	命令	f_{NVMOP} 周期	f_{NVMBUS} 周期	符号	最小值 ¹	典型值 ²	最大值 ³	最差 ⁴	单位
1	总线频率	1	—	f_{NVMBUS}	1	32	32		MHz
2	NVM 工作频率	—	1	f_{NVMOP}	0.8	1	1.05		MHz
3	擦除检验所有数据块	0	8992	t_{RD1ALL}	0.28	0.28	0.56	17.98	ms
4	擦除验证块 (P-flash) ⁵	0	8750	t_{RD1BLK_P}	0.27	0.27	0.55	17.50	ms
5	擦除验证模块 (EEPROM) ⁶	0	631	t_{RD1BLK_D}	0.02	0.02	0.04	1.26	ms
6	擦除验证 P-Flash 区段	0	511	t_{RD1SEC}	0.02	0.02	0.03	1.02	ms
7	一次读取	0	481	t_{RDONCE}	15.03	15.03	15.03	481.00	us
8	P-Flash 编程 (4 个字)	164	3125	t_{PGM_4}	0.25	0.26	0.56	12.75	ms
9	一次性编程	164	3107	$t_{PGMONCE}$	0.25	0.26	0.26	3.31	ms
10	擦除所有模块 ^{5,6}	100066	9455	t_{ERSALL}	95.60	100.36	100.66	143.99	ms
11	擦除 Flash 块 (P-Flash)	100060	9119	t_{ERSBLK_P}	95.58	100.34	100.63	143.31	ms
12	擦除闪存模块 (EEPROM)	100060	970	t_{ERSBLK_D}	95.33	100.09	100.12	127.02	ms
13	擦除 P-Flash 扇区	20015	927	t_{ERSPG}	19.09	20.04	20.07	26.87	ms
14	将 Flash 解密	100066	9533	t_{UNSECU}	95.60	100.36	100.66	144.15	ms
15	验证后门访问密钥	0	493	t_{VFYKEY}	15.41	15.41	15.41	493.00	us
18	擦除验证 EEPROM 区段	0	583	$t_{DRD1SEC}$	0.02	0.02	0.04	1.17	ms
19	程序 EEPROM (1 个字)	68	1378	t_{DPGM_1}	0.12	0.12	0.28	6.80	ms
20	程序 EEPROM (2 个字)	136	2702	t_{DPGM_2}	0.21	0.22	0.47	10.98	ms
21	程序 EEPROM (3 个字)	204	3726	t_{DPGM_3}	0.31	0.32	0.67	15.16	ms
22	程序 EEPROM (4 个字)	272	4750	t_{DPGM_4}	0.41	0.42	0.87	19.34	ms
23	擦除 EEPROM 扇区	5015	817	t_{DERSPG}	4.80	5.04	20.49	38.96	ms
24	保护覆盖	0	475	$t_{PRTOVRD}$	14.84	14.84	14.84	475.00	us

¹ 最短时间基于最大 f_{NVMOP} 和最大 f_{NVMBUS}

² 基于典型 f_{NVMOP} 和典型 f_{NVMBUS} 的典型时间

³ 最大时间基于典型 f_{NVMOP} 和典型 f_{NVMBUS} ，并考虑老化

⁴ 基于最小 f_{NVMOP} 和最小 f_{NVMBUS} ，并不断老化的最坏时间

⁵ 受 P-flash 大小的影响

⁶ 受 EEPROM 大小的影响

A.5.2 NVM 可靠性参数

NVM 模块的可靠性通过资格验证、持续流程监控和早期老化实验的应力测试保障。

数据保留和编程 / 擦除周期故障率以说明的操作条件为准。每执行一次扇区或整体擦除事件，扇区上的编程 / 擦除周期数递增一次。

附注

表 A-28 中所示的所有值均为初步确定的值，受限于更多特性。

表 A-28. NVM 可靠性

编号	额定值	符号	最小值	典型值	最大值	单位
程序 Flash 阵列						
1	高达10,000个编程/擦除周期后平均结温为 $T_{Javg} = 85^{\circ}\text{C}^1$ 时的数据保留	t_{NVMRET}	20	100^2	—	年
2	编程 / 擦除周期的编程 Flash 数 ($-40^{\circ}\text{C} \leq t_j \leq 150^{\circ}\text{C}$)	n_{FLPE}	10K	100K^3	—	周期
EEPROM 阵列						
3	高达 100,000 个编程 / 擦除周期后平均结温为 $T_{Javg} = 85^{\circ}\text{C}^1$ 时的数据保留	t_{NVMRET}	5	100^2	—	年
4	高达10,000个编程/擦除周期后平均结温为 $T_{Javg} = 85^{\circ}\text{C}^1$ 时的数据保留	t_{NVMRET}	10	100^2	—	年
5	低于 100 个编程 / 擦除周期后平均结温为 $T_{Javg} = 85^{\circ}\text{C}^1$ 时的数据保留	t_{NVMRET}	20	100^2	—	年
6	编程 / 擦除周期的 EEPROM 数量 ($-40^{\circ}\text{C} \leq t_j \leq 150^{\circ}\text{C}$)	n_{FLPE}	100K	500K^3	—	周期

¹ 在消费电子、工业或汽车应用的整个周期中， T_{Javg} 不会超过典型温度曲线上的 85°C 。

² 典型数据保留值基于高温情况下所测技术的内在性能，使用 Arrhenius 公式可调低至 25°C 。有关飞思卡尔如何定义典型数据保留的更多信息，请参阅工程简报 EB618。

³ 规格表引用了温度为 25°C 时评估的该产品系列的典型耐受能力。有关飞思卡尔如何定义典型耐受能力的更多信息，请参阅工程简报 EB619。

A.6 BATS 电气规范

本节介绍供电电压感应模块的电气特性。

A.6.1 静态电气特性

表 A-29. 静态电气特性 - 供电电压感应 - (BATS)

除非另有说明, 否则所述特性的条件为: $5.5V = V_{SUP} = 18V$ 。除非另有说明, 否则提及的典型值反映处于标称条件下 $T_A = 25^\circ C^1$ 的近似参数平均值。						
编号	额定值	符号	最小值	典型值	最大值	单位
1	低压警告 (LBI 1) 电平变为有效 (在选定引脚、下降沿测量) 电平变为无效 (在选定引脚、上升沿测量) 迟滞 (在选定引脚测量)	V_{LBI1_A}	4.75	5.5	6	V
		V_{LBI1_D}	–	–	6.5	V
		V_{LBI1_H}	–	0.4	–	V
2	低压警告 (LBI 2) 电平变为有效 (在选定引脚、下降沿测量) 电平变为无效 (在选定引脚、上升沿测量) 迟滞 (在选定引脚测量)	V_{LBI2_A}	6	6.75	7.25	V
		V_{LBI2_D}	–	–	7.75	V
		V_{LBI2_H}	–	0.4	–	V
3	低压警告 (LBI 3) 电平变为有效 (在选定引脚、下降沿测量) 电平变为无效 (在选定引脚、上升沿测量) 迟滞 (在选定引脚测量)	V_{LBI3_A}	7	7.75	8.5	V
		V_{LBI3_D}	–	–	9	V
		V_{LBI3_H}	–	0.4	–	V
4	低压警告 (LBI 4) 电平变为有效 (在选定引脚、下降沿测量) 电平变为无效 (在选定引脚、上升沿测量) 迟滞 (在选定引脚测量)	V_{LBI4_A}	8	9	10	V
		V_{LBI4_D}	–	–	10.5	V
		V_{LBI4_H}	–	0.4	–	V
5	高压警告 (HBI 1) 电平变为有效 (在选定引脚、上升沿测量) 电平变为无效 (在选定引脚、下降沿测量) 迟滞 (在选定引脚测量)	V_{HBI1_A}	14.5	16.5	18	V
		V_{HBI1_D}	14	–	–	V
		V_{HBI1_H}	–	1.0	–	V
6	高压警告 (HBI 2) 电平变为有效 (在选定引脚、上升沿测量) 电平变为无效 (在选定引脚、下降沿测量) 迟滞 (在选定引脚测量)	V_{HBI2_A}	25	27.5	30	V
		V_{HBI2_D}	24	–	–	V
		V_{HBI2_H}	–	1.0	–	V
7	引脚输入分压比率 比率 $V_{SUP} = V_{SUP} / V_{ADC}$ $5.5V < V_{SUP} < 29V$	比率 V_{SUP}	–	9	–	–
8	模拟输入匹配 ($4.5V < V_{SENSE} < 35V$) V_{ADC} 上的绝对误差 - 与 V_{SUP} / 比率 V_{SUP} 进行比较	$AI_{Matching}$	–	+2%	+5%	–

¹ T_A : 环境温度

A.6.2 动态电气特性

表 A-30. 动态电气特性 - 供电电压感应 - (BATS)

除非另有说明，否则所述特性的条件为：5.5V = VSUP = 18 V。除非另有说明，否则提及的典型值反映处于标称条件下 $T_A = 25^\circ\text{C}$ ¹ 的近似参数平均值。

编号	额定值	符号	最小值	典型值	最大值	单位
1	使能稳定时间	$T_{\text{EN_UNC}}$	–	1	–	μs
2	电压警告低通滤波器	$f_{\text{VWLP_filter}}$	–	0.5	–	Mhz

¹ T_A : 环境温度

附注

本节中提供的信息为初稿，应当仅用作指南。飞思卡尔无法保证本节中的值，并且可能会发生更改，如有更改，恕不另行通知。

A.7 PIM 电气规格

A.7.1 高压输入 (HVI) 电气特性

表 A-31. 静态电气特性 - 高压输入引脚 - 端口 L

除非另有说明, 否则特性为 $5.5V \leq V_{SUP} \leq 18V$ 、 $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ ¹。除非另有说明, 否则提及的典型值反映处于标称条件下 $T_A = 25^{\circ}C$ ² 的近似参数平均值。

编号	额定值	符号	最小值	典型值	最大值	单位
1	数字输入阈值 • $V_{SUP} > 6.5V$ • $5.5V \leq V_{SUP} \leq 6.5V$	V_{TH_HVI}	2.8 2.0	3.5 2.5	4.5 3.8	V V
2	输入迟滞	V_{HYS_HVI}	—	250	—	mV
3	引脚输入分频器比率 (具有外部系列) R_{EXT_HVI} 比率 = $V_{EXT_HVI} / V_{Internal}(ADC)$	比率 L_HVI 比率 H_HVI	— —	2 6	— —	
4	模拟输入匹配 V_{ADC} 上的绝对误差 • 与 $V_{HVI} /$ 比率 L_HVI ($1V < V_{HVI} < 7V$) 比较 • 与 $V_{HVI} /$ 比率 H_HVI ($3V < V_{HVI} < 21V$) 比较 • 直接模式 (PTADIRL=1) ($0.5V < V_{HVI} < 3.5V$)	AIM_{L_HVI} AIM_{H_HVI} AIM_{D_HVI}	— — —	± 2 ± 2	± 5 ± 5	% %
5	高压输入串行电阻 附注: 外部 HVI 引脚上始终需要。	R_{EXT_HVI}	—	10	—	k Ω
6	启用不确定时间	t_{UNC_HVI}	—	1	—	μs
7	输入电容	C_{IN_HVI}	—	8	—	pF

¹ T_J : 结温

² T_A : 环境温度

A.8 SPI 电气规格

本节介绍 SPI 的电气参数和额定值。

表 A-32 中列出了测量条件。

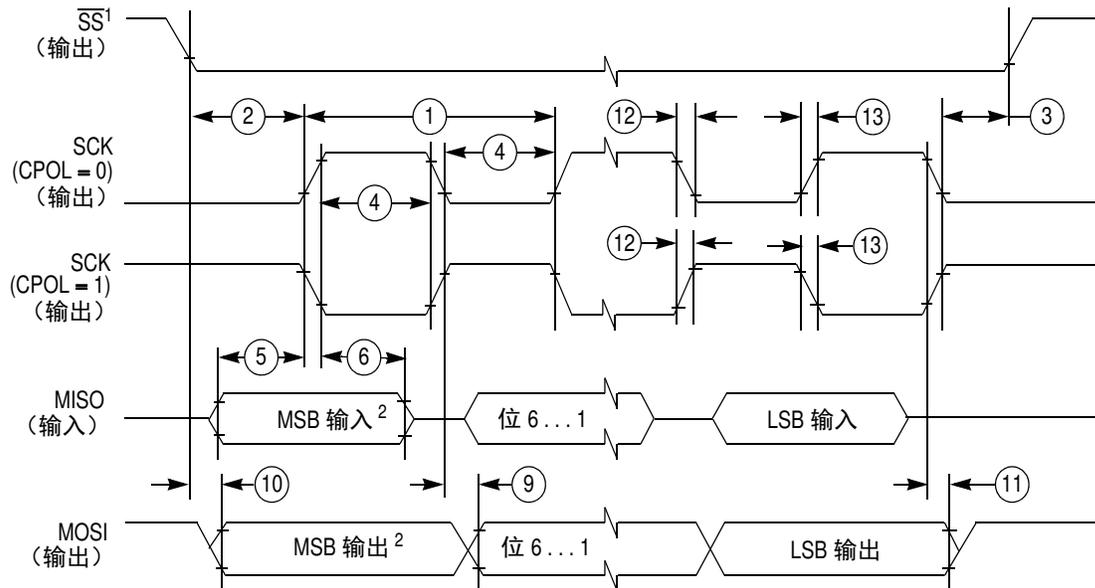
表 A-32. 测量条件

说明	值	单位
驱动模式	全驱动模式	—
负载电容 C_{LOAD} ¹ , (针对所有输出)	50	pF
延迟测量点的阈值	(35% / 65%) VDDX	V

¹ 为所有 SPI 输出引脚上的相同负载指定的时序。避免不对称负载。

A.8.1 主机模式

图 A-7 中的时序图描绘了传输格式 CPHA=0 时的主机模式。

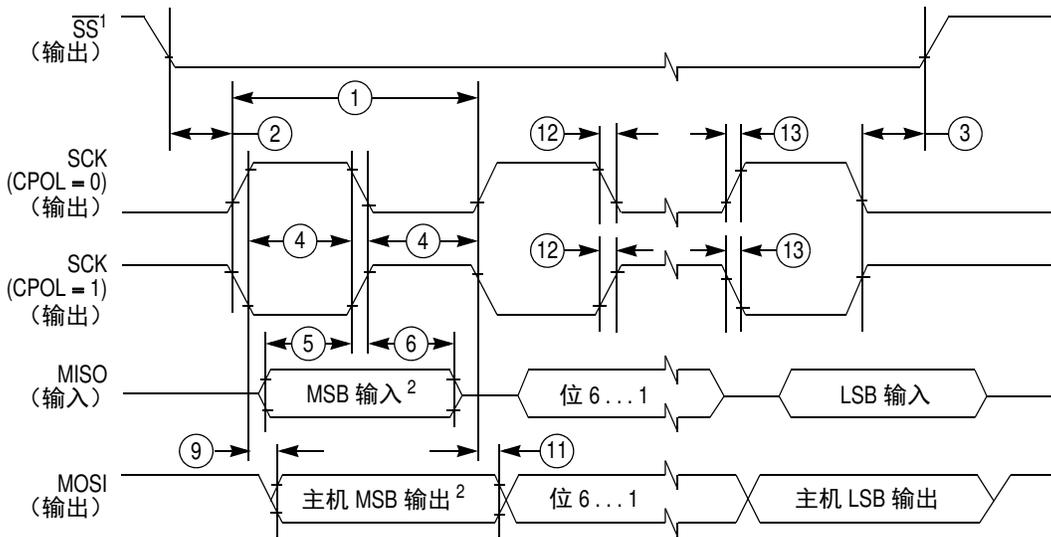


1. 如果已使能。

2. LSBFE = 0。如果 LSBFE = 1, 则位序为 LSB、位 1、... 位 6、MSB。

图 A-7. SPI 主机模式时序 (CPHA=0)

图 A-8 中的时序图描绘了传输格式 CPHA=1 时的主机模式。



1. 如果已使能。
 2. LSBFE = 0。如果 LSBFE = 1，则位序为 LSB、位 1、... 位 6、MSB。

图 A-8. SPI 主机模式时序 (CPHA=1)

表 A-33 中列出了主机模式的时序特性。

表 A-33. SPI 主机模式时序特性

编号	特性	符号				单位
			最小值	典型值	最大值	
1	SCK 频率	f_{sck}	1/2048	—	1/2	f_{bus}
1	SCK 周期	t_{sck}	2	—	2048	t_{bus}
2	使能前置时间	t_L	—	1/2	—	t_{sck}
3	使能测试时间	t_T	—	1/2	—	t_{sck}
4	时钟 (SCK) 高电平或低电平时间	t_{wsck}	—	1/2	—	t_{sck}
5	数据建立时间 (输入)	t_{su}	8	—	—	ns
6	数据保持时间 (输入)	t_{hi}	8	—	—	ns
9	在 SCK 边沿后的数据有效时间	t_{vsck}	—	—	15	ns
10	SS 下降后的数据有效时间 (CPHA=0)	t_{vss}	—	—	15	ns
11	数据保持时间 (输出)	t_{ho}	20	—	—	ns
12	上升和下降时间输入	t_{rfi}	—	—	8	ns
13	上升和下降时间输出	t_{rfo}	—	—	8	ns

A.8.2 从机模式

图 A-9 中的时序图描绘了传输格式 CPHA=0 时的从机模式。

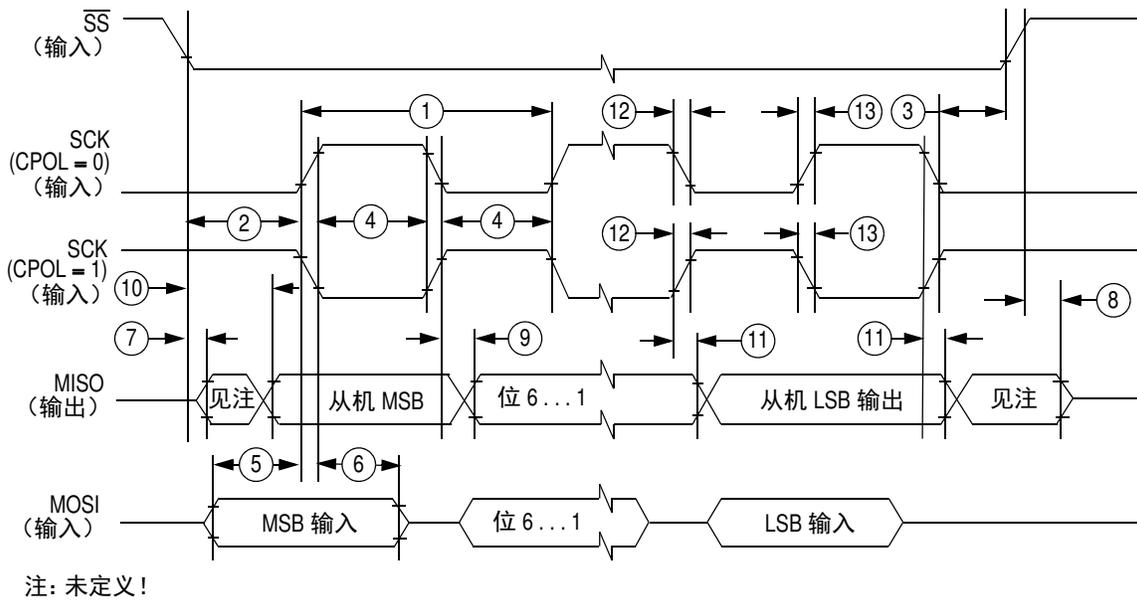

图 A-9. SPI 从机模式时序 (CPHA=0)

图 A-10 中的时序图描绘了传输格式 CPHA=1 时的从机模式。

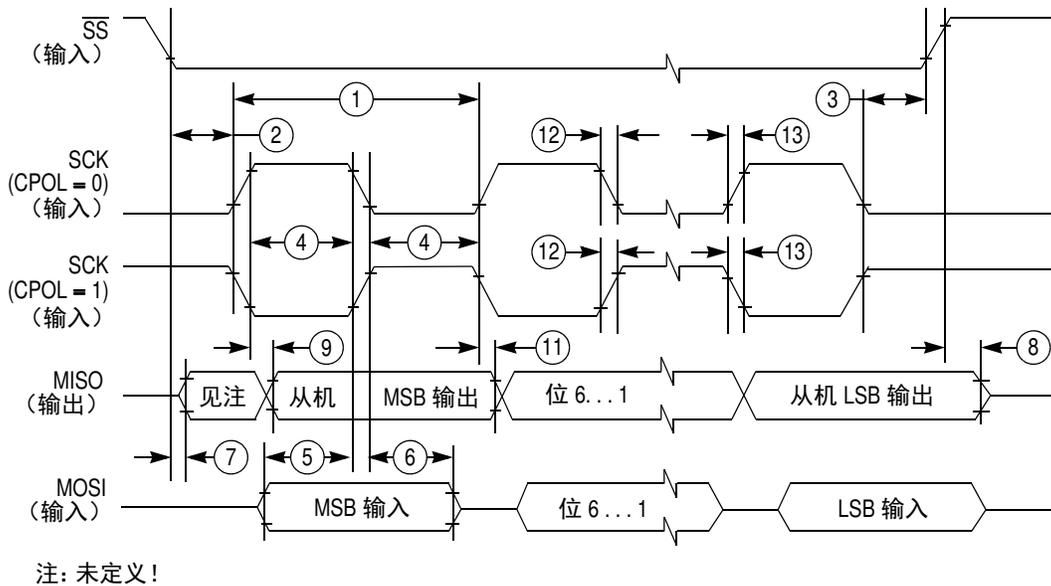

图 A-10. SPI 从机模式时序 (CPHA=1)

表 A-34 中列出了从机模式的时序特性。

表 A-34. SPI 从机模式时序特性

编号	特性	符号				单位
			最小值	典型值	最大值	
1	SCK 频率	f_{sck}	DC	—	1/4	f_{bus}
1	SCK 周期	t_{sck}	4	—	∞	t_{bus}
2	使能前置时间	t_L	4	—	—	t_{bus}
3	使能测试时间	t_T	4	—	—	t_{bus}
4	时钟 (SCK) 高电平或低电平时间	t_{wsck}	4	—	—	t_{bus}
5	数据建立时间 (输入)	t_{su}	8	—	—	ns
6	数据保持时间 (输入)	t_{hi}	8	—	—	ns
7	从机访问时间 (到数据处于有效状态的时间)	t_a	—	—	20	ns
8	从机 MISO 禁用时间	t_{dis}	—	—	22	ns
9	在 SCK 边沿后的数据有效时间	t_{vsck}	—	—	$28 + 0.5 \cdot t_{bus}^1$	ns
10	\overline{SS} 下降后的数据有效时间	t_{vss}	—	—	$28 + 0.5 \cdot t_{bus}^1$	ns
11	数据保持时间 (输出)	t_{ho}	20	—	—	ns
12	上升和下降时间输入	t_{rfi}	—	—	8	ns
13	上升和下降时间输出	t_{rfo}	—	—	8	ns

¹ 由于内部同步延迟, 添加了 $0.5t_{bus}$