

四方扁平封装 (QFP)

1 简介

本文档提供印刷电路板 (PCB) 组装过程中飞思卡尔 QFP 封装的处理和组装指南。

随附 PCB 设计和返工指南, 以及湿度灵敏度等级 (MSL) 额定值、电路板级可靠性、机械和热阻抗数据等封装性能信息, 以供参考。

2 范围

本文档提供内部组装或外部分包商组装的各种飞思卡尔 QFP 封装的一般信息。请注意, 本文档并未提供有关各器件的具体信息。本文档仅用作指南, 帮助用户进行特定解决方案的开发。要根据各器件的要求、IPC 和 JEDEC 等行业标准以及用户组装环境的普遍做法对组装流程和应用设计进行优化, 还需要实际的经验和开发工作。

如需了解本说明中所提及相关器件的更多详情或有任何疑问, 请访问 www.freescale.com, 或联系相应的产品应用团队。

目录

1 简介	1
2 范围	1
3 四方扁平封装 (QFP)	2
4 印刷电路板设计准则	4
5 板组件	9
6 维修和返工流程	13
7 板级可靠性	17
8 散热特性	18
9 外形轮廓图、MCDS 和 MSL 额定值	20
10 封装的处理	23
11 参考	26
12 修订历史记录	27

3 四方扁平封装 (QFP)

图1展示了飞思卡尔的标准 QFP 产品。本节还将介绍外露式焊盘 (标注为 EP) 的版本。

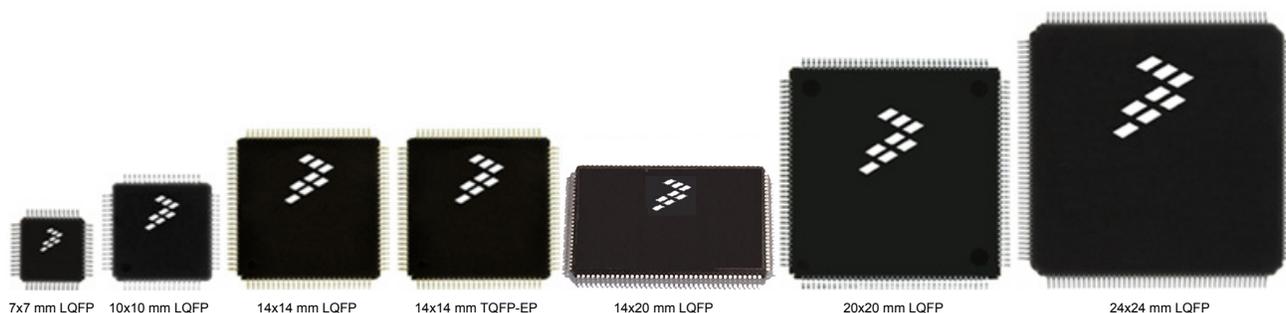


图 1. 飞思卡尔的标准 QFP 产品

3.1 封装说明

QFP 是表面安装式集成电路封装。标准形式是矩形扁平封装主体，通常情况下是方形的，引脚从四边伸出。引脚成欧翼形状，在组装到 PCB 的过程中形成稳固的底脚。引脚采用标准的无铅亚光锡镀层。

可能提供带外露式芯片焊盘的散热增强型 QFP，用后缀“-EP”表示。外露式焊盘位于 QFP 底部，用作封装的接地和 / 或散热器。可将焊盘焊接在 PCB 上进行散热。

3.2 封装尺寸

QFP 采用行业标准尺寸和厚度，提供不同的引脚数量和间距选项。见表1 请参阅飞思卡尔封装外形轮廓图，获取详细的尺寸和公差信息。

表 1. 飞思卡尔的标准 QFP 产品⁽¹⁾

以毫米为单位		封装尺寸										
封装	厚度	4x4	5x5	7x7	10x10	12x12	14x14	14x20	20x20	24x24	28x28	32x32
LQFP	1.4	X	X	X	X	X	X	X	X	X	X	
LQFP-EP	1.4			X	X			X		X		
TQFP-EP	1.0					X	X					
QFP	>1.6				X		X	X			X	X
PQFP	3.6									X		

附注

1. 该表列出了本应用说明中适用的所有飞思卡尔的封装。但其中某些类型的封装可能不适用于新产品。详情请咨询 FSL 销售团队。

3.3 封装横截面

图2中的横截面图显示了QFP和EP封装具有代表性的内部引脚框架设计之间的差异。标准QFP封装采用塑封材料填充封装的整个底部，而EP封装则采用外露的芯片焊盘设计，从而提高了散热性能。

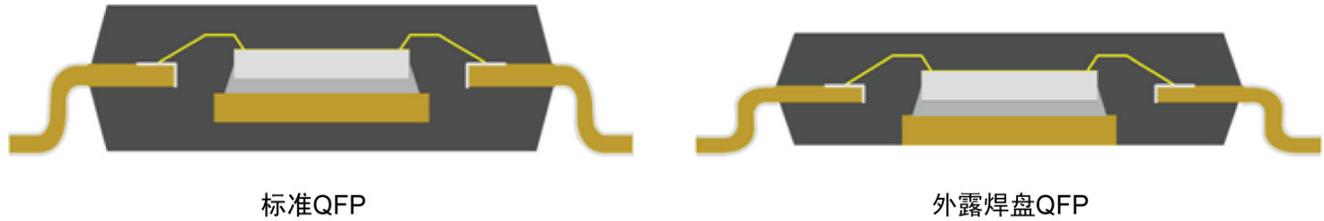


图2. 标准焊盘和外露焊盘QFP封装之间的差异

4 印刷电路板设计准则

4.1 PCB 设计准则和要求

随着封装尺寸的不断缩小和引脚数的不断增加，尺寸公差和位置精确性会影响到后续工艺。进行测试的准备工作时必须格外小心，尤其是在设计测试接触器腔体和接触器定位针。当 PCB 的生产部件由两个不同的供应商提供时，部件的可互换性也是一个需要注意的问题。如果优化其中一个供应商的 PCB 布局，可能会对另一个供应商的部件产生问题（量产通过率和 / 或焊点寿命）。如果预计供应来源超过一个，应同时优化两个部件的 PCB 布局。PCB 设计指南中提供了这方面的其他信息。

正确的 PCB 规格和钢网设计对表面安装组件的产量以及已安装封装后续的电气和机械性能至关重要。进行设计前，首先要获得正确的封装图。封装外形轮廓图可从 www.freescale.com 下载。请遵循外形轮廓图、MCDS 和 MSL 信息的下载中所述的流程。14 x 14 mm LQFP 封装外形轮廓图如图 3 所示。目标是焊接良好的 QFP 鸥翼引脚，如图 4 所示。

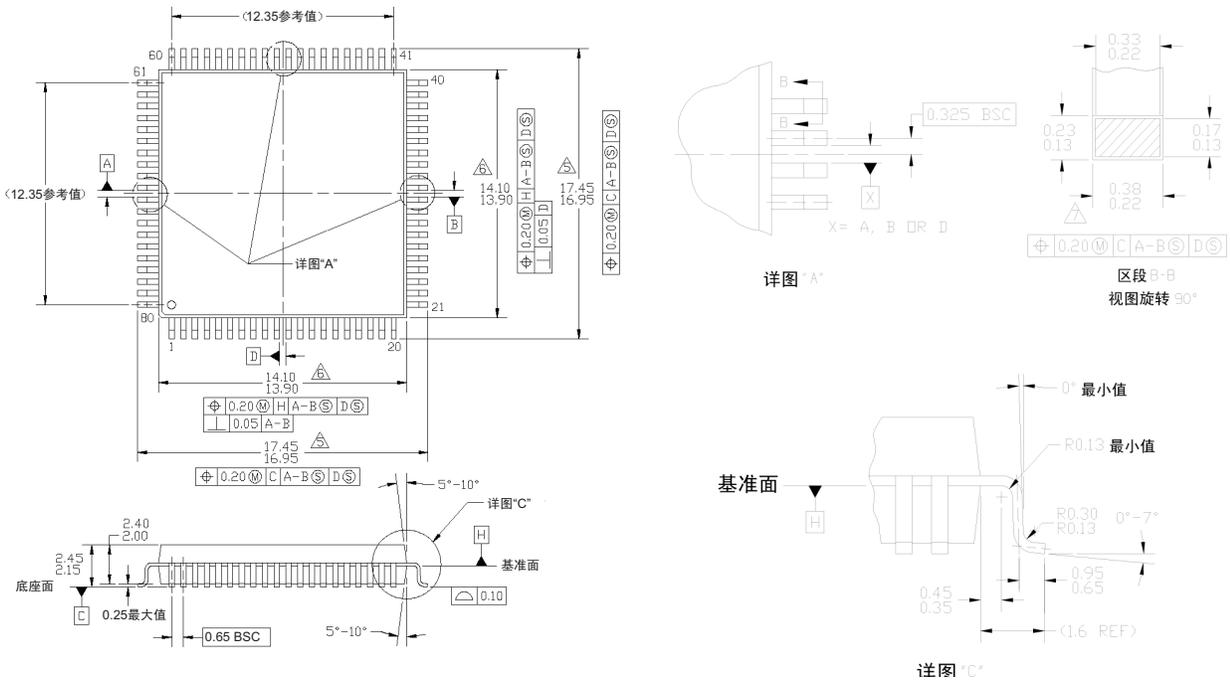


图 3. 14 x 14 mm LQFP 外形轮廓图的示例

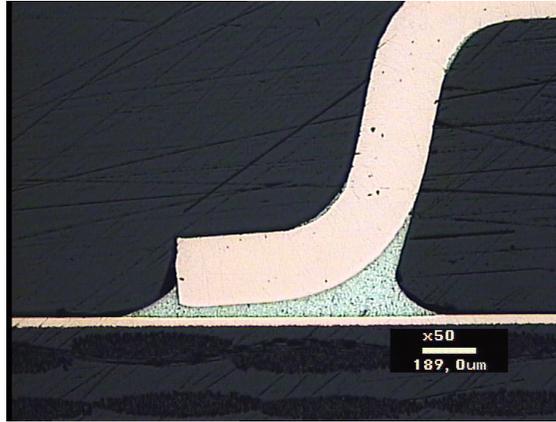


图 4. 基于稳固焊盘设计的焊接良好的 QFP 引脚
放大 50 倍的光学显微镜图像

4.2 PCB 焊盘设计

4.2.1 通用焊盘设计准则

飞思卡尔遵循“Generic Requirements for Surface Mount Design and Land Pattern Standards from the Institute for Printed Circuits (IPC)” (IPC-7351B) 标准。本文档以及随附的连接盘图形计算器可从 IPC 网站 landpatterns.ipc.org 购买，并根据假设的封装尺寸提供适用于大多数 QFP 的准则。QFP 封装的一些基本准则如下：

- 引脚应大致位于焊盘的中心位置，焊盘从焊趾和焊脚伸出的距离均等
- 通常情况下，焊盘伸出焊点根部和焊趾处的 QFP 引脚 0.5 mm
- 需注意，PCB 焊盘不要伸出至 QFP 封装主体下方，否则会导致组装时出现问题
- 焊盘宽度约为引脚间距的 60% – 参见 [表 2](#)
- 间距采用公制单位，确切的尺寸为 0.40 mm、0.50 mm、0.65 mm 和 0.80 mm

注：某些较早产品的间距或会有所不同。

表 2. 根据引脚间距建议的焊盘宽度

引脚间距 (mm)	焊盘宽度 (mm)
0.40	0.26
0.50	0.30
0.65	0.38
0.80	0.50

以 [图 3](#) 中的 14 x 14 mm QFP 为例，此封装的引脚间距为 0.65 mm，则 PCB 焊盘宽度应设计为 0.38 mm。要确定焊盘的位置和长度，需要从封装图 ([图 3](#)) 中获取焊头之间的距离。其范围为 16.95 mm 至 17.45 mm，标称尺寸为 17.20 mm。同样地，引脚长度的范围为 0.65 mm 至 0.95 mm，标称长度为 0.80 mm。因此，焊盘的长度应为 1.80 mm，标称引脚长度为 0.80 mm，伸出焊点根部和焊趾侧 0.50 mm。请参见 [图 5](#)。

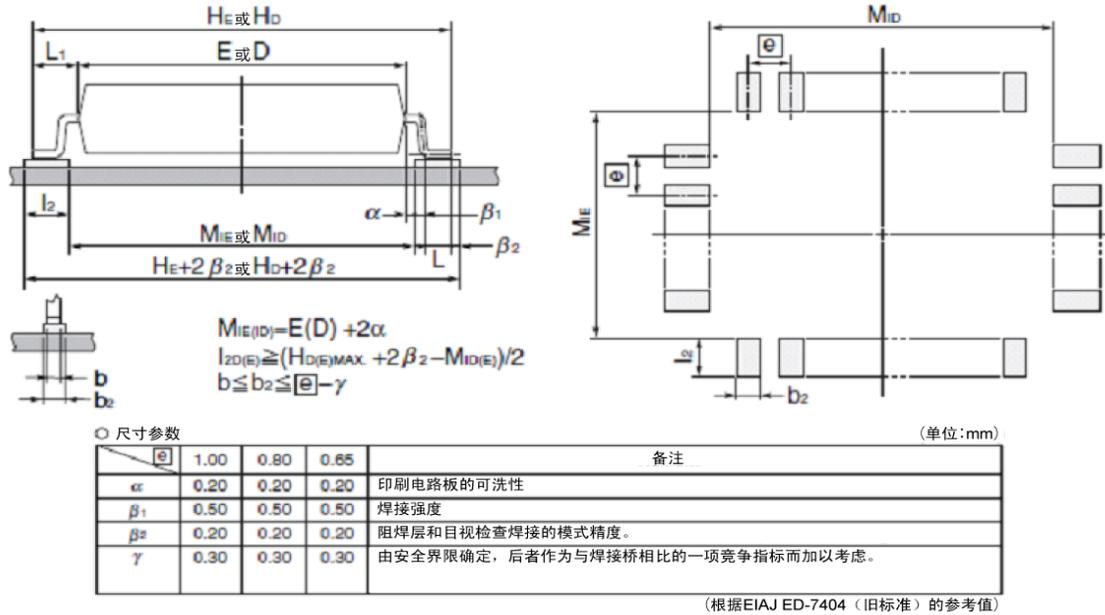


图 5. QFP 连接盘图形尺寸

4.2.2 散热 / 电气焊盘准则

外露式焊盘 QFP 封装采用散热 / 电气增强型引脚框架技术，封装底部提供主要的散热路径以及 PCB 的良好电气接地。在 EP 封装中，芯片贴装焊盘是向下放置的，使焊盘在制模过程中焊盘外露，如图 6 所示。这里的白色箭头表示热流。为优化散热性能，PCB 的设计应包含一块如图 6 中所示的散热板。

尽管 PCB 上 EP 引脚焊接的焊盘图形设计与传统的非散热 / 电气增强型封装相同，但 PCB 设计和组装阶段还需要其他功能，才能有效地安装散热 / 电气增强型封装。此外，已组装封装的维修和返工还会涉及一些额外的步骤，具体取决于公司内当前的返工做法。

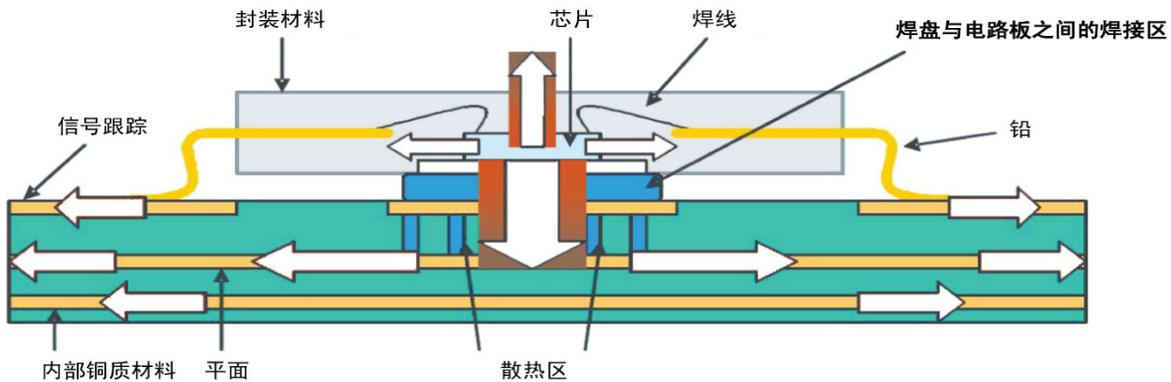


图 6. 可散热 EP 封装的横截面示意图

4.2.3 引脚 PCB 焊盘和外露式焊盘的间距

为最大程度提高封装的散热和电气性能，封装覆盖区域内的 PCB 上必须具有与外露式金属焊盘或封装上的外露式散热块相对应的连接盘图形，如图 7 所示。连接盘图形的尺寸可以更大，也可以更小，甚至还可以采用与封装上的外露式焊盘不同的形状。但由阻焊层确定的焊接区域至少应具有与封装上的外露式焊盘区域相同的尺寸 / 形状，才能最大程度地提高散热 / 电气性能。在 PCB 上，连接盘图形的外部边缘和引脚焊盘图形的内部边缘之间应至少具有 0.25 mm 的间距，才能避免任何短路问题。将在焊钢网 / 焊膏中详细介绍与之相关的信息。

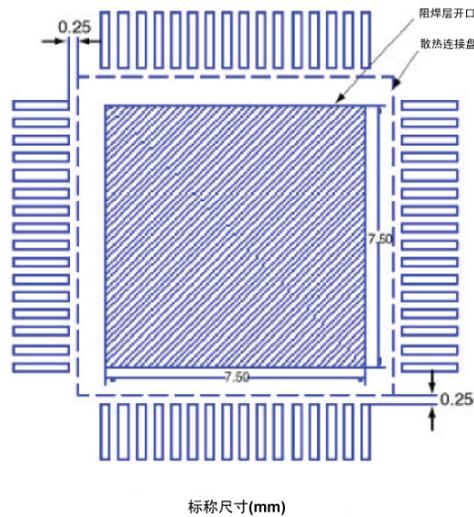


图 7. 外露式焊盘连接盘图形示例

4.2.4 PCB EP 焊盘上的过孔

PCB 上的连接盘图形提供了这样一种方法，即通过焊点实现从封装到电路板的热传递 / 电气接地，因此要实现从 PCB 表面到接地层的有效传导，散热过孔是必不可少的。这些过孔充当了“散热管”的角色。过孔数量与应用相关，并取决于封装功耗以及导电要求。因此，建议进行散热及电气分析和 / 或测试，以确定所需的最少过孔数量。如图 8 所示，在 1.2 mm 的栅格上，连接盘图形中包含过孔阵列时，可以达到最高散热和电气性能。

同时，推荐采用 1.0 盎司滚镀的直径为 0.30 到 0.33 mm 通孔。这样就可以避免在回流焊时焊料爬越进入通孔，从而导致散热引脚和热接地之间空洞的产生。如果通孔中没有铜电镀，那么这些通孔也可以用 PCB 表面的阻焊层填充，以避免焊料爬越进入通孔，而产生空洞。阻焊层直径至少要比通孔直径大 0.1 mm (4.0 mils)。

注：这些建议仅用作指南。

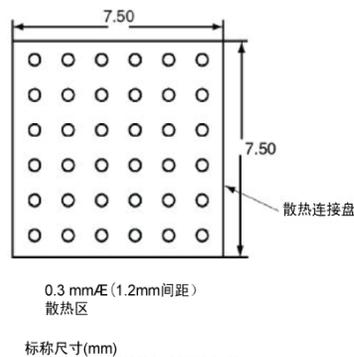


图 8. PCB 外露式焊盘过孔网格

4.2.5 过孔焊盘抛光

几乎所有的 PCB 抛光工艺均适用于 QFP，包括热风焊锡整平（HASL）、有机保焊剂（OSP）、无电镀镍浸金（ENIG）、浸锡和浸银。

4.2.6 阻焊层

通常，阻焊层应从输入 / 输出焊盘上剥离。PCB 焊盘周围的阻焊层开口可以和焊盘间距一样大。如果焊盘之间的区域对于阻焊层而言过薄，会导致阻焊层从 PCB 脱落。可能的解决办法是修改沿焊盘间距的阻焊层，使阻焊层仅覆盖焊盘的焊趾，以提高 PCB 的强度。

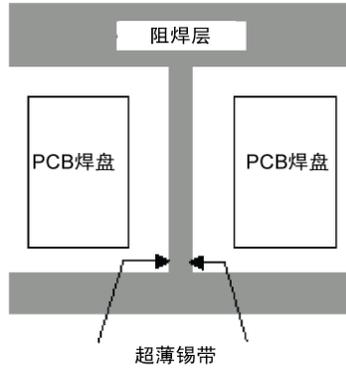


图 9. 具有薄边带的焊盘和阻焊层

5 板组件

5.1 组装工艺流程

典型的表面贴装技术（SMT）工艺流程如图 10 中的 SMP 工艺流程所示。

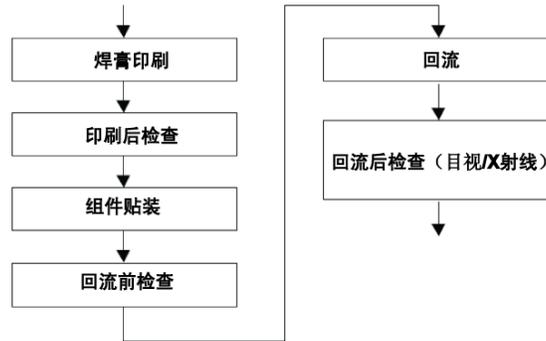


图 10. SMT 工艺流程

5.2 焊钢网 / 焊膏

为达到最高的散热 / 电气性能，需要将封装上的外露式焊盘焊接到 PCB 上的连接盘图形。方法是，在引脚附着的图形以及外露式焊盘的连接盘图形上涂抹焊膏。对基于引脚框架的标准（非散热 / 电气增强型）封装而言，钢网厚度取决于引脚间距和封装共面性；而对于散热 / 电气增强型封装而言，要确定钢网厚度则必须考虑封装的站立高度。标称的站立高度为 0.1 mm 时，建议的钢网厚度为 0.13 – 0.20 mm，具体取决于引脚间距。EP 钢网孔开口应比 PCB 上的铜焊盘小 0.25，如图 11 所示。这样，才能正确地将钢网与焊盘图形定位对齐。如果钢网开口过大，会导致出现焊膏脱离的现象。要解决此问题，网孔开口应划分为一个由较小开口组成的阵列，与图 12 中所示的散热连接盘图形类似。只要遵循上述准则，焊点区域将占外露式焊盘区域的约 80% 至 90%。

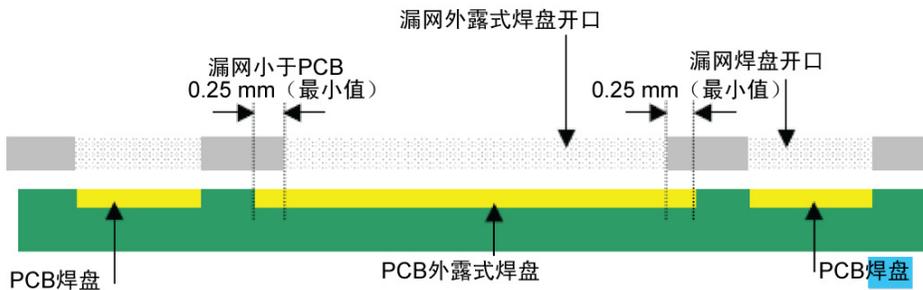


图 11. 缩小后的外露式焊盘的焊钢网孔

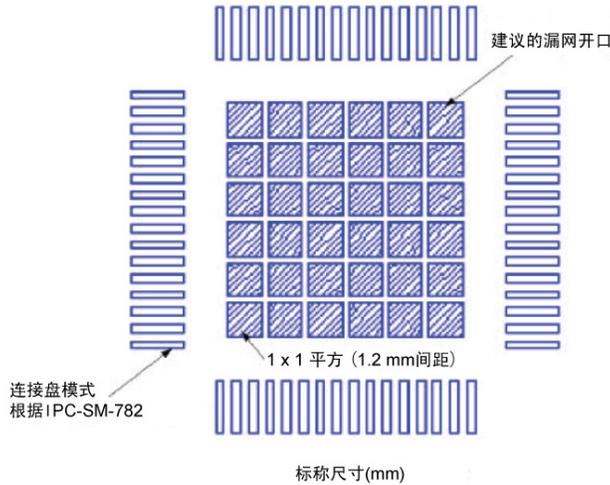


图 12. 建议的钢网设计

在较大的散热焊盘区域的钢网开口中，建议采用阵列设计图形。丝网印刷期间，散热区域中的较大开口或孔隙允许发生“浮刮”现象。分割散热区域的其他原因包括，最大程度减少焊膏的站立高度与连接盘不匹配的情况，最大程度减少散热区域中的焊接空洞，以及最大程度减少与连接盘桥接的可能性。

本节会推荐几种不同的阵列图形。对于尺寸较小的 QFP 封装，除非为了最大程度地减少焊接空洞，否则 PCB 和钢网上无需任何散热焊盘图形。对于尺寸较大的封装，应在较小区域中对钢网的散热开口进行分割。示例如图 13 所示。钢网或 PCB 上的分割间距应为 0.15 mm 或以上。如果分割间距较窄，可能会导致制造时出现问题。

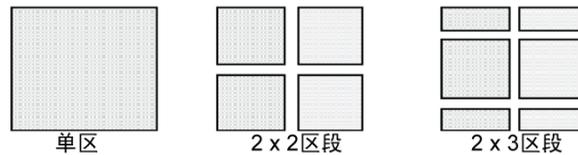


图 13. 分割的钢网开口

钢网开口应为 PCB 散热焊盘总面积的约 50% – 80%。钢网与 PCB 散热焊盘的比率确保了焊接空洞较少的散热焊盘区域的正确覆盖范围，并最大程度减少了由于溢出而与相邻引脚桥接的可能性。

焊膏是 SMT 组装过程中最重要的材料之一，它是金属合金、焊剂和粘度调节剂的混合物。金属合金颗粒以特定的尺寸和形状制造。焊剂对焊接和清洁有着直接的影响，它通过去除表面的轻微污染和氧化，对焊接表面进行预处理。通常有两种不同的焊剂系统。第一种需要对标准树脂化学物和水溶性化学物等进行清洗。通常使用溶剂、半水溶性溶液或水溶性 / 皂化剂溶液清洗标准树脂化学物，用纯净水清洗水溶性化学物。第二种焊剂系统无需清洗，但通常在焊接后 PCB 上会有少许残留。一般来说，建议使用免清洗焊膏。但最终用户应对其整个工艺和用途进行评估，确保取得所需的效果。

回流焊接过程中锡膏的涂抹部分取决于焊膏合金。在相同的回流温度调节下，SnPb 焊接合金的涂抹效果比许多无铅焊膏（例如，SnAgCu、SnAgBiCu 等）都要好。

5.3 组件贴装

由于引脚互连和插入密度较高，因此建议优先使用精准的贴装机。为满足这一严格的要求，贴装机应配备光学识别系统，即视觉系统，用于在贴装期间将 PCB 和组件置于中心。建议进行位置精度研究，以计算所需的补偿。飞思卡尔遵循 EIA-783 盘卷包装方向标准，如图 14 所示。

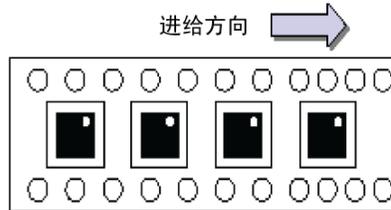


图 14. 盘卷中的 QFP 方向

5.4 焊接

典型曲线如图 15 所示。实际的曲线参数取决于所使用的焊膏，并且应遵循焊膏制造商提供的建议。温度曲线是回流焊接中最重要的控制因素，必须精细调节才能建立起稳固的流程。在大多数情况下，应将热电偶放置在 PCB 上最重的热质器件的下方，以监控回流曲线。一般来说，最重的热质器件达到回流温度时，PCB 上的所有其他组件也将达到回流温度。

建议采用氮气回流方式，以提高可焊性并减少焊球等缺陷。

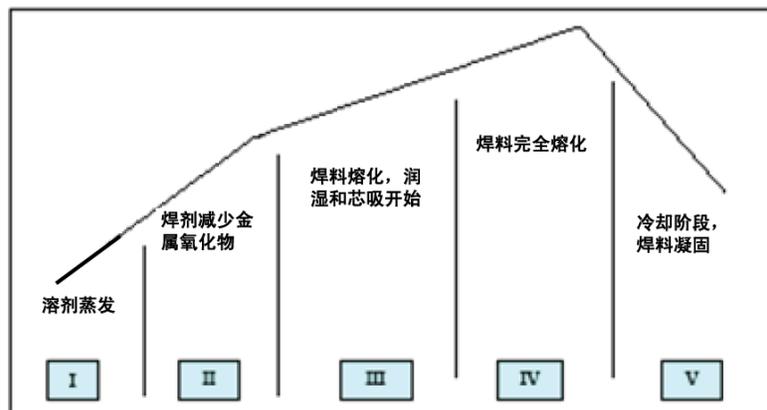


图 15. 一般焊接回流阶段

建议对封装顶面的温度曲线进行监控，以确定封装峰值温度没有超出各器件的 MSL 等级。

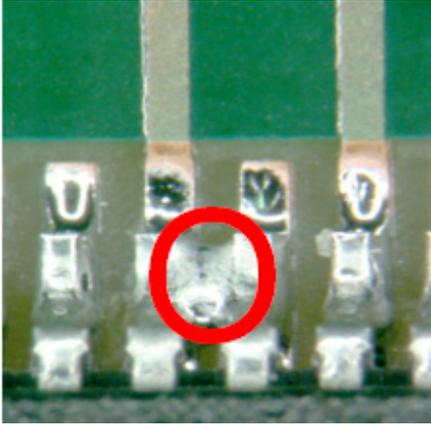
对于 PCB 上的所有器件，回流曲线中需要考虑到焊膏因素。每种焊膏都含焊剂，而焊剂控制了回流曲线中的浸泡时间、浸泡温度和升温速率等步骤。回流峰值温度是焊膏中金属的融化温度，并设有“安全”余量，确保 PCB 上的所有焊膏都能回流。外露式焊盘的回流曲线可以和非散热 / 电气增强型封装所使用的回流曲线相同。

回流曲线应遵循焊膏供应商“建议”的曲线。应首先使用铜 (Cu) 取样片试验，评估是否偏离建议的曲线。将典型焊膏用量的水平尺寸作为直径或“X”和“Y”长度进行测量。然后，将铜取样片回流，测量直径或“X”和“Y”的焊膏用量。目标是达到水平方向的回流曲线。为取得最佳结果，使用前应轻轻地用砂纸打磨铜取样片，以去除铜氧化物。

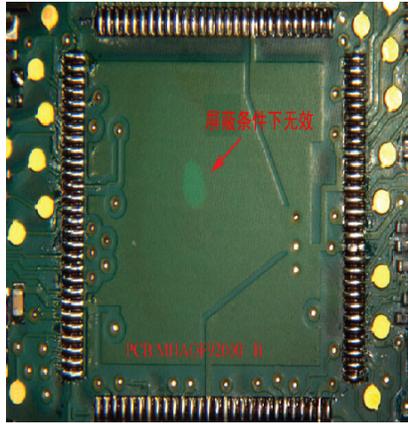
5.5 检查

在可能的情况下，建议执行非破坏性目视 / 光学检查和 X 光检查，确认回流焊接后是否存在任何开路或短路情况。

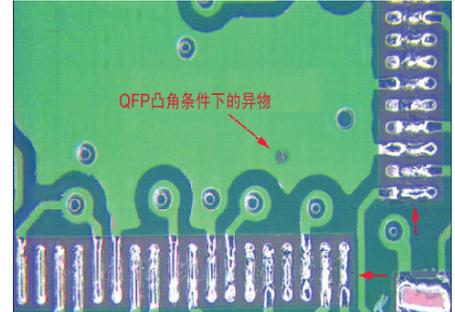
5.6 常见的 QFP 缺陷



焊料短路（细间距）



阻焊层出现气泡，
从而导致引线断开



QFP 条件下的异物导致角部引
线断开

图 16. 3 种常见的 QFP 缺陷

6 维修和返工流程

进行维修和返工时，必须注意下列事项

- 必须将热量对相邻封装的影响降到最低。注意不要超过相邻封装的温度额定值。
- 由于 PCB 的热容量（由电路板厚度、层数决定）以及所使用安装组件的不同，加热条件也会有所不同；必须根据实际的产品及其安装组件设定加热条件。
- 飞思卡尔遵守行业标准的组件等级资格要求，提供三个焊接回流通道。三个回流通道模拟双面电路板贴装的板级，并包含一个返工通道。应正确处置拆除的 QFP 封装，避免与新组件混在一起。

6.1 维修

通常情况下可能需要对焊点进行维修，但需要具备适当的工具。可使用焊铁对引脚伸出封装周边的封装（包括 QFP 封装）的焊接缺陷进行维修。可使用焊铁观察微间距应用遇到的困难。必须对焊铁的温度和使用条件进行设定，以免封装表面温度超出其最高允许温度。

6.2 返工

如果在完成电路板的组装后发现存在缺陷的组件，则需要拆下该器件，并使用新的器件予以更换。可使用上文所述的加热方法进行返工。

典型的 QFP 返工流程如下：

1. 工具准备
2. 移除封装
3. 位置纠正
4. 焊膏印刷
5. 重新安装封装
6. 回流焊
7. 目视检查

注：飞思卡尔产品质量保证 / 担保不适用于已拆除的产品，因此如有可能，应避免重复使用组件。

无论进行任何返工，都需要加热 PCB。必须遵循 PCB 和组件的热限制值（例如 MSL 信息）。加热期间，水分的迅速膨胀、材料不匹配以及材料接口降解等因素都会导致封装破裂和 / 或组件和 PCB 内重要接口的分层。为防止潮湿引发故障，建议将 PCB 和组件存放在受控的环境（例如干燥空气或氮气）下并采取严格的存放控制措施。此外，如果组装电路板后超出干燥混合料的最长存储时间，则建议在拆卸 QFP 前进行预先烘干（例如，对安装 SMT 组件的电路板以 125 °C 的温度烘烤 24 小时，或对安装温度敏感组件的电路板以 95 °C 的温度烘烤 24 小时），去除组件和 PCB 的水分。

返工 QFP 封装的各个流程步骤如下所示：

6.2.1 工具准备

市场上出售各种返工系统。一般来说，返工站应具有分光系统，用于校准的 XY 工作台，以及顶部和底部装有加热器、用于拆卸组件的热气系统。用于加工 QFP 封装的系统应符合以下要求：

- 加热 – 强烈建议在控制温度和气流的情况下将热空气传递至 QFP 封装及其安装的 PCB。应根据正确的封装尺寸和热质量设定加热条件。建议从下面进行 PCB 预加热。可采用红外线加热，尤其适用于从下侧预加热 PCB，但只能从上侧（组件侧）增加热气流。可使用氮气取代空气。如需其他信息，请参见[拆除封装](#)部分。
- 视觉系统 – 应该可以观察封装的底侧和 PCB 上的位置。要将封装与 PCB 准确对齐，应实施分光系统。显微镜放大和分辨率应适用于器件间距。
- 移动和其他工具 – 贴装机应具有良好的精确度。此外，还需要采用特殊的真空工具，以去除 PCB 焊盘上的焊接残留物。



图 17. 典型的 QFP 加热喷嘴示例

6.2.2 拆除封装

如果怀疑某个组件有缺陷并返回该组件，则从 PCB 上拆卸该组件时不得产生更多缺陷，因为这会对随后的故障分析造成干扰。下列建议旨在减少拆卸时器件损坏的可能性：

- 除去水分：对安装 SMT 组件的电路板，在拆卸前以 125 °C 的温度烘烤组件 16 – 24 小时，或者对安装温度敏感组件的电路板以 95 °C 的温度烘烤 16 – 24 小时。
- 温度曲线：脱焊时，确保封装峰值温度和升温速率均低于标准的组件回流焊接工艺。
- 力学：拆卸时请勿施加过大力度。用力过大会损坏组件和 / 或 PCB，从而限制封装的故障分析。对于大尺寸封装，可使用吸移管（在大多数返工系统上使用）；对于小尺寸封装，镊子可能更实用一些。

如果疑似故障组件较为脆弱，尤其有必要确定脱焊后这些组件是否可以直接接受电气测试，或测试前是否需要对这些组件进行预处理。在这种情况下，或如果无法安全地拆卸疑似故障组件或拆卸风险过高，则应返回整个 PCB 或包含缺陷组件的 PCB 部分。

要从电路板上拆下有故障的组件，应从顶部和底部加热器送入热气。使用正确尺寸的喷气嘴将热传导至 QFP 组件引脚，以便真空贴装工具能够正确地拆卸组件。顶部和底部加热器的温度设置取决于组件额定值。许多组装厂在返工方面有着丰富的知识，可以咨询其专家获取进一步指导。

如果 PCB 尺寸较大，应避免由于热应力造成的印刷电路材料弯曲，因此必须将预防弯曲的工具放置在印刷电路板的底部，并安装底部加热器加热整个印刷电路板，从而提高工作效率。

6.2.3 位置纠正

拆卸组件后，必须对 PCB 焊盘进行清洁，以去除焊接残留物，为新组件的安装做准备工作。涂抹助焊剂后，可使用真空脱焊机、焊剂吸收器、脱焊芯和脱焊编带等完成上述工作。剩余焊接残留物和凸焊会导致焊膏印刷期间焊钢网无法紧密粘附基底，从而造成组件安装期间的焊膏供给不当。

此外，焊接残留物流向相邻的通孔时，焊盘上印刷的焊膏会在回流期间通过吸入方式转移至通孔，从而导致连接不正确。可使用溶剂清洗残留有助焊剂的 PCB。可使用脱焊站修整焊缝。注意，使用温度不得超过 245 °C，否则会导致 PCB 焊盘从 PCB 上脱落。通常采取手动操作，而这就需要经验和技巧。

应使用耐磨或软毛刷作为研磨刷，用于不良焊点（例如钢刷）。贴装新的组件之前，应通过印刷或点胶方式，将焊膏涂抹在各个 PCB 焊盘上。建议使用免清洗焊膏。

6.2.4 焊膏印刷

返工期间，使用专用的模板和工具供给焊膏。在组件位置贴装与标称钢网的厚度、孔隙开口以及图形相同的迷你钢网。使用迷你金属刮刀将焊膏沉积在特定区域。请参见图 18。应对印刷焊盘进行检查，在组件贴装前确保均匀地涂抹焊膏且膏量充足。

在相邻部件与 QFP 组件非常靠近且不使用迷你钢网的情况下，请使用焊膏点胶系统小心地将焊膏涂抹在各个焊盘上。必须控制焊膏用量，防止组件和 / 或相邻组件出现短路。

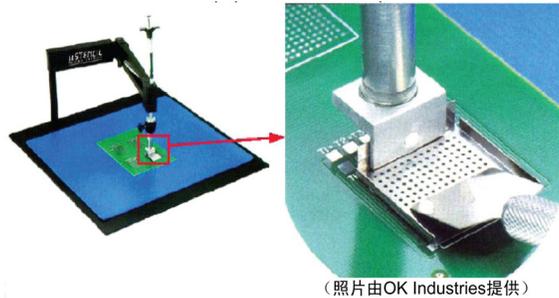


图 18. 迷你钢网和迷你刮刀

6.2.5 重新安装封装

在安装位置准备完毕后，可以将新封装安装在 PCB 上。重新安装封装时，建议使用光学或视频视觉功能良好的返工设备。分光系统通过叠加两张图像，同时显示封装引脚和 PCB 焊盘的图像。通过调节焊接正确的 XY，将引脚与焊盘对齐。请参见图 19。

普通引脚阵列 QFP 具有进行任意方向（包括 X 轴、Y 轴和旋转错位）自对准的功能。外露式焊盘可能不具备强大的自对准功能，需要将组件准确地贴装在 PCB 上。

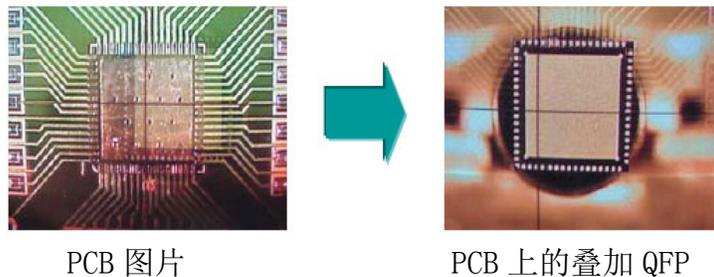


图 19. 分光贴装图像

6.2.6 回流焊接

如焊接章节中所述，使用与正常回流焊接流程相同的温度曲线，将新的组件焊接到 PCB 上。焊接期间，封装峰值温度和升温速率不得超过标准组件回流焊接流程的。

在 IR 或对流焊接流程中，PC 板上的温度差异很大，具体取决于炉型、尺寸、组件的质量以及组装电路板时组件的位置。必须仔细测试曲线，以确定组装过程中的最热点和最冷点。回流曲线中的最热点和最冷点应在建议的温度范围内。要监控该流程，必须小心地将涂有极少量导热油或环氧树脂的热电偶直接安装在封装和电路板之间的焊点接口处。

与标准材料相比，返工时使用的材料更有可能形成导电迹线 / 腐蚀等，如果没有在“正常焊接”流程中清洗 PCB，则可能需要对其进行清洗，否则无法使用“免清洗”材料完成返工。

7 板级可靠性

7.1 测试详细信息

进行焊点可靠性（SJR）测试，以确定暴露在热循环下时电路板级的可靠性。这里提供的信息根据在使用菊花链接合配置的 QFP 器件上执行的试验获得。建议采用实际的表面安装工艺和设计优化，以开发出应用相关的解决方案。对于汽车级产品应用，在 SJR 实验中出现第一个焊点故障前，飞思卡尔通常都会达到最低 2000 个循环。广泛接受的测试温度范围为 $-40\text{ }^{\circ}\text{C}$ 至 $+125\text{ }^{\circ}\text{C}$ 。消费类 SJR 温度循环条件的差别很大，具体取决于应用和特定用户。通常情况下，飞思卡尔消费类 SJR 测试的温度范围为 $0\text{ }^{\circ}\text{C}$ 至 $+100\text{ }^{\circ}\text{C}$ 。

[表 3](#) 显示了用于执行电路板级焊点可靠性测试的飞思卡尔标准测试设置。

表 3. 板级可靠性设置

板级可靠性测试：材料和测试设置	
PCB 板	<ul style="list-style-type: none"> • 1.58 mm 厚度 • 四个铜层 • OSP 表面处理
测试电路板的组装	<ul style="list-style-type: none"> • 无铅焊膏 SAC387 • SAC 组件的回流峰值温度约为 $240\text{ }^{\circ}\text{C}$ • Pb 焊膏 Sn63Pb37 • SnPb 组件的回流峰值温度约为 $220\text{ }^{\circ}\text{C}$ • 0.100 - 0.150 mm 厚度（取决于器件间距）、镀镍、激光切割和电解抛光不锈钢网
循环条件	<ul style="list-style-type: none"> • 根据 IPC-9701A 现场持续执行菊花链监控 • 汽车的气温循环（ATC） <ul style="list-style-type: none"> — $-40\text{ }^{\circ}\text{C} / +125\text{ }^{\circ}\text{C}$ — 15 分钟升温 / 保持 15 分钟 — 1.0 小时循环时间 • 商业和工业的气温循环（ATC） <ul style="list-style-type: none"> — $0\text{ }^{\circ}\text{C} / +100\text{ }^{\circ}\text{C}$ — 10 分钟升温 / 保持 20 分钟 — 1.0 小时循环时间
封装测试载体	<ul style="list-style-type: none"> • 包括芯片的生产 BOM 封装（以机械方式提供芯片，无需焊线接合） • 引脚框架上的菊花链接合方式可实现持续监控

7.2 焊点可靠性结果

飞思卡尔用实验方法收集了大量封装的电路板级可靠性数据。客户可以联系飞思卡尔销售团队获取这些实验的结果（包括韦伯绘制图）。

8 散热特性

8.1 一般散热性能

由于最终应用中封装的散热性能取决于多个因素（即电路板的设计、相同电路板上其他组件的功耗、环境温度），因此飞思卡尔提供的散热封装属性仅用作散热应用设计的指南。在散热性能被视为关键因素的应用中，飞思卡尔建议在设计阶段运行应用相关的热计算，以确认板载散热性能。

外露式焊盘封装可能要求将外露式焊盘连接到 PCB 上，以进行热和 / 或电气测量。要达到最佳的散热性能，建议将外露式焊盘连接到 PCB 的顶部和 / 或底部和 / 或内部铜层，形成进入 PCB 的散热通道。达到 PCB 上适当的散热性能所需的 PCB 铜箔面积以及外露式焊盘所连接散热过孔的数量与应用相关，具体取决于封装功耗以及电路板的属性（应用 PCB 的热阻抗）。

8.2 封装的散热特性

结温是裸片大小、片上功耗、封装热阻、安装环境（板）温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。

在 PCB 的设计中还需要考虑其他因素，而在这些因素中，最终应用的热额定值如下：

- PCB 的热阻抗（PCB 迹线的导热性、散热过孔的数量及其导热性）
- PCB 焊点的质量和尺寸（有效的 PCB 焊盘尺寸、散热路径焊点中可能缩小有效焊接区域的焊接空洞）

没有相邻组件散发大量热量时，封装的散热特性提供了封装的散热性能。表示的值用于定义标准化环境下封装的散热性能。

通常情况下，飞思卡尔产品数据手册中提供各个产品的散热属性。产品数据手册可从 www.freescale.com 下载。客户可能会要求获取更详细的散热属性。

8.3 封装的散热属性 – 定义

通常情况下，安装或未安装外露式焊盘的 QFP 封装的散热性能由 $R_{\theta JA}$ 、 $R_{\theta JMA}$ 、 $R_{\theta JB}$ 、 $R_{\theta JC}$ 和 Ψ_{JT} （单位： $^{\circ}\text{C}/\text{W}$ ）等散热属性的定义指定。在下列条件下，热散特性测试通过物理测量和运行复杂的模拟模型执行：

- 两种散热板：符合 JEDEC JESD51-3 和 JESD51-5（仅适用于外露式焊盘封装）的单层板（1s），符合 JEDEC JESD51-7 和 JESD51-5（仅适用于外露式焊盘封装）的四层板（2s2p）
- 四种边界条件：符合 JEDEC JESD51-2 的自然对流（静止空气），符合 JEDEC JESD51-6 的强制对流，符合 JEDEC JESD51-8 的环式冷板法上的热测试板，以及符合 MIL SPEC-883 方法 1012.1 的冷板法

8.3.1 $R_{\theta JA}$: Theta 结点到环境自然对流热阻抗

结点到环境热阻抗（符合 JEDEC JESD51-2 的 Theta-JA 或 $R_{\theta JA}$ ）是一维值，用于测量静止空气环境下从结点（芯片上的最热温度）传导至封装附近环境（环境温度）的热量。芯片表面产生的热量沿以下两种路径到达直接环境：(1) 封装的外露表面散发的对流和辐射，以及 (2) 外露板表面散发对流和辐射后通过测试板进行传导。

8.3.2 $R_{\theta JMA}$: Theta 结点到流动空气强制对流热阻抗

结点到流动空气（符合 JEDEC JESD51-6 的 Theta-JMA 或 $R_{\theta JMA}$ ）与 $R_{\theta JMA}$ 类似，但它用于测量暴露在流动空气（200 英尺 / 分钟）环境下的指定热测试板上所安装封装的散热性能。

8.3.3 $R_{\theta JB}$: Theta 结点到电路板热阻抗

结点到电路板热阻抗（符合 JEDEC JESD51-8 的 Theta-JB 或 $R_{\theta JB}$ ）用于测量结点和电路板之间热量的水平传播。板温度在封装附近的板的上表面上测量。在环式冷板上使用符合 JEDEC JESD51-7 和 JESD51-5（仅适用于外露式焊盘封装）、具有高效热传导性的四层测试板进行测量。客户最常使用 $R_{\theta JB}$ 创建热模型，将封装和应用板的热属性因素考虑其中。

8.3.4 $R_{\theta JC}$: Theta 结点到外形热阻抗

结点到外形热阻抗（符合 MIL SPEC-883 方法 1012.1 的 Theta-JC 或 θ_{JC} ）表示使用符合 MIL SPEC-883 方法 1012.1 的冷板法所测量的芯片和外形上表面之间的平均热阻抗，冷板温度用于外形温度。外形被定义为封装顶部的温度（适用于非外露式焊盘封装），或外露式焊盘表面底部的温度（适用于外露式焊盘封装）。对于外露式焊盘封装而言，由于会对焊盘进行焊接，因此结点到外形热阻抗是从结点到无接触阻抗的外露式焊盘模拟的值。将电路板贴装至金属外形或散热器时，或完成完整的散热分析时，可使用 $R_{\theta JC}$ 评估封装的散热性能。

8.3.5 Ψ_{JT} (Psi JT): 结点到封装顶部热阻抗

结点到封装顶部（Psi JT 或 Ψ_{JT} ）表示封装顶部温度和结点温度之间的温差，可选择在静止空气条件（符合 JEDEC JESD51-2）下进行测量，或选择在强制对流环境（符合 JEDEC JESD51-6）下进行测量。不要混淆 Ψ_{JT} 和参数 $R_{\theta JC}$ ：

$R_{\theta JC}$ 是从器件结点到封装外表面的热阻抗，封装表面的温度保持恒定；而 Ψ_{JT} 是封装表面温度和结点温度之间的温差，通常在自然对流环境下测量。

8.4 封装的散热属性 – 示例

散热特性的示例通常如表 4 中的飞思卡尔数据手册所示。示例适用于下列条件：封装尺寸为 20 mm x 20 mm x 1.4 mm，间距为 0.5 mm，芯片尺寸约为 6.0 mm x 6.3 mm。

表 4. 热阻抗示例

分类	板类型	类型	值	单位	附注
结到外部环境（自然对流）	单层板（1s）	$R_{\theta JA}$	44	°C/W	(2) (3)
结到外部环境（自然对流）	四层板（2s2p）	$R_{\theta JA}$	36	°C/W	(2) (4)
结到外部环境（@200 ft.min）	单层板（1s）	$R_{\theta JMA}$	35	°C/W	(2) (4)
结到外部环境（@200 ft.min）	四层板（2s2p）	$R_{\theta JMA}$	30	°C/W	(2) (4)
结到板	---	$R_{\theta JB}$	24	°C/W	(5)
结到管壳	---	$R_{\theta JB}$	8	°C/W	(6)
结到封装顶部	自然对流	Ψ_{JT}	2	°C/W	(7)

附注

2. 结温是裸片大小、片上功耗、封装热阻、安装环境（板）温度、环境温度、气流、板上其他组件的功耗和热阻的函数。
3. 每个带水平单层板（JESD51-3）的 JEDEC JESD51-2。
4. 每个带水平板（JESD51-7）的 JEDEC JESD51-6。
5. 每个 JEDEC JESD51-8 裸片和印刷电路板之间的热阻。在靠近封装的板的上表面测量板温度。
6. 通过冷板方法测量裸片和管壳顶面之间的热阻（MIL Spec-883 Method 1012.1）。
7. 热特性参数表示每 JEDEC JESD51-2 封装顶部和结温度之间的温差。未提供希腊字母时，散热特性参数写为 Psi-JT。

9 外形轮廓图、MCDS 和 MSL 额定值

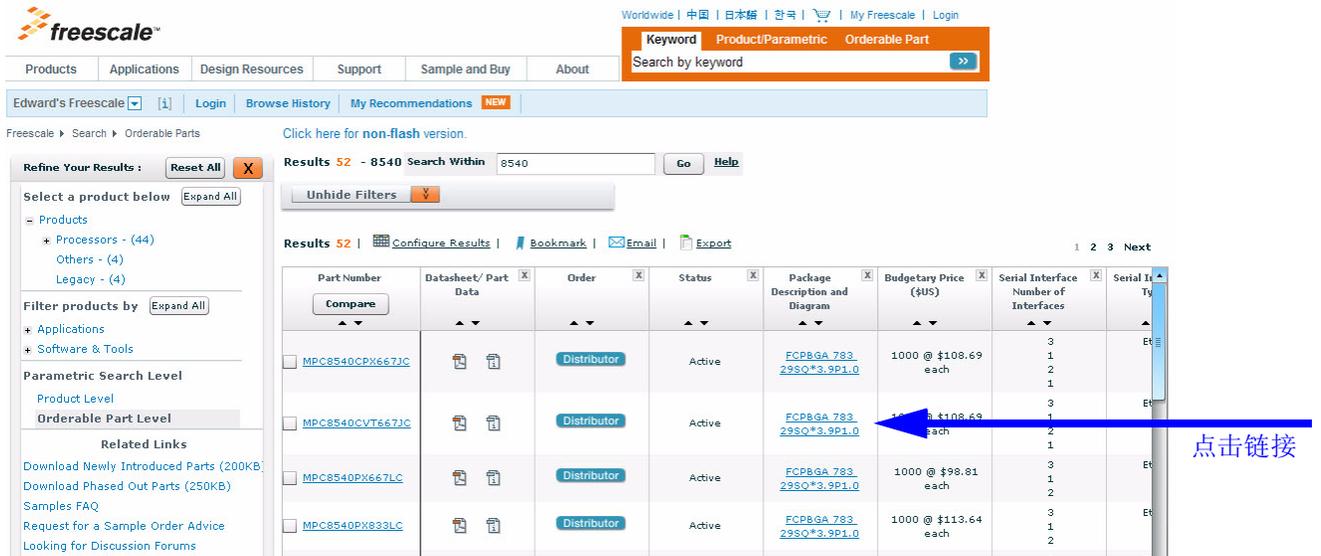
9.1 外形轮廓图、MCDS 和 MSL 信息的下载

可从飞思卡尔网站下载符合 IPC-1752 报告格式的完整外形轮廓图以及材料成分声明表（MCDS）的 PDF 文件。您还可以从该网站下载有关产品特定湿度灵敏度等级（MSL）的信息。要下载这些文档，请遵循以下指示：

1. 访问 <http://www.freescale.com>
2. 点击屏幕右上角的橙色方框中的“可订购部件”
3. 在右上角输入框“输入部件号”中输入飞思卡尔产品部件号。



4. 下一个屏幕将返回搜索结果（如有），并列出了与搜索词条相关的所有正式和现有部件号。在搜索结果屏幕上，找到包含所需部件号的那一行。在包含您感兴趣的部件号的那一行中，点击“封装描述和示意图”列中的封装描述链接。



5. 下一个屏幕显示“产品汇总页面”。
 - a) 点击“封装信息”表中的封装描述链接（在以下示例中，为 FCPBGA 783 29SQ*3.7P1.0），以打开外壳轮廓 PDF 文件，或者
 - b) 点击“环境与合规信息”中的“下载 IPC-1752 报告”链接，打开材料成分声明表 PDF 文件，或者
 - c) 查看相关列显示中的湿度灵敏度等级（MSL）以及允许的最高封装体峰值温度（PPT）：

Package Information

Parameter	Value
Package Description and Mechanical Drawing	FCPBGA 783 29SQ*3.9P1.0
Device Weight (g)	4.61770
Pin/Lead/Ball Count	783
Package Material	Plastic
Mounting Style	Surface Mount
Package Length (nominal) (mm)	29.000
Package Width (nominal) (mm)	29.000
Package Thickness (nominal) (mm)	3.750
Tape & Reel	No

点击链接打开外形轮廓图

Environmental and Compliance Information

Parameter	Value
Pb-Free	No
RoHS Compliant	No
RoHS technical exemption(s)	14
Halogen Free	Yes
Material Composition Declaration (MCD)	Download IPC-1752 Report
RoHS Certificate of Analysis (CoA)	Contact Us
Moisture Sensitivity Level (MSL)	3
Floor Life	168 HOURS
Peak Package Body Temperature (PPT)(°C)	260
Maximum Time at Peak Temperature (s)	40
Number of Reflow Cycles	3
REACH SVHC	Freescale REACH Statement

点击链接打开材料成分声明表

检查 MSL 级别

检查 PPT

9.2 湿度灵敏度等级

湿度灵敏度等级 (MSL) 表示组件的车间寿命要求及其存放条件，以及打开原有容器后的处理注意事项。允许将组件放在防潮袋以外的时间（从打开防潮袋起，直至最终焊接流程完成）是一种测量组件对环境湿度的灵敏度的方法。

在许多情况下，吸湿性会导致组件中含有水分，如果水分过高，会在回流期间损坏封装。吸收的水分膨胀后，会导致塑封材料与芯片或引脚框架的分离（称为分层），从而损坏焊线和芯片，并造成内部裂纹。在大多数严重的情况下，组件会膨胀并爆开，被称为“爆米花”效应。

因此，有必要对潮湿敏感组件进行干燥，并根据 IPC/JEDEC J-STD-033 的要求将它们放入带有干燥剂和湿度指示卡的防潮袋中进行真空密封，只有在组装到 PCB 之前才取出。

表 5 列出了符合 IPC/JEDEC J-STD-20 的 MSL 定义。请参阅包装材料上的“湿度灵敏度警告标签”，了解飞思卡尔产品的湿度灵敏度等级的相关信息。必须在允许的时间段（从防潮袋中取出后的车间寿命）内对组件进行安装和回流焊接，并且在客户车间组装电路板时，不得超过回流焊接的最高温度。

如果将潮湿敏感组件暴露在环境空气下的时间长于其 MSL 额定值规定的时间，或湿度指示卡显示打开防潮袋 (MBB) 后的湿度过高，则组装前需要对组件进行烘烤。请参阅相应包装上的印记 / 标签，确定允许的最高温度。

MSL 值越高，则存放组件时越要小心。QFP 封装的 MSL 可靠性取决于不同的供应商材料集和封装尺寸。表 6 列出了发布本文档时各个封装尺寸的最佳 MSL 状况。飞思卡尔封装使用 JEDEC 标准 IPC/JEDEC J-STD-020 对封装进行分类。

表 5.MSL 说明

等级	车间寿命	
	时间	条件
1	无限制	30°C/85% RH
2	1 年	30°C/60% RH
2a	4 周	30°C/60% RH
3	168 小时	30°C/60% RH
4	72 小时	30°C/60% RH
5	48 小时	30°C/60% RH
5a	24 小时	30°C/60% RH
6	TOL ⁽⁸⁾	30°C/60% RH

附注

8.TOL = 标签时间

表 6.QFP 封装的 MSL 等级 ⁽⁸⁾

封装类型	主体尺寸 (L x W)	引脚数	MSL	PPT
TQFP-EP 1.0 mm 主体厚度	12x12	80	3	260
	14x14	100/128	3	260
	4x4	24	3	260
	5x5	32	3	260
	7x7	32/48	3	260
	10x10	44/52/64	3	260
LQFP 1.4 mm 主体厚度	12x12	80	3	260
	14x14	64/80/100/128	3	260
	14x20	128	3	260
	20x20	112/144	3	260
	24x24	160/176	3	260
	28x28	208	3	260
LQFP-EP 1.4 mm 主体厚度	7x7	48	3	260
	10x10	64	3	260
QFP >1.6 mm 主体厚度	10x10	44	3	260
	14x14	64/80/100	3	245/250
	14x20	100/128	3	245
	28x28	144/160/208	3	245
	32x32	240	3	245
PQFP 3.6 mm 主体厚度	29x24	132	3	245

附注

9. 此表和应用说明列出了本应用说明适用的所有 FSL 封装，但其中某些类型的封装可能不适用于新产品。详情请咨询 FSL 销售团队

10 封装的处理

10.1 静电放电敏感器件的处理

半导体集成电路（IC）和组件均为静电放电敏感器件（ESDS），需要采取适当的措施来对其进行处理和加工。静电放电（ESD）是造成半导体 IC 和组件损坏并出现故障的重要因素之一，因此需要考虑采取全面的 ESD 控制措施，在处理和加工期间保护 ESDS。以下行业标准说明了正确的 ESD 控制措施的详细要求，飞思卡尔建议用户在达到这些标准后，再对 ESDS 进行处理和加工。

- JESD615-A – 处理静电放电敏感（ESDS）器件的要求
- IEC-101/61340-5 – 针对避免电子器件出现静电现象的规范

10.2 潮湿敏感性表面安装器件的处理

QFP 是潮湿 / 回流敏感性表面安装器件（SMD），处理、包装、运输和使用期间需要采取适当的措施。大气湿度中的水分会通过扩散方式进入可渗透的包装材料。用于将 SMD 封装焊接到 PCB 的组装工艺会将整个封装主体暴露在温度高于 200 °C 的环境下。如[湿度灵敏度等级](#)中所述，加热期间，水分的迅速膨胀、材料不匹配以及材料接口降解等因素都会导致封装破裂和 / 或组件和 PCB 内重要接口的分层。裂纹和 / 或分层会导致出现故障和可靠性问题，需要正确地处理 SMD。

将干燥后的潮湿敏感性 SMD 放入托盘或盘卷中，并采用符合相应的运输和存放条件的干燥包装。使用干燥材料和 MBB 防潮袋中的湿度指示卡密封 SMD。干燥包装的 SMD 的保存期限为干燥包装密封之日起 12 个月，并且需存放在低于 40 °C/90%RH 的环境下。

打开 MBB 防潮袋后，需要正确地使用和存放潮湿敏感性 SMD。若使用和存放不当，会增加各种质量和可靠性风险。对于符合回流焊接或其他高温工艺的 SMD，必须在 MSL 指定的车间寿命内和环境条件下进行安装，或根据 J-STD-033B 标准存放。如果发生下列任一情况，则安装前必须烘烤 SMD。

- SMD 暴露在指定的车间环境下的时间长于指定时间
- 在 23 ±5.0 °C 的环境下，对于 2a – 5a 等级的器件，湿度指示卡读数大于 10%，或对于 2 等级的器件，湿度指示卡读数大于 60%。
- 未根据 J-STD-033B 标准存放

可在以下行业标准中找到烘烤流程，以及有关处理潮湿敏感性 SMD 更详细的要求和流程。

- IPC/JEDEC J-STD-033B – 潮湿 / 回流敏感性表面安装器件的处理、包装、运输和使用

10.3 器件的包装

QFP 器件采用托盘或盘卷包装，并且托盘和盘卷均为适合运输和存放的干燥包装。包装材料用于保护器件免受电气、器械和化学损坏以及水分吸收，但建议正确地处理和存放干燥包装。若处理和存放不当（干燥包装掉落，在超过 40 °C/90%RH 的环境中存放，干燥包装堆叠过多等），会增加各种质量和可靠性风险。

- 托盘
 - 飞思卡尔遵守标准的 JEDEC 托盘设计配置 – 参见 [图 20](#)
 - 在 1 号引脚面朝托盘的倒角的情况下，确定器件 1 号插针的方向
 - 托盘用于潮湿敏感性 SMD 的烘烤，但烘烤器件时不得超出托盘的温度额定值。温度额定值可在托盘的底部标签中找到。建议的托盘烘烤温度为 125 °C。
 - 托盘通常 5+1（五个装满的托盘和一个封盖托盘）堆叠，在防潮袋中干燥包装。也可以部分堆叠（1+1、2+1 等），视乎具体要求而定。

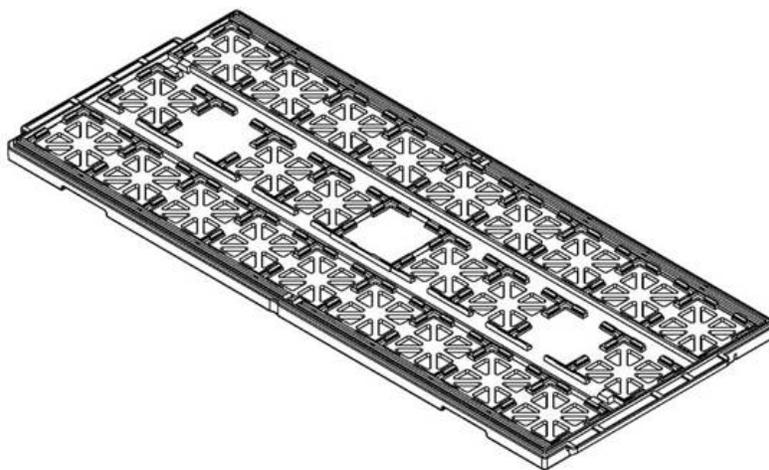


图 20. JEDEC 托盘示例

- 盘卷
 - 飞思卡尔遵守 EIA-481B 和 EIA-481C 对于载体盘卷配置的要求 – 参见 [图 21](#)
 - 飞思卡尔遵守 EIA-481 的要求，确定器件 1 号插针的方向
 - 盘卷不适合进行高温烘烤
 - 盘卷通常在防潮袋中进行干燥包装

载带规格

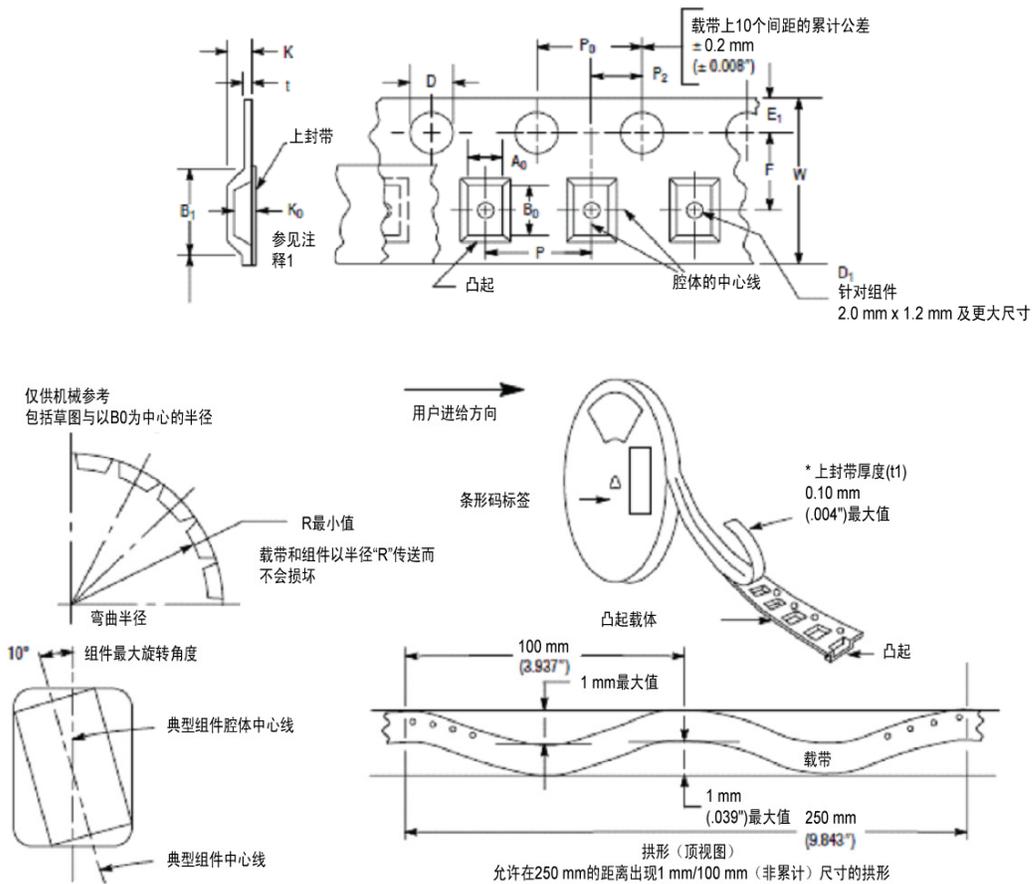


图 21. 盘卷示例

- 干燥包装
 - 使用防潮袋密封装有器件的托盘和盘卷，贴上标签并将其放入带衬垫的专用盒进行最终运输
 - 每个干燥包装袋中包含一包干燥剂以及一张湿度指示卡
 - 飞思卡尔鼓励在可能的情况下回收和再利用包装材料。
 - 飞思卡尔不使用含 1 类消耗臭氧层物质或用该物质加工而成的包装填充材料
 - 在可能的情况下，飞思卡尔会设计其包装配置，以优化容积效率和包装密度，从而最大程度减少进入工业废水流的包装材料量
 - 飞思卡尔遵循以下环境标准合规指南 / 指令：
 - ISPM 15: 管理国际贸易中木质包装材料的指南
 - 欧洲议会和理事会关于包装和包装废弃物的指令 94/62/EC (1994 年 12 月 20 日)。

11 参考

参考	名称	标题	日期
[1]	IPC/JEDEC J-STD-20C	非密封固态表面安装器件的潮湿 / 回流敏感度分级	2004 年 1 月
[2]	IPC/JEDEC J-STD-033B	针对潮湿 / 回流敏感性表面安装器件的处理、包装、运输和使用的联合电子设备工程委员会 IPC/JEDEC 标准	2007 年 1 月
[3]	EIA-783	多连接封装的定向标准指南（盘卷方向的设计准则）	1998 年 11 月
[4]	EIA/JESD51-2	集成电路热测试方法环境条件 – 自然对流（静止空气）	1995 年 12 月
[5]	EIA/JESD51-3	适用于带引脚的表面安装封装的低效导热测试电路板	1996 年 8 月
[6]	EIA/JESD51-5	适用于具有直接热连接机制的封装的热测试电路板标准的扩展	1999 年 2 月
[7]	EIA/JESD51-7	适用于带引脚的表面安装封装的高效导热测试电路板	1999 年 2 月
[8]	EIA/JESD51-8	集成电路热测试方法的环境条件 – 结点到电路板	1999 年 10 月
[9]	EIA/JESD 51-6	集成电路热测试方法的环境条件 – 强制对流（流动空气）	1999 年 3 月
[10]	MIL SPEC-883 Method 1012.1	散热特性	2006 年 2 月
[11]	IPC-7351	适用于表面安装设计的一般热特性要求以及连接盘图形标准	2010 年 6 月
[12]	EIA-783	组件方向	
[13]	EIA-481	用于确定是否完全对齐的标准 – 摘录	
[14]	JESD615-A	处理静电放电敏感（ESDS）器件的要求	
[15]	IEC-101/61340-5	针对避免电子器件出现静电现象的规范	
[16]	Åström, Anders	在无铅工艺中氮气回流焊接的效果	2003 年 9 月

12 修订历史记录

修订版	日期	变动说明
1.0	10/2011	首次发行
2.0	2/2014	更新 图 16



How to Reach Us:

Home Page:
freescale.com

Web Support:
freescale.com/support

本文档中的信息仅供系统和软件实施方使用飞思卡尔产品。未包含基于本文档信息设计或加工任何集成电路的任何明示或暗示的版权许可授权。

飞思卡尔保留对此处任何产品进行更改的权利，恕不另行通知。飞思卡尔对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。飞思卡尔数据表和 / 或技术规格中所提供的“典型”参数在不同应用中可能，并且确实不同，实际性能会随时间而有所变化。所有操作参数，包括“典型值”在内，在每个客户应用中必须经由客户的技术专家进行验证。飞思卡尔未转让与其专利权及其他权利相关的许可。飞思卡尔销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale and the Freescale logo are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners.

© 2014 Freescale Semiconductor, Inc.

文档编号: AN4388
Rev. 2.0
2/2014

